

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5891295号
(P5891295)

(45) 発行日 平成28年3月22日 (2016. 3. 22)

(24) 登録日 平成28年2月26日 (2016. 2. 26)

(51) Int. Cl.	F I
HO 1 L 25/065 (2006. 01)	HO 1 L 25/08 B
HO 1 L 25/07 (2006. 01)	HO 1 L 21/60 3 O 1 A
HO 1 L 25/18 (2006. 01)	HO 1 L 21/60 3 1 1 Q
HO 1 L 21/60 (2006. 01)	

請求項の数 17 (全 14 頁)

(21) 出願番号 特願2014-504469 (P2014-504469)	(73) 特許権者 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(86) (22) 出願日 平成24年8月30日 (2012. 8. 30)	(74) 代理人 110001427 特許業務法人前田特許事務所
(86) 国際出願番号 PCT/JP2012/005480	(72) 発明者 横山 賢司 大阪府門真市大字門真1006番地 パナソニック株式会社内
(87) 国際公開番号 W02013/136382	(72) 発明者 川端 毅 大阪府門真市大字門真1006番地 パナソニック株式会社内
(87) 国際公開日 平成25年9月19日 (2013. 9. 19)	審査官 多賀 和宏
審査請求日 平成26年11月17日 (2014. 11. 17)	
(31) 優先権主張番号 特願2012-57022 (P2012-57022)	
(32) 優先日 平成24年3月14日 (2012. 3. 14)	
(33) 優先権主張国 日本国 (JP)	

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

回路形成面を下にして配置された第1の半導体チップと、
前記第1の半導体チップが回路形成面同士を対向させて搭載された第2の半導体チップと、

前記第2の半導体チップが搭載された基台と、

前記第2の半導体チップの上面において、前記第1の半導体チップの搭載領域の外周又は周縁部の一部と重なるように形成されたリング状の第1の配線と、

前記第1の半導体チップと前記第2の半導体チップとが対向する領域に、前記第1の配線から、前記第1の半導体チップ又は前記第2の半導体チップの中央部に延伸して配置された第2の配線とを備え、

前記第2の配線は、前記第1の半導体チップ又は第2の半導体チップの中央部において、前記第1の半導体チップ又は第2の半導体チップの回路形成面にある接続端子と電氣的に接続されており、

前記第1の配線及び第2の配線は、電源配線又はグランド配線である半導体装置。

【請求項 2】

請求項 1 において、

前記第2の半導体チップの平面寸法は、前記第1の半導体チップよりも大きい半導体装置。

【請求項 3】

請求項 1 において、
前記第 2 の配線は、前記第 1 の半導体チップの回路形成面に配置されている半導体装置

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項において、
前記第 2 の配線は、前記第 2 の半導体チップの回路形成面に配置されている半導体装置

【請求項 5】

請求項 1 において、
前記基台と前記第 2 の半導体チップの上に形成された前記第 1 の配線とは、ワイヤで接続されている半導体装置。 10

【請求項 6】

請求項 1 において、
前記第 1 の配線は、複数の配線により形成されている半導体装置。

【請求項 7】

請求項 1 において、
前記第 1 の配線は、前記第 2 の半導体チップの上面に形成された複数のパッドと接続されている半導体装置。

【請求項 8】

回路形成面を下にして配置された第 1 の半導体チップと、 20
側面から外方に向かって形成された拡張部を有し、前記第 1 の半導体チップが回路形成面同士を対向させて搭載された第 2 の半導体チップと、
前記第 2 の半導体チップが搭載された基台と、
前記第 2 の半導体チップの上面又は前記拡張部の上面において、前記第 1 の半導体チップの搭載領域の外周又は周縁部の一部と重なるように形成されたリング状の第 1 の配線と、

前記第 1 の半導体チップと前記第 2 の半導体チップとが対向する領域に、前記第 1 の配線から、前記第 1 の半導体チップ又は前記第 2 の半導体チップの中央部に延伸して配置された第 2 の配線とを備え、

前記第 2 の配線は、前記第 1 の半導体チップ又は第 2 の半導体チップの中央部において、前記第 1 の半導体チップ又は第 2 の半導体チップの回路形成面にある接続端子と電氣的に接続されており、 30

前記第 1 の配線及び第 2 の配線は、電源配線又はグランド配線である半導体装置。

【請求項 9】

請求項 8 において、
前記第 1 の半導体チップと前記第 2 の半導体チップが対向する領域において、前記第 2 の半導体チップの上面及び前記拡張部の上面に亘って形成され、前記第 1 の配線と電氣的に接続された再配線部が形成されている半導体装置。

【請求項 10】

請求項 8 において、 40
前記第 2 の配線は、前記第 1 の半導体チップの回路形成面に配置されている半導体装置

【請求項 11】

請求項 8 において、
前記第 2 の配線は、前記第 2 の半導体チップの回路形成面に配置されている半導体装置

【請求項 12】

請求項 8 において、
前記第 1 の配線は、複数の配線により形成されている半導体装置。

【請求項 13】

請求項 8 において、

前記第 1 の配線は、前記第 2 の半導体チップの上面に形成された複数のパッドと接続されている半導体装置。

【請求項 14】

回路形成面を下にして配置された第 1 の半導体チップと、
側面から外方に向かって形成された拡張部を有し、前記第 1 の半導体チップが回路形成面同士を対向させて搭載された第 2 の半導体チップと、

前記第 2 の半導体チップが搭載された基台と、

前記第 2 の半導体チップの上面又は前記拡張部の上面において、前記第 1 の半導体チップの搭載領域の外周又は周縁部の一部と重なるように形成されたリング状の配線と、

前記第 1 の半導体チップと前記第 2 の半導体チップとが対向する領域に、前記第 2 の半導体チップの上面及び前記拡張部の上面に亘って形成され、前記リング状の配線と電氣的に接続された再配線部とを備え、

前記再配線部は、前記第 1 の半導体チップ又は第 2 の半導体チップの中央部において、前記第 1 の半導体チップ又は第 2 の半導体チップの回路形成面にある接続端子と電氣的に接続されており、

前記リング状の配線及び再配線部は、電源配線又はグランド配線である半導体装置。

【請求項 15】

請求項 14 において、

前記リング状の配線は、複数の配線により形成されている半導体装置。

【請求項 16】

請求項 14 において、

前記リング状の配線は、前記第 2 の半導体チップの上面に形成された複数のパッドと接続されている半導体装置。

【請求項 17】

請求項 9 又は 14 において、

前記基台と前記拡張部の前記再配線部の上に形成されたパッドとは、ワイヤで接続されている半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に CoC (Chip on Chip) 構造を有する半導体装置に関する。

【背景技術】

【0002】

近年の半導体製造技術の微細化に伴い、LSI (Large Scale Integration) を構成するトランジスタ数は増加の一途をたどっている。また、LSI の構成要素、特にシステムが複雑化し、大規模化されるにつれて、システム LSI が必要とするメモリ容量の増加が懸念されており、大規模メモリを搭載したシステム LSI の高効率な実装方法が求められている。

【0003】

一方、LSI とパッケージとの接続方式として、ワイヤボンディング方式及びフリップチップ方式が広く普及している。この実装形態を用いる場合は、メモリ装置を搭載する場合にシステム LSI のチップ内、又はチップ搭載基板上、又は実装基板上にメモリ装置を搭載する必要があり、搭載容量の制約、基板搭載面積の拡大、及び搭載コストの増大等が生じる。これに対する解決策として、CoC 構造が用いられている。

【0004】

図 10 に示すように、一般的な CoC 形態を採る半導体装置 900 においては、上側の半導体チップ 901 と下側の半導体チップ 902 とは、それぞれの回路形成面に複数のパッド (図示せず) を備え、互いの回路形成面を対向させて配置され、複数のパッド上に配

10

20

30

40

50

置された複数のバンブ904を介して電氣的に接続されている。上側の半導体チップ901と下側の半導体チップ902との間の領域には、アンダーフィル樹脂905が充填されている。下側の半導体チップ902は、該半導体チップ902が搭載される領域の外側に、ワイヤボンディング用のパッド(図示せず)を有し、ワイヤ906によって基板903と電氣的に接続される。各半導体チップ901、902及びワイヤ906は全体に亘ってモールド樹脂907によって覆われている。

【0005】

このようなC o C形態を採ることにより、複数の半導体チップ901、902を基板903上に搭載できるため、通常のワイヤボンディング方式及びフリップチップ方式と比べて、チップ同士の間を効率的に且つ小面積で接合することができる。

10

【0006】

ところで、図10に示すC o C形態を採る場合は、上側の半導体チップ901への電源供給が下側の半導体チップ902を経由するため、上側の半導体チップ901の電源電圧が不足することによる電圧降下(I Rドロップ)が発生するという問題がある。また、下側の半導体チップ902を上側の半導体チップ901が覆っているため、下側の半導体チップ902の中央部の直上からの電源供給が不可能であり、下側の半導体チップ902の中央部への電源供給についても電圧降下が発生する。すなわち、この影響により、LSIのトランジスタの動作速度が不均一となるため、この影響を考慮しなければ、LSIの動作タイミングが影響を受け、LSIの機能動作の不良、及び歩留り等について大きな問題が生じてしまう。

20

【0007】

この問題に対し、特許文献1に記載された半導体装置においては、C o C形態を採り、且つ、配線基板の上に積層する複数の半導体チップの搭載位置をずらすことにより、基板から上側搭載チップへ直接基板から電源を供給する手法が記載されている。

【0008】

特許文献2に記載された半導体装置においては、フリップチップ実装の際のアンダーフィルが流れ拡がるという課題を解決するためのダムとして、基板の主面上に導電性パターンを形成し、形成した導電性パターンを用いて電源容量を生成することにより、チップの電源を安定化するという手法が記載されている。

【0009】

また、特許文献3に記載された半導体装置においては、C o C形態を採り、半導体メモリチップの上に、半導体メモリチップよりも小型である半導体論理回路チップを積層して、半導体装置の小型化を図ることを目的とする方法が記載されている。

30

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2008-159607号公報

【特許文献2】特開2011-119609号公報

【特許文献3】特開2010-141080号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0011】

特許文献1に記載の半導体装置は、上側に搭載するチップと下側に搭載するチップとの積層位置をずらすことが前提であり、チップ表面が基板と対向する片側からしか基板からの直接の電源供給ができない。このため、チップ面内の安定した電源供給は不可能である。また、チップをずらすことにより実装する樹脂基板の面積が大きくなるため、基板寸法の拡大により、コストの増大が発生する。

【0012】

特許文献2に記載の半導体装置は、フリップチップに対して、ダム部の導電パターンによって電源容量を生成する方法であり、電源容量成分によりチップに対する電源の安定供

50

給、及びノイズ抑制の効果は期待できるものの、チップ中央部の電源の電圧低下に対する効果は限定的である。

【0013】

また、特許文献3に記載の半導体装置は、上側に搭載するチップが下側に搭載するチップに対して小型であることが前提であり、下側のチップが小型の場合には、C o C形態を採ることができない。

【0014】

本発明は、前記の問題を解決し、複数の半導体チップをC o C形態で接続する半導体装置において、コストを抑制しつつ、上側のチップ及び下側チップの大小関係によらず、C o C実装時の上下のチップの中央部への電源の安定供給を実現できるようにする。

10

【課題を解決するための手段】

【0015】

本発明に係る半導体装置の一態様は、回路形成面を下にして配置された第1の半導体チップと、第1の半導体チップが回路形成面同士を対向させて搭載された第2の半導体チップと、第2の半導体チップが搭載された基台と、第2の半導体チップの上面において、第1の半導体チップの搭載領域の外周又は周縁部の一部と重なるように形成されたリング状の第1の配線と、第1の半導体チップと第2の半導体チップとが対向する領域に、第1の配線から、第1の半導体チップ又は第2の半導体チップの中央部に延伸して配置された第2の配線とを備え、第2の配線は、第1の半導体チップ又は第2の半導体チップの中央部において、第1の半導体チップ又は第2の半導体チップの回路形成面にある接続端子と電気的に接続されており、第1の配線及び第2の配線は、電源配線又はグランド配線である。

20

【0016】

本発明に係る半導体装置の他の態様は、回路形成面を下にして配置された第1の半導体チップと、側面から外方に向かって形成された拡張部を有し、第1の半導体チップが回路形成面同士を対向させて搭載された第2の半導体チップと、第2の半導体チップが搭載された基台と、第2の半導体チップの上面又は拡張部の上面において、第1の半導体チップの搭載領域の外周又は周縁部の一部と重なるように形成されたリング状の第1の配線と、第1の半導体チップと第2の半導体チップとが対向する領域に、第1の配線から、第1の半導体チップ又は第2の半導体チップの中央部に延伸して配置された第2の配線とを備え、第2の配線は、第1の半導体チップ又は第2の半導体チップの中央部において、第1の半導体チップ又は第2の半導体チップの回路形成面にある接続端子と電気的に接続されており、第1の配線及び第2の配線は、電源配線又はグランド配線である。

30

【0017】

本発明に係る半導体装置の他の態様は、回路形成面を下にして配置された第1の半導体チップと、側面から外方に向かって形成された拡張部を有し、第1の半導体チップが回路形成面同士を対向させて搭載された第2の半導体チップと、第2の半導体チップが搭載された基台と、第2の半導体チップの上面又は拡張部の上面において、第1の半導体チップの搭載領域の外周又は周縁部の一部と重なるように形成されたリング状の配線と、第1の半導体チップと第2の半導体チップとが対向する領域に、第2の半導体チップの上面及び拡張部の上面に亘って形成され、リング状の配線と電気的に接続された再配線部とを備え、再配線部は、第1の半導体チップ又は第2の半導体チップの中央部において、第1の半導体チップ又は第2の半導体チップの回路形成面にある接続端子と電気的に接続されており、リング状の配線及び再配線部は、電源配線又はグランド配線である。

40

【発明の効果】

【0018】

本発明に係る半導体装置によると、複数の半導体チップをC o C形態で接続する半導体装置において、コストを抑制しつつ、上側のチップ及び下側チップの大小関係によらず、C o C実装時の上下のチップの中央部への電源の安定供給を実現することができる。

【図面の簡単な説明】

50

【 0 0 1 9 】

【図 1】図 1 (a) 及び図 1 (b) は一実施形態に係る半導体装置を模式的に示し、図 1 (a) は図 1 (b) の I a - I a 線における断面図であり、図 1 (b) は平面図である。

【図 2】図 2 は一実施形態の第 1 変形例に係る半導体装置を示す模式的な断面図である。

【図 3】図 3 は一実施形態の第 2 変形例に係る半導体装置を示す模式的な断面図である。

【図 4】図 4 は一実施形態の第 3 変形例に係る半導体装置を示す模式的な断面図である。

【図 5】図 5 は一実施形態の第 4 変形例に係る半導体装置を示す模式的な断面図である。

【図 6】図 6 は一実施形態の第 5 変形例に係る半導体装置を示す模式的な断面図である。

【図 7】図 7 (a) 及び図 7 (b) は一実施形態の第 6 変形例に係る半導体装置を模式的に示し、図 7 (a) は図 7 (b) の VII a - VII a 線における断面図であり、図 7 (b) は平面図である。

10

【図 8】図 8 は一実施形態及びその変形例に係る半導体装置の他の構成を示す模式的な断面図である。

【図 9】図 9 は一実施形態及びその変形例に係る半導体装置の他の構成を示す模式的な平面図である。

【図 10】図 10 は従来一般的な C o C 形態を採る半導体装置を示す模式的な断面図である。

【発明を実施するための形態】

【 0 0 2 0 】

本実施形態の半導体装置について図面を用いて説明する。全ての図面において共通する構成要素には同じ符号を付し、適宜説明を省略する。

20

【 0 0 2 1 】

(一実施形態)

図 1 (a) 及び図 1 (b) は本実施形態に係る半導体装置の模式的な断面構成と平面構成とを示している。

【 0 0 2 2 】

図 1 (a) に示すように、半導体装置 100 は、積層構造の上側となる第 1 の半導体チップ 101 と、積層構造の下側となる第 2 の半導体チップ 102 と、各半導体チップ 101、102 を搭載する配線基板 103 とを有する。配線基板 103 におけるチップ搭載面の反対側の面上には、第 1 の半導体チップ 101 又は第 2 の半導体チップ 102 と電氣的に接続された複数のバンプ 130 が設けられている。

30

【 0 0 2 3 】

第 1 の半導体チップ 101 及び第 2 の半導体チップ 102 の各回路形成面上には、複数の接続端子 (図示せず) が配置され、第 1 の半導体チップ 101 と第 2 の半導体チップ 102 とは、接続端子の上にそれぞれ配置された複数のバンプ 104 を介して互いに電氣的に接続されている。

【 0 0 2 4 】

第 2 の半導体チップ 102 の上には、第 1 の半導体チップ 101 の搭載領域の外側にダム部 109 が形成されている。また、第 1 の半導体チップ 101 と第 2 の半導体チップ 102 との間には、ダム部 109 の領域内にアンダーフィル樹脂 105 が充填されている。ワイヤ 106 は、第 2 の半導体チップ 102 と基板 103 とを電氣的に接続する。モールド樹脂 107 は、第 1 の半導体チップ 101、第 2 の半導体チップ 102 及びワイヤ 106 を封止する。

40

【 0 0 2 5 】

図 1 (b) に示すように、第 2 の半導体チップ 102 の回路形成面上において、ダム部 109 が第 1 の半導体チップ 101 の搭載領域を囲むリング状の電源 (又はグランド) 配線として形成され、ダム部 109 から各半導体チップ 101、102 の中央部に引き延ばされた配線 110 が、第 2 の半導体チップ 102 に形成されたバンプ 104 と接続されて、電源 (又はグランド) 配線として機能している。

【 0 0 2 6 】

50

配線 110 は、第 2 の半導体チップ 102 上のバンプ 104 を作製する工程と同一の工程で作製が可能である。例えば、レジスト膜に、第 2 の半導体チップ 102 の上のダム部 109、配線 110 及びバンプ 104 の各形成領域を開口し、銅 (Cu) と錫 (Sn) との電解めっきを付与し、レジスト膜を除去して形成する。ダム部 109 及び配線 110 の構成材料は、金属材料又は導電性材料であれば、その材質は問われない。例えば、Cu、はんだ、ニッケル (Ni)、金 (Au) 若しくはアルミニウム (Al) 又はこれらの合金等のように、低抵抗の金属を用いると、より効果的である。

【0027】

電源配線とグランド配線とを併用する場合には、ダム部 109 を二重のリング状の配線とすると共に、内側配線の一部を切断し、外側配線とその切断部と垂直な方向にチップ中心部へ引き込むことにより、それぞれ 2 つの電位を持つ電源配線を作製することができる。

10

【0028】

上記の構成により、各半導体チップ 101、102 の中央部に引き延ばされた配線 110 によって、各半導体チップ 101、102 の中央部への安定的な電源供給が可能となる。その結果、CoC 接合時のチップ中央部の電源の電圧降下を抑制することが可能となる。これにより、トランジスタの動作速度のばらつき等に起因するタイミング性能の劣化及び機能の誤動作を防止することが可能となるので、半導体装置としての性能及び信頼性を向上することができる。

【0029】

さらに詳しくは、ダム部 109 及び配線 110 の各層の高さは約 10 μm であり、各半導体チップ 101、102 の内部の拡散配線層の高さが約 1 μm の場合の 10 倍となる。また、各半導体チップ 101、102 の上に形成される再配線層の高さが約 3 μm の場合の約 3 倍程度となる。従って、高さ成分の配線抵抗は、それぞれ 10 分の 1、3 分の 1 程度に低減することができる。また、ダム部 109 及び配線 110 の配線幅についても、拡散配線層及び再配線層との比較において、前述の高さについての比率と同程度となる。すなわち、各半導体チップ 101、102 の内部の配線層の 10 倍以上、各半導体チップ 101、102 上に形成する再配線の 3 倍以上の配線層の厚さの確保と電圧抑制の効果とを獲得することが可能となる。

20

【0030】

上記の構成により、各半導体チップ 101、102 の内部の配線で構成されたメッシュ電源や縦貫形の電源に対しても、配線 110 を介して、ダム部 109 を構成するリング状の電源配線からの安定した電源供給が可能となる。また、ワイヤ 106 等からのインダクタ (L) 成分の影響は、ダム部 109 という太いリング状の電源配線を経由して、各半導体チップ 101、102 に伝わるため、影響を伝えにくくすることが可能である。

30

【0031】

(一実施形態の第 1 変形例)

図 2 は、本変形例に係る半導体装置 200 の断面構成を示している。図 2 に示すように、半導体装置 200 は、上側の第 1 の半導体チップ 101 の回路形成面上において、各半導体チップ 101、102 の中央部に引き延ばされた配線 120 をさらに有している。配線 120 は、第 1 の半導体チップ 101 に形成されたバンプ 104 と接続され、電源 (又はグランド) 配線として機能している点で、一実施形態と異なる。

40

【0032】

このように、第 1 の半導体チップ 101 の回路形成面上には、配線 120 が設けられ、第 2 の半導体チップ 102 の回路形成面上には、配線 110 が設けられることから、各半導体チップ 101、102 に対し、より均等で、より安定した電源供給が可能となる。従って、各半導体チップ 101、102 の中央部における電圧降下をより確実に抑制することができる。

【0033】

(一実施形態の第 2 変形例)

50

図3は、本変形例に係る半導体装置300の断面構成を示している。図3に示すように、半導体装置300は、下側の第2の半導体チップ102の回路形成面上において、ダム部109が第1の半導体チップ101の搭載領域を囲むリング状の電源（又はグランド）配線として形成され、第1の半導体チップ101の回路形成面上において、ダム部109から各半導体チップ101、102の中央部に引き延ばされた配線120が、第2の半導体チップ102に形成されたバンプ104と接続され、電源（又はグランド）配線として機能している。

【0034】

この構成により、上側の第1の半導体チップ101へのより安定した電源供給が可能になり、各半導体チップ101、102の中央部における電圧降下をより確実に抑制することができる。

10

【0035】

（一実施形態の第3変形例）

図4は、本変形例に係る半導体装置400の断面構成を示している。図4に示すように、半導体装置400は、下側の第2の半導体チップ102の回路形成面上において、各半導体チップ101、102の中央部に引き延ばされた配線210を有する。配線210は、各半導体チップ101、102の中央部でバンプ104と接続され、且つ配線210の下側において、半導体チップ102の上の複数のパッド112と接続された電源配線である。

【0036】

20

この構成により、各半導体チップ101、102の中央部及び第2の半導体チップ102の全体に対して、より安定した電源供給が可能となって、電圧降下をより確実に抑制することができる。

【0037】

（一実施形態の第4変形例）

図5は、本変形例に係る半導体装置500の平面構成を示している。図5に示すように、半導体装置500は、上側の第1の半導体チップ101の外側ではなく、第1の半導体チップ101における互いに対向する2辺の側端部と重なるようにダム部509の電源（又はグランド）配線が配置される点で、第1の実施形態と異なる。

【0038】

30

この構成により、各半導体チップ101、102の中央部に加えて、各半導体チップ101、102の側端部においても電源を効果的に供給することが可能となる。

【0039】

なお、本変形例に係るダム部509は、半導体チップ101における互いに対向する2辺の側端部と重なる構成に限られない。例えば、ダム部509は、第1の半導体チップ101の周縁部の少なくとも一部と重なるように形成すればよい。

【0040】

（一実施形態の第5変形例）

図6は、本変形例に係る半導体装置600の断面構成を示している。図6に示すように、半導体装置600は、平面寸法において、下側の第2の半導体チップ602が上側の第1の半導体チップ101よりも小さい。これにより、第2の半導体チップ602の端部は、第1の半導体チップ101の端部よりも内側に存在する。

40

【0041】

第2の半導体チップ602には、第1の半導体チップ101の下側に位置する側面から外方に向けて樹脂材からなる拡張部113が形成されている。また、第2の半導体チップ602の回路形成面の端部から拡張部113の上に亘って、引き出し構造を構成するパッド112及び再配線層114が形成されて、パッド112と再配線層114とは電気的に接続されている。ワイヤ106は、配線基板103と拡張部113の上の再配線層114とを電気的に接続する。

【0042】

50

なお、下側の第2の半導体チップ602が上側の第1の半導体チップ101と同等の平面寸法か、又は第2の半導体チップ602の方が第1の半導体チップ101よりも大きい場合であっても、同様に拡張部113及び再配線層114を設ける構成を採ることができる。

【0043】

この構成により、各半導体チップ101、602の外形寸法の大小に依存することなく、ダム部109を形成することができる。その上、ダム部109及び該ダム部109と接続される配線110によって、各半導体チップ101、602の中央部に、より安定した電源供給を実現することができる。その結果、電圧降下をより確実に抑制することが可能となる。また、樹脂材からなる拡張部113を利用して、ダム部109の幅を、例えば100 μm 程度まで拡大して電源を強化することもできるため、より安定した電源確保が可能となる。

10

【0044】

(一実施形態の第6変形例)

図7(a)及び図7(b)は、本変形例に係る半導体装置700の断面構成を示している。図7(a)及び図7(b)に示すように、半導体装置700は、平面寸法において、下側の第2の半導体チップ602が上側の半導体チップ101よりも小さい。これにより、第2の半導体チップ602の端部は、上側の第1の半導体チップ101の端部よりも内側に存在する。第2の半導体チップ602には、第1の半導体チップ101の下側に位置する側面から外方に向けて樹脂材からなる拡張部113が形成されている。また、第2の半導体チップ602の回路形成面の端部から拡張部113の上に亘って、引き出し構造を構成するパッド112及び再配線層116が形成されて、パッド112と再配線層116とは電氣的に接続されている。

20

【0045】

本変形例においては、ダム部109と接続される配線110に代えて、再配線層116を構成する複数の配線が、各半導体チップ101、602の中央部にまで引き込まれている。再配線層116と第2の半導体チップ602内のパッド112とは電氣的に接続される。再配線層116は、中央部のパンプ104と電氣的に接続される。但し、中央部に引き込まれる途中で第2の半導体チップ602の上の複数のパッド112と適直接続されてもよい。

30

【0046】

ワイヤ106は、配線基板103と拡張部113上の再配線層116とを電氣的に接続する。これにより、樹脂基板103からワイヤ106、再配線層116及びパッド112を介し、第2の半導体チップ602は配線基板103と電氣的に接続される構成となる。

【0047】

なお、下側の第2の半導体チップ602が上側の第1の半導体チップ101と同等の平面寸法か、又は第2の半導体チップ602が第1の半導体チップ101よりも大きい場合であっても、同様に拡張部113及び再配線層116を設ける構成を採ることができる。

【0048】

この構成により、各半導体チップ101、602の外形寸法の大小に依存することなく、ダム部109を形成することができる。その上、ダム部109及び該ダム部109と接続される再配線層116によって、各半導体チップ101、602の中央部により安定した電源供給を実現することができる。その結果、電圧降下をより確実に抑制することが可能となる。また、樹脂材からなる拡張部113を利用して、ダム部109の幅を、例えば100 μm 程度まで拡大して電源を強化することもできるため、より安定した電源確保が可能になる。

40

【0049】

なお、配線110の代わりに再配線層116を用いる構成としたが、配線110に加えて再配線層116を用いる構成とすることも可能である。この場合は、再配線層116よりも層が厚く且つ幅が大きい配線110と併用することにより、配線抵抗をさらに抑制す

50

ることができる。

【0050】

ここまで、本発明の実施形態及びその変形例を説明してきたが、各実施形態及びその変形例に共通の事項を加えて補足する。各構成要素を示す符号については、一実施形態で用いた符号を用いるが、各変形例も担保する。

【0051】

図8に示すように、ワイヤ106は、配線基板103とダム部109とを接続してもよい。

【0052】

また、図9に示すように、ダム部109は、3重構造又はそれ以上の多重構造としてもよい。

10

【0053】

また、ワイヤ106と接続され、リング状の電源配線であるダム部109にも接続されるパッド111の位置は、配線110とダム部109との接続点に、より近い領域に配置するのが望ましい。

【0054】

配線110は、バンプ104と接続せずに、下側の第2の半導体チップ102内を貫通して、該第2の半導体チップ102の上のパッドを介して電源の供給を実現してもよい。

【0055】

また、各変形例を説明する平面図において、一実施形態を説明する図1(b)のように、配線110と交差する方向にも配線を追加することも可能である。但し、アンダーフィル樹脂105の流動性を阻害しないようにするため、電源配線は一方向に配置する方が望ましい。

20

【0056】

また、上側の第1の半導体チップ101は、複数個を配置してもよい。

【0057】

また、アンダーフィル樹脂105の塗布量を調整することにより、2重構造のリング電源(ダム部109)における2本の配線を覆い、電源及びグランドを併用する場合の各配線間のリーク又はショートを低減することができる。その上、容量成分が増大して、より電源を安定化することが可能である。

30

【0058】

また、配線基板103の上に第2の半導体チップ102等を実装したが、第2の半導体チップ102等を実装する部材は、配線基板103に限られず、リードフレームであってもよい。

【0059】

また、配線110及び再配線層116は、各半導体チップ101、102等の中央部のバンプ104と必ずしも接続される必要はなく、各半導体チップ101、102等の所定のパッドと接続されていればよい。このような構成により、電源及びグランドが安定化して電圧降下等を抑制することができる。

【0060】

40

以上、本発明を上記の一実施形態及びその変形例、製造方法の一例に基づいて詳細に説明したが、本発明は上記の実施形態等に限られない。本発明の主旨を逸脱しない限りにおいて変形や変更が可能であり、例えば、変形例を組み合わせた構成や、構成要素の一部を実施形態等に記載されていない代替物に置き換えた構成も本発明の範疇とする。

【産業上の利用可能性】

【0061】

本発明に係る半導体装置は、C o C形態を採る半導体装置を用いた電子機器等に幅広く適用できる。

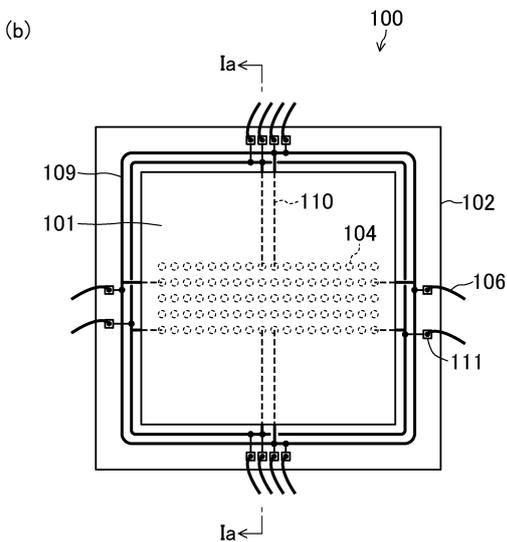
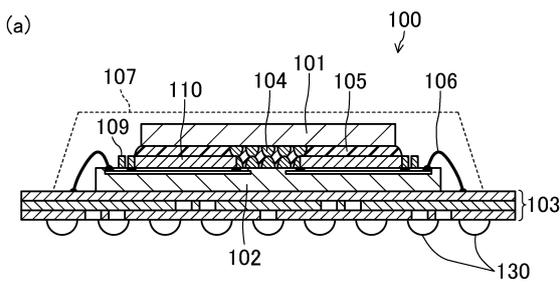
【符号の説明】

【0062】

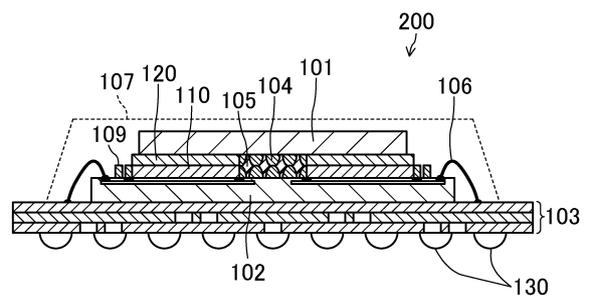
50

- 1 0 0 , 2 0 0 , 3 0 0 , 4 0 0 , 5 0 0 , 6 0 0 , 7 0 0 半 導 体 装 置
- 1 0 1 , 1 0 2 , 6 0 2 半 導 体 チ ッ プ
- 1 0 3 配 線 基 板
- 1 0 4 バ ン プ
- 1 0 5 ア ン ダ ー フ ィ ル 樹 脂
- 1 0 6 ワ イ ヤ
- 1 0 7 封 止 樹 脂
- 1 0 9 , 5 0 9 ダ ム 部
- 1 1 0 , 1 2 0 , 2 1 0 配 線
- 1 1 1 , 1 1 2 パ ッ ド
- 1 1 3 拡 張 部
- 1 1 4 , 1 1 6 再 配 線
- 1 3 0 バ ン プ

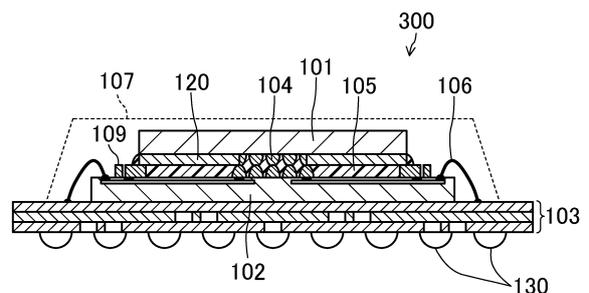
【 図 1 】



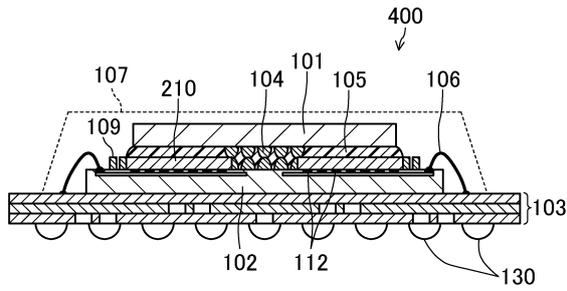
【 図 2 】



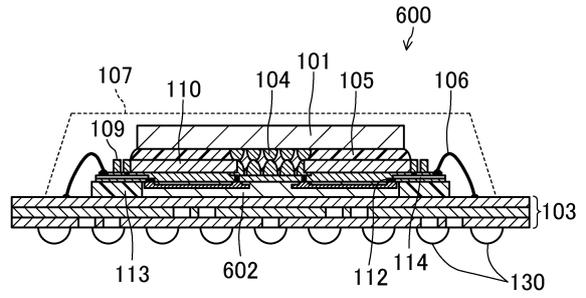
【 図 3 】



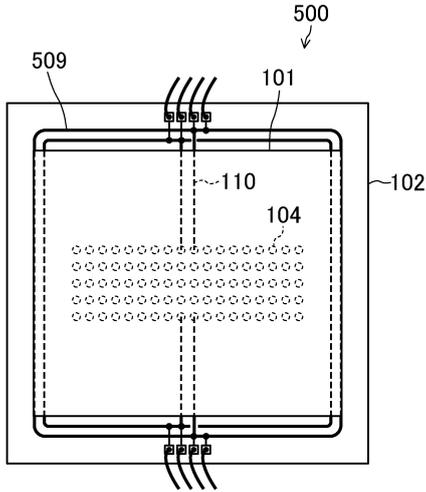
【図4】



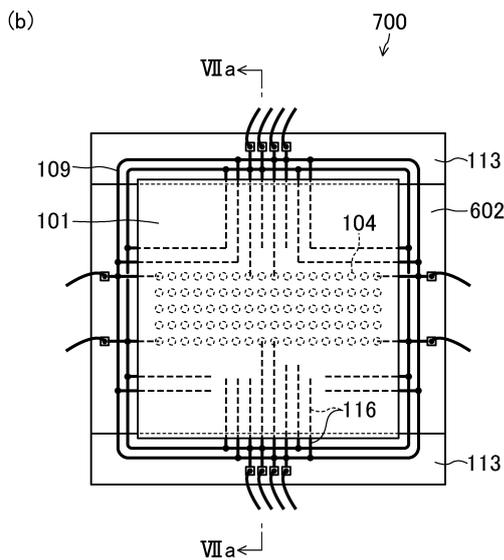
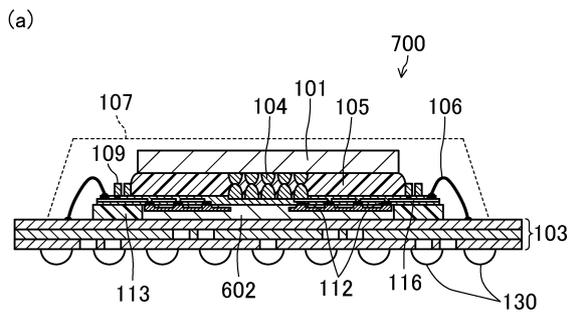
【図6】



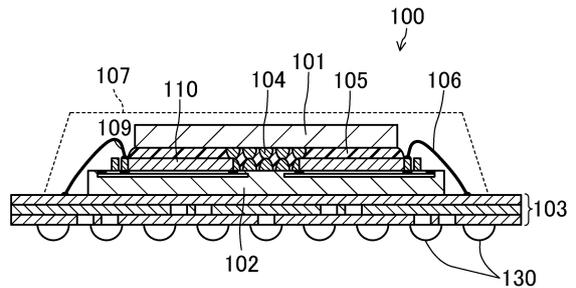
【図5】



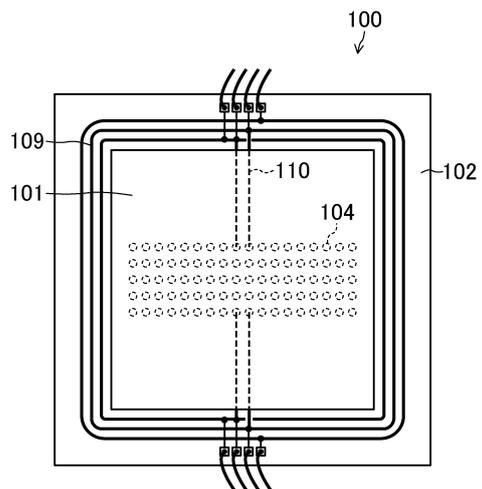
【図7】



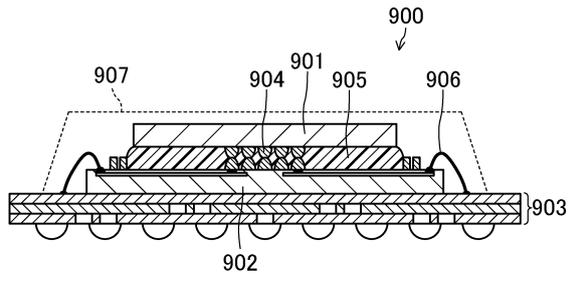
【図8】



【図9】



【図10】



フロントページの続き

- (56)参考文献 特開2005-260053(JP,A)
特開2005-039134(JP,A)
特開2009-076518(JP,A)
米国特許出願公開第2004/0245651(US,A1)
特表2005-532672(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065
H01L 21/60
H01L 25/07
H01L 25/18