

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7324596号
(P7324596)

(45)発行日 令和5年8月10日(2023.8.10)

(24)登録日 令和5年8月2日(2023.8.2)

(51)国際特許分類	F I	
H 0 3 M 3/02 (2006.01)	H 0 3 M	3/02
H 0 3 M 1/38 (2006.01)	H 0 3 M	1/38
H 0 3 M 1/68 (2006.01)	H 0 3 M	1/68
H 0 3 M 1/76 (2006.01)	H 0 3 M	1/76

請求項の数 19 外国語出願 (全16頁)

(21)出願番号	特願2019-45768(P2019-45768)	(73)特許権者	502161508 シナプティクス インコーポレイテッド アメリカ合衆国, 9 5 1 3 1 カリフォルニア州, サンノゼ, マッケイ ドラ イブ 1 1 0 9
(22)出願日	平成31年3月13日(2019.3.13)	(74)代理人	100205350 弁理士 狩野 芳正
(65)公開番号	特開2019-165441(P2019-165441 A)	(74)代理人	100117617 弁理士 中尾 圭策
(43)公開日	令和1年9月26日(2019.9.26)	(74)代理人	100182187 弁理士 高岡 正之
審査請求日	令和4年2月22日(2022.2.22)	(72)発明者	デ ベルチ, クラウディオ アメリカ合衆国, カリフォルニア州, アーヴァイン, ジョット 4 3 9
(31)優先権主張番号	15/924,087	(72)発明者	クレスピ, ロレンツォ
(32)優先日	平成30年3月16日(2018.3.16)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 音声アナログ・デジタル変換器システム及び方法

(57)【特許請求の範囲】

【請求項1】

音声入力装置から受け取った音声信号に応じて第1の電流信号を生成するように構成された相互コンダクタンス増幅器と、

前記第1の電流信号を受け取り、前記第1の電流信号に基づいてフィルタ信号を生成するように構成されたループフィルタと、

前記フィルタ信号のデジタル表現を生成するように構成された量子化器と、

前記デジタル表現に基づいて制御信号を生成するように構成された論理回路と、

複数の3レベル単位要素を含むデジタル・アナログ変換器(DAC)と、
を含み、

前記複数の3レベル単位要素がそれぞれ、前記論理回路からの前記制御信号の少なくとも1つに応じて、3電流レベルのうちの1つの電流を生成するように構成され、前記複数の3レベル単位要素のうちの少なくとも1つがゼロ電流レベルを提供するように構成され、前記DACが、前記複数の3レベル単位要素によって生成された電流から第2の電流信号を生成するように構成され、

前記ループフィルタが、

前記相互コンダクタンス増幅器から受け取った前記第1の電流信号と前記DACから受け取った前記第2の電流信号との差を生成するように構成された減算器と、

前記減算器の出力に接続されたキャパシタと、

を含み、

前記相互コンダクタンス増幅器と前記キャパシタとが、前記第1の電流信号と前記第2の電流信号との差のフィルタリングを提供する積分器を構成している、アナログ・デジタル変換（ADC）システム。

【請求項2】

前記3電流レベルが、正電流レベル、負電流レベル及び前記ゼロ電流レベルを含む、請求項1に記載のADCシステム。

【請求項3】

前記複数の3レベル単位要素がそれぞれ、対応するそれぞれの複数の電流源を含む、請求項1に記載のADCシステム。

【請求項4】

前記DACが、電流ステアリングDACを含む、請求項1に記載のADCシステム。

【請求項5】

前記量子化器が、ミッドトレッド量子化器を含む、請求項1に記載のADCシステム。

【請求項6】

前記音声入力装置が、マイクロフォンである、請求項1に記載のADCシステム。

【請求項7】

前記論理回路が、

前記デジタル表現を受け取り、前記デジタル表現にデータシャッフリングを実行して、前記デジタル表現のシャッフルバージョンを得るように構成されたダイナミックエレメントマッチング回路と、

前記デジタル表現の前記シャッフルバージョンに基づいて前記制御信号を生成するように構成された制御信号発生器とを含む、請求項1に記載のADCシステム。

【請求項8】

前記論理回路が、

前記デジタル表現を複数のデータセグメントに分割するように構成されたデータセグメンテーション回路と、

前記複数のデータセグメントに基づいて前記制御信号を生成するように構成された制御信号発生器とを含み、各制御信号が、前記複数のデータセグメントのうちの1つと関連付けられた、請求項1に記載のADCシステム。

【請求項9】

前記DACが、複数のサブDACを含み、

前記複数のサブDACがそれぞれ、前記複数のデータセグメントのうちの1つと関連付けられ、

前記複数のサブDACがそれぞれ、前記制御信号の対応するサブセットによって制御されるように構成された前記複数の3レベル単位要素のそれぞれのサブセットを含む、請求項8に記載のADCシステム。

【請求項10】

前記論理回路は、更に、前記複数のデータセグメントのそれぞれにデータシャッフリングを実行して各データセグメントのシャッフルバージョンを得るように構成されたダイナミックエレメントマッチング回路を含み、各制御信号が、前記シャッフルバージョンのうちの1つと関連付けられた、請求項8に記載のADCシステム。

【請求項11】

前記量子化器が、継続的近似化レジスタ（SAR）ADCを含む、請求項1に記載のADCシステム。

【請求項12】

相互コンダクタンス増幅器によって、音声入力装置から受け取った音声信号に応じて第1の電流信号を生成するステップと、

ループフィルタによって、前記第1の電流信号に基づいてフィルタ信号を生成するステップと、

量子化器によって、前記フィルタ信号のデジタル表現を生成するステップと、

10

20

30

40

50

論理回路によって、前記デジタル表現に基づいて1組の制御信号を生成するステップと、
デジタル・アナログ変換器(DAC)によって、前記1組の制御信号に基づいて第2の
電流信号を生成するステップであって、複数の3レベル単位要素がそれぞれ、前記1組の
制御信号の少なくとも1つの制御信号に応じて3電流レベルのうちの1つの電流を生成し
、前記複数の3レベル単位要素のうちの少なくとも1つが、ゼロ電流レベルを提供し、前
記第2の電流信号が前記複数の3レベル単位要素によって生成された電流から生成される
ステップと、

を含み、

前記フィルタ信号を生成するステップが、

減算器により、前記第1の電流信号と前記第2の電流信号との差を生成するステップと、

10

前記減算器の出力に接続されたキャパシタと前記相互コンダクタンス増幅器とによって、

前記第1の電流信号と前記第2の電流信号との差を積分してフィルタリングを提供するス
テップと、

を含む方法。

【請求項13】

前記量子化器が、ミッドトレッド量子化器を含む、請求項12に記載の方法。

【請求項14】

前記3電流レベルが、正電流レベル、負電流レベル、及び前記ゼロ電流レベルを含む、
請求項12に記載の方法。

【請求項15】

20

前記音声入力装置から第2の音声信号を受け取るステップと、

前記相互コンダクタンス増幅器によって、前記第2の音声信号に基づいて第3の電流信
号を生成するステップと、

前記DACからの前記第3の電流信号と前記第2の電流信号に基づいて第4の電流信号
を生成するステップと、

前記ループフィルタによって、前記第4の電流信号に基づいて第2のフィルタ信号を生
成するステップと、

前記量子化器によって、前記第2のフィルタ信号のデジタル表現を生成するステップと、

前記論理回路によって、前記第2のフィルタ信号の前記デジタル表現に基づいて第2組
の制御信号を生成するステップと、

30

前記DACによって、前記第2組の制御信号に基づいて第5の電流信号を生成するステ
ップと、

前記第5の電流信号を前記ループフィルタに提供するステップとを含む、請求項12に記
載の方法。

【請求項16】

前記第4の電流信号を生成するステップが、前記第3の電流信号と前記第2の電流信号
との差を決定して前記第4の電流信号を決定するステップを含む、請求項15に記載の方
法。

【請求項17】

前記音声入力装置が、マイクロフォンである、請求項12に記載の方法。

40

【請求項18】

ダイナミックエレメントマッチング回路によって、前記デジタル表現をシャッフルして
前記デジタル表現のシャッフルバージョンを得るステップを更に含み、前記1組の制御信
号が、前記デジタル表現の前記シャッフルバージョンに基づいて生成される、請求項12
に記載の方法。

【請求項19】

前記デジタル表現を複数のデータセグメントに分割するステップを更に含み、

各制御信号が、前記複数のデータセグメントのうちの1つと関連付けられ、

前記DACが、複数のサブDACを含み、

前記複数のサブDACがそれぞれ、前記1組の制御信号の対応するサブセットによって

50

制御された前記複数の 3 レベル単位要素のそれぞれのサブセットを含む、請求項 1 2 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、1 つ以上の実施形態によれば、音声処理に関し、より詳細には音声アナログ・デジタル変換器システム及び方法に関する。

【背景技術】

【0002】

信号処理システムと、詳細にはスマートフォン、タブレット及び携帯型再生装置などの低消費電力音声装置を内蔵するシステムは、高ダイナミックレンジを低消費電力で達成する高性能音声アナログ・デジタル変換器 (ADC) 構造の技術分野での必要性を高めてきた。

10

【0003】

本明細書で更に検討される様々な実施形態により、音声 ADC システム及び方法が提供される。そのようなシステム及び方法は、低消費電力と低ノイズを維持しながら高ダイナミックレンジを可能にするアーキテクチャを提供できる。幾つかの態様では、連続時間シグマデルタ (CTSD 又は CT) ADC アーキテクチャが利用されうる。

【発明の概要】

【0004】

1 つ以上の実施形態では、アナログ・デジタル変換システムは、相互コンダクタンス増幅器、ループフィルタ、量子化器、論理回路及びデジタル・アナログ変換器を含む。相互コンダクタンス増幅器は、音声信号に応じて電流信号を生成するように構成される。ループフィルタは、相互コンダクタンス増幅器に接続される。ループフィルタは、電流信号を受け取り、電流信号に基づいてフィルタ信号を生成するように構成される。量子化器は、フィルタ信号のデジタル表現を生成するように構成される。論理回路は、デジタル表現に基づいて制御信号を生成するように構成される。デジタル・アナログ変換器は、ループフィルタのキャパシタと相互コンダクタンス増幅器の出力とに結合される。デジタル・アナログ変換器は、複数の 3 レベル単位要素を含み、複数の単位要素はそれぞれ、論理回路からの制御信号の少なくとも 1 つに応じて、2 つの信号レベルの一方又は無信号をループフィルタに提供するように構成される。

20

【0005】

1 つ以上の実施形態で、方法は、音声入力装置から受け取った音声信号に応じて、相互コンダクタンス増幅器によって第 1 の電流信号を生成することを含む。方法は、更に、ループフィルタによって、第 1 の電流信号に基づいてフィルタ信号を生成することを含む。方法は、更に、量子化器によって、フィルタ信号のデジタル表現を生成することを含む。方法は、更に、論理回路によって、デジタル表現に基づいて制御信号を生成することを含む。方法は、更に、デジタル・アナログ変換器によって、制御信号に基づいて第 2 の電流信号を生成することを含む。複数の 3 レベル単位要素はそれぞれ、制御信号の少なくとも 1 つに応じてループフィルタに 2 つの電流レベルの一方又は無電流を提供する。デジタル・アナログ変換器は、ループフィルタのキャパシタと相互コンダクタンス増幅器の出力とに結合される。方法は、更に、第 2 の電流信号をループフィルタに提供することを含む。

30

40

【0006】

本開示の範囲は、参照により本節に組み込まれる請求項によって定義される。本開示のより完全な理解並びにその追加利点の実現は、1 つ以上の実施形態の以下の詳細な説明を検討することによって、当業者に提供される。最初に簡単に説明される添付図面を参照する。

【0007】

開示の態様とその利点は、以下の図面及び以下の詳細な説明を参照してよく良く理解されうる。図の 1 つ以上に示された類似の要素を識別するために類似の参照番号が使用され

50

、その表示が、本開示の実施形態を示すためのものであり限定するためのものではないことを理解されたい。図面内の構成要素は、必ずしも一律の縮尺ではなく、むしろ本発明の原理を明確に示す強調がされている。

【図面の簡単な説明】

【0008】

【図1】1つ以上の実施形態によるアナログ・デジタル変換を容易にする音声処理システムのブロック図である。

【図2】1つ以上の実施形態による単位要素の例を示す図である。

【図3】本開示の1つ以上の実施形態による量子化器の例を示す図である。

【図4】本開示の1つ以上の実施形態によるループフィルタの例を示す図である。

10

【図5】本開示の1つ以上の実施形態による音声処理システムのフィードバック経路の例を示す図である。

【図6】本開示の1つ以上の実施形態によるアナログ・デジタル変換を容易にする例示的なプロセスの流れ図である。

【発明を実施するための形態】

【0009】

後述される詳細な説明は、本技術の様々な構成を説明するものであり、本技術を実施できる唯一の構成を表わすものではない。添付図面は、本明細書に組み込まれ、詳細な説明の一部を構成する。詳細な説明は、本技術の完全な理解を提供するために特定の詳細を含む。しかしながら、本技術が、本明細書に示された特定の詳細に限定されず、1つ以上の実施形態を使用して実施されうことは、当業者に明らかであろう。1つ以上の例では、本技術の概念を不明瞭にしないように構造と構成要素がブロック図で示される。本開示の1つ以上の実施形態が、1つ以上の図によって示されかつ/又はそれに関連して記述され、特許請求の範囲で説明される。

20

【0010】

本明細書で、音声アナログ・デジタル変換を提供する種々の技術が提供される。幾つかの実施形態では、低消費電力と低ノイズを維持しながら高ダイナミックレンジを可能にするADCアーキテクチャが提供される。そのようなADCアーキテクチャは、特に、スマートフォンとタブレットに見られるもののように、低消費電力音声装置を内蔵する音声システムに適しうる。幾つかの態様では、連続時間シグマデルタ(CTSD又はCT) ADCアーキテクチャが利用されうる。本明細書で使用されるとき、ADCは、アナログ・デジタル変換又はアナログ・デジタル変換器を指しうる。

30

【0011】

ADCは、ループフィルタ(又は、その一部)とフォワード経路ADC(例えば、量子化器、フォワード経路量子化器又はADCと呼ばれる)を有するフォワード経路、並びに論理回路とデジタル・アナログ変換器(DAC)(例えば、フィードバックDACとも呼ばれる)を有するフィードバック経路とを含みうる。幾つかの態様では、ADCは、ADCに接続された相互コンダクタンス増幅器を介してアナログ信号(例えば、音声アナログ信号)を受け取りうる。この点で、ADCは、相互コンダクタンス増幅器からそのアナログ入力を受け取りうる。場合によっては、相互コンダクタンス増幅器は、ADCの積分器(例えば、第1の積分器)の一部として利用されることができ、したがってADCのループフィルタの一部と見なされうる。例えば、相互コンダクタンス増幅器は、ADCのキャパシタと共に、ADCの第1の積分器を構成しうる。一実施形態では、相互コンダクタンス増幅器は、マイクロプログラムマブル利得増幅器(MICPGA)でもよく、MICPGAを含んでもよく、MICPGAの一部でもよい。ADCは、そのフィードバックDACに3レベル単位要素を含み、それにより、DACの各単位要素は、正信号(例えば、正電流)、負信号(例えば、負電流)、又は無信号(例えば、ゼロ電流)を提供するように設定されうる。DACの単位要素は、論理回路からの制御信号に基づいて作動されうる。より一般に、各単位要素は、第1の信号レベル(例えば、正信号レベル)、第2の信号レベル(例えば、負レベル)又は第3の信号レベル(例えば、無信号、ゼロ信号

40

50

レベル)から選択し、選択された信号レベルを有する信号(例えば、電流信号)を(例えば、ループフィルタに)提供する。この点で、場合によっては、無信号を提供することは、ゼロ信号レベルの信号を提供すると見なされうる。

【0012】

A D Cの種々の構成要素は、そのノイズ寄与が相互コンダクタンス増幅器のノイズ寄与と比べて非支配的と見なされうるように提供されうる。一実施形態では、相互コンダクタンス増幅器をA D Cのループフィルタの積分器の一部及びフィードバックD A C内の3レベル要素として利用することによって、小信号(例えば、小電力信号)が処理されるときに、一般にそのようなA D Cアーキテクチャ(例えば、一部の例では、C T S D A D Cアーキテクチャ)の低電力動作と関連したノイズ寄与を低減でき、それにより、電源消費を増やすことなくダイナミックレンジ(D R)を高めることが可能になる。一態様では、ループフィルタの能動要素のノイズ寄与を軽減するために受動構成要素(例えば、キャパシタ)が利用されうる。例えば、一部の例では、A D Cのループフィルタの第1の積分器のキャパシタを利用して、ループフィルタの残りのものからのノイズ寄与を軽減できる。したがって、ループフィルタの残りのものは、ノイズ制約ではなく安定性のために設計され、これにより電力が節約される。一部の例では、フォワード経路量子化器の幾つかのビットが、量子化器の関連ジッタノイズが相互コンダクタンス増幅器のノイズ寄与より支配的にならないように選択される。したがって、様々な実施形態を使用することにより、A D CのD Rは、相互コンダクタンス増幅器のノイズ寄与による影響を受けるが、ループフィルタ、量子化器及び/又はフィードバックD A CなどからのD Rを制限しうる他の潜在的ノイズ寄与が軽減される。そのようなノイズが、一般に、より高出力動作に構成された従来の装置ではあまり問題でないことに注意されたい。一部の例では、所定のダイナミックレンジ仕様の場合、様々な実施形態は、同じ技術ノードにおける従来の実施態様より約1桁少ない電力動作を可能にしうる。

【0013】

図1は、1つ以上の実施形態によるアナログ・デジタル変換を容易にする音声処理システム100のブロック図を示す。しかしながら、描かれた構成要素の全てが必要とは限らず、1つ以上の実施形態は、図示されていない付加構成要素を含みうる。付加構成要素、様々な構成要素及び/又はより少数の構成要素を含む構成要素の構成及び種類の変更は、本明細書に記載された特許請求の範囲から逸脱せずに行われうる。

【0014】

音声処理システム100は、A D C 105を含む。A D C 105は、キャパシタ110、ループフィルタの一部115、量子化器120、論理回路125、3レベル要素を有するD A C 130、及び減算器145を含む。音声処理システム100は、また、マイクロフォン140などの音声入力装置からアナログ信号 V_{in} (例えば、アナログ音声信号、アナログ電圧信号)を受け取る相互コンダクタンス増幅器135を含む。一態様では、相互コンダクタンス増幅器135は、プログラム可能な利得で実現されてもよく、したがって、P G A又は G_m ベースP G Aと呼ばれうる。音声入力装置がマイクロフォンであるとき、相互コンダクタンス増幅器135は、マイクロフォンP G A又はM I C P G Aと呼ばれうる。

【0015】

相互コンダクタンス増幅器135は、アナログ信号 V_{in} に基づいて電流信号(例えば、単に電流とも呼ばれる)を生成し、その電流信号を減算器145に提供できる。幾つかの例では、図1の例に示されたように、電流信号は、減算器145に提供される差動電流でよい。減算器145は、D A C 130から出力信号も受け取りうる。この点で、減算器145は、相互コンダクタンス増幅器135によって提供される差動電流(例えば、入力電流とも呼ばれる)と、D A C 130によって提供される出力信号(例えば、D A C電流又はフィードバック電流とも呼ばれる)との差を生成できる。例えば、電流領域で、入力電流とD A C電流を短絡させた後でループフィルタの残りの部分(例えば、キャパシタ110と前方)に提供することによって微分器が実現されうる。

10

20

30

40

50

【0016】

相互コンダクタンス増幅器135とキャパシタ110（例えば、また差動コンデンサとも呼ばれる）は、ADC105のループフィルタの積分器を構成しうる。幾つかの例では、ループフィルタは、積分器のカスケードを含むことができ、相互コンダクタンス増幅器135とキャパシタ110がループフィルタの第1の積分器を構成する。ループフィルタは、アナログ信号 V_{in} と関連した差動電流とDAC130からの出力信号との差（例えば、この差は減算器145によって提供される）のフィルタリング（例えば、ノイズシェーピングとも呼ばれる）を提供して量子化ノイズを抑制でき、より高次のループフィルタは、より強いノイズシェーピング及び低い安定性と関連付けられる。キャパシタ110は、ループフィルタの一部115によって表わされたループフィルタの残りの部分のノイズをフィルタリングでき、したがって、ループフィルタのノイズ寄与を軽減する。例えば、キャパシタ110は、入力電流とDAC電流の差を積分し、ループフィルタの能動要素のノイズ寄与を軽減するために利用されうる。したがって、一態様では、ループフィルタの一部115は、主に、ノイズ抑制ではなく安定性を高めるように設計され、それにより電力が節約されうる。

10

【0017】

相互コンダクタンス増幅器135、減算器145、キャパシタ110及び一部115によって集合的に提供されるループフィルタは、アナログ信号 V_{in} に対してノイズシェーピングを行い、得られたフィルタアナログ信号 V_{LF} を量子化器120（例えば、ADCとも呼ばれる）に提供できる。量子化器120は、フィルタアナログ信号 V_{LF} を受け取り、フィルタアナログ信号 V_{LF} のデジタル表現であるNビットデジタル信号（ V_{DIG} として示された）を生成できる。量子化器120は、Nビットデジタル信号 V_{DIG} を論理回路125に提供できる。幾つかの例では、量子化器120は、また、（例えば、ADC105外部の1つ以上の構成要素による）記憶及び/又は処理のためにNビットデジタル信号 V_{DIG} を提供できる。例えば、量子化器120は、デシメーションフィルタなどの1つ以上のデジタルフィルタに結合されうる。

20

【0018】

一実施形態では、量子化器120は、マルチビットミッドトレッド型量子化器でよい。幾つかの例では、量子化器120によって利用されるビット数は、ジッタノイズ（例えば、量子化器120の動作を容易にするためにクロックと関連付けられた）が、相互コンダクタンス増幅器135と関連付けられたノイズより支配的にならないように選択されうる。幾つかの例では、量子化器120は、より強いノイズシェーピングを適用してクロックジッタに対する感度を低減できる。量子化器120のミッドトレッド特性は、DAC130の3レベル要素の3レベル制御を容易にできる。量子化器120のミッドトレッド特性は、量子化器120の出力でゼロレベルを可能にできる。出力がゼロレベルの場合、DAC130（例えば、フィードバックDAC）は、ヌル出力ノイズ（例えば、ヌル出力電流と関連付けられた）を提供できる。幾つかの例では、ミッドトレッド特性とフィードバックのそのような組み合わせは、信号を処理するとき（小信号を処理するときなど）にフィードバックのノイズ寄与が無視できるようにする。

30

【0019】

論理回路125は、量子化器120からNビットデジタル信号 V_{DIG} を受け取り、論理回路125の制御信号発生器を使用して、Nビットデジタル信号 V_{DIG} に基づいてDAC130の制御信号を生成できる。制御信号は、DAC130の3レベル単位要素を制御できる。幾つかの態様では、DAC130は、3レベル単位要素を有する電流ステアリング（CS）DACを含む。そのような態様では、3レベル単位要素ごとに、単位要素は、正に選択されてもよく（例えば、キャパシタ110に正電荷を提供する）、負に選択されてもよく（例えば、キャパシタ110に負電荷を提供する）、選択されなくてもよい（例えば、キャパシタ110にゼロ電荷を提供する）。この点で、論理回路125からの制御信号によって、DAC130の幾つかの単位要素が、キャパシタ110に正電荷、負電荷、又は無電荷を提供できる。DAC130の単位要素からの電流は、DAC130のコンバイナ

40

50

一回路（図示せず）によって結合されて、出力線 I_p 及び I_m 上の電流（例えば、差動電流）が減算器 145 に提供されうる。DAC 130 からの電流信号は、相互コンダクタンス増幅器 135 からの電流信号と結合されうる。結合された電流信号は、ADC 105 のフォワード及びフィードバック経路を介して提供されうる。例えば、結合は、減算器 145 が DAC 130 からの電流信号（例えば、DAC 電流）を相互コンダクタンス増幅器 135 からの電流信号（例えば、入力電流）と共に減算することによって行われる。キャパシタ 110 は、DAC 130 からの電流信号と相互コンダクタンス増幅器 135 からの電流信号との差を受け取りうる。

【0020】

幾つかの態様では、論理回路 125 は、1つ以上のダイナミックエレメントマッチング（DEM）回路を含みうる。DEM 回路は、DAC 130 のアナログ要素（例えば、3レベル単位要素）のミスマッチ成分をランダム化する働きをしうる。例えば、DEM 回路は、量子化器 120 からの N ビットデジタル信号 V_{DIG} の様々なビットを DAC 130 の様々な単位要素に異なる時間にランダム（例えば、疑似ランダム）に導いて（例えば、信号をシャッフルする）信号上の単位要素の成分ミスマッチの影響を実質的に相殺するスクランブラを使用して実現される。成分ミスマッチの影響の相殺は、ダイナミックレンジを高めうる。論理回路 125 の制御信号発生器は、シャッフル信号に基づいて DAC 130 の制御信号を生成できる。幾つかの例では、単位要素が正確にマッチしないことがあるので（例えば、製造の欠陥により）、単位要素内の欠陥を軽減するためにマッチングが利用されうる。そのようなミスマッチは、歪み（例えば、高調波歪み）とノイズに寄与し、ダイナミックレンジを低減しうる。

【0021】

代替又は追加として、論理回路 125 は、量子化器 120 からの N ビットデジタル信号 V_{DIG} を複数のデータセグメントに分割するデータセグメンテーション回路を含みうる。各データセグメントは、単位要素のそれぞれのグループと関連付けられてもよく、その結果、データセグメントは、その関連グループ内の単位要素に正電流、負電流又は無電流をキャパシタ 110 に提供させる。幾つかの例では、DEM 回路は、各データセグメントにスクランブルをかけ、制御信号発生器は、スクランブルをかけたデータセグメントごとの制御信号（例えば、DAC 130 の対応する単位要素の）を生成してもよい。幾つかの例では、データセグメンテーションは、 N の値が高い場合など、DEM 複雑さを低減するために利用されうる。

【0022】

量子化ノイズ及び小信号は、 N ビットデジタル信号 V_{DIG} のプラス又はマイナス 1 の最下位ビット（LSB）内で表現されてもよく、したがって、DAC 130 のノイズ寄与は、相互コンダクタンス増幅器 135 と関連付けられたノイズに対して無視できる。この点で、幾つかの例では、 N ビットデジタル信号 V_{DIG} のレベルが $+LSB$ 又は $-LSB$ のとき、DAC 130 の単位要素の 1 つだけがキャパシタ 110 に接続されて出力線 I_p 及び I_m 上に差動電流が提供され、他の単位要素は電流を提供しない（例えば、ゼロ電流を提供する）。ゼロ電流を提供する単位要素の例では、ノイズ（例えば、ゼロ電流）が単位要素によって ADC 105 のループフィルタに注入されないので、単位要素はノイズに寄与しない。幾つかの例では、DAC 130 の単位要素の数が $(M - 1) / 2$ でよく、ここで、 M は、DAC 130 によって提供される量子化レベルの数でよい。幾つかの例では、 $M = 2^N$ である。

【0023】

したがって、様々な実施形態を使用することにより、ADC 105 のダイナミックレンジは、相互コンダクタンス増幅器 135 のノイズ寄与による影響を受けるが、ループフィルタ、量子化器 120 及び / 又は DAC 130 などからのダイナミックレンジを制限しうる他の潜在的ノイズ寄与が軽減される。幾つかの例では、ADC 105 は、より高いダイナミックレンジを提供できると同時に低ノイズと低消費電力の動作を可能にする。一実施形態では、ADC 105 は、シグマデルタ（又は $\Sigma\Delta$ ）ADC アーキテクチャを呈す

10

20

30

40

50

ると呼ばれる。幾つかの態様では、ADC105は、連続時間動作に利用されてもよく、したがって、CT ADCアーキテクチャ又はCT SD ADCを呈すると呼ばれる。

【0024】

図2は、本開示の1つ以上の実施形態による単位要素200の例を示す。しかしながら、描かれた構成要素の全てが必要とは限らず、1つ以上の実施形態は、図示されていない付加構成要素を含みうる。付加構成要素、様々な構成要素及び/又はより少数の構成要素を含む構成要素の構成及び種類の変更は、本明細書に記載された特許請求の範囲から逸脱せずに行われうる。一実施形態では、単位要素200は、図1のDAC130の単位要素でもよく、それを含んでもよく、その一部でもよい。この点で、単位要素200は、DAC130の*i*番目の単位要素でよい。DAC130は、量子化器120の*N*ビットデジタル出力 V_{DIG} に基づいてアナログ信号を生成するのに適した幾つかの単位要素を含みうる。

10

【0025】

単位要素200は、単位電流源205及び210、スイッチ215、220、225、230、235及び240を含む。制御信号 p_i 、 z_i 及び n_i は、論理回路(例えば、125)によって生成され、単位要素200に提供されうる。スイッチ215及び240は制御信号 p_i によって制御され、スイッチ220及び235は、制御信号 z_i によって制御され、スイッチ225及び230は制御信号 n_i によって制御されうる。 p_i 制御信号がアサートされた(例えば、ロジックハイに設定された)とき、スイッチ215及び240が閉じられ、電流 $+I_u$ が、単位要素200の出力線 I_{pi} に提供され、電流 $-I_u$ が、単位要素200の出力線 I_{mi} に提供される。 n_i 制御信号がアサートされたとき、スイッチ225及び230が閉じられ、電流 $-I_u$ が、単位要素200の出力線 I_{pi} に提供され、電流 $+I_u$ が、単位要素200の出力線 I_{mi} に提供される。 z_i 制御信号がアサートされたとき、スイッチ220及び235が閉じられ、ゼロ電流が、単位要素200の出力線 I_{pi} 及び I_{mi} に提供される。利用されるスイッチング技術の種類により、スイッチ215、220、225、230、235及び240が、ロジックハイ制御信号に応じてオン又はオフになり、ロジックロー制御信号に応じてオフ又はオンになりうる。

20

【0026】

図1に関して、DAC130の様々な単位要素のそれぞれの出力線 I_{pn} ($n = 0, 1, \dots, i$ など)によって提供される電流は、1つ以上のコンパイナ回路によって結合されて、DAC130の出力線 I_p に結合電流が提供されうる。同様に、DAC130の異なる単位要素のそれぞれの出力線 I_{mn} によって提供される電流は、1つ以上のコンパイナ回路によって結合されて、DAC130の出力線 I_m に結合電流が提供されうる。図2で、コンパイナ回路245は、単位要素200の出力線 I_{pi} 上の電流を、他の単位要素の出力線 I_{pn} 上の電流(例えば、まとめて I_{p_other} と示された)と結合し、コンパイナ回路250は、単位要素200の出力線 I_{mi} 上の電流を他の単位要素の出力線 I_{mn} の電流(例えば、まとめて I_{m_other} と示された)と結合する。出力線 I_p 及び I_m 上の電流は、ADC105のキャパシタ110に結合される。

30

【0027】

一態様では、様々な単位要素が異なる重みを有しうる。例えば、単位要素200は、1の重みを有するように設定され、したがって出力線 I_{pi} 及び/又は I_{mi} 上に $-I_u$ 、 $+I_u$ 又はゼロ電流を提供しうる。DAC130の別の単位要素(例えば、 k 番目の単位要素)は、4の重みを有するように設定され、したがってその出力線 I_{pk} 及び/又は I_{mk} 上に $-4I_u$ 、 $+4I_u$ 又はゼロ電流を提供しうる。幾つかの例では、論理回路125は、*N*ビットデジタル出力 V_{DIG} を様々なセグメントに分割でき、各セグメントは、それぞれの重み又は重みのそれぞれの組と関連付けられうる。

40

【0028】

図3は、本開示の1つ以上の実施形態による量子化器300の例を示す。しかしながら、描かれた構成要素の全てが必要とは限らず、1つ以上の実施形態は、図示されていない付加構成要素を含みうる。付加構成要素、様々な構成要素及び/又はより少数の構成要素

50

を含む構成要素の構成及び種類の変更は、本明細書に記載された特許請求の範囲から逸脱せずに行われうる。一実施形態では、量子化器 300 は、図 1 の量子化器 120 でもよく、それを含んでもよく、その一部でもよい。

【0029】

量子化器 300 は、比較器 305、継続的近似化レジスタ (SAR) 論理回路 310、及び基準電圧発生器 315 を含む。基準電圧発生器 315 は、比較器 305 の電圧基準を生成するために抵抗ラダー (例えば、抵抗ストリングとも呼ばれる) を含む。抵抗ラダーは、単調性と線形性を提供できる。量子化器 300 は、また、クロック信号を生成しかつ / 又は受け取るタイミング回路と、量子化器 300 の動作を容易にするサンプルホールド回路とを含みうる。

10

【0030】

一実施形態では、量子化器 300 は、N ビットミッドトレッド量子化器である。例として、量子化器 300 は、8 ビット量子化器でよい。幾つかの例では、量子化器 300 は、非同期量子化器 (例えば、非同期 8 ビット SAR ADC) でよい。最初に、SAR 論理回路 310 は、N ビットシーケンス (例えば、所定の N ビットシーケンス) を制御信号として設定して、設定した N ビットシーケンスを使用して基準電圧発生器 315 の動作を制御できる。様々な N ビットシーケンスが異なる基準電圧と関連付けられる。比較器 305 は、基準電圧発生器 315 からループフィルタの出力 V_{LF} と基準電圧 V_{REF} を受け取り、 V_{LF} と V_{REF} との差に基づいて比較器出力を生成する。比較器出力は、 V_{LF} と V_{REF} のどちらが大ききかを示しうる。SAR 論理回路 310 は、比較器出力を受け取り、それに応じて基準電圧発生器 315 を構成する制御信号を設定する。 V_{LF} と V_{REF} の比較に基づいて比較器出力を生成し、基準電圧を実現する制御信号を設定するプロセスは、出力 V_{LF} のデジタル表現への集束を可能にするために繰り返されうる。

20

【0031】

量子化器 300 を動作させる一例として、SAR 論理回路 310 は、8 ビットシーケンス (例えば、8 ビットコードとも呼ばれる) を生成できる。ビットシーケンスは、7 ビットの $b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$ として表わされることがあり、 b_7 が最上位ビット (MSB) であり、 b_0 が LSB である。最初に、SAR 論理回路 310 は、制御信号をコード 10000000 に設定し、このコードを基準電圧発生器 315 に提供して、コード 10000000 と関連付けられた基準電圧を生成させるのに適切なスイッチを開閉できる。 $V_{LF} > V_{REF}$ のとき、SAR 論理回路 310 は、MSB を 1 に維持し、次のビット b_6 を 1 に設定し、その結果、基準電圧発生器 315 に提供される次のコードが 11000000 になる。基準電圧発生器 315 は、コード 11000000 と関連付けられた基準電圧を生成できる。 $V_{LF} < V_{REF}$ のとき、SAR 論理回路 310 は、MSB を 0 に設定し、次のビット b_6 を 1 に設定し、その結果、基準電圧発生器 315 に提供される次のコードが 01000000 になる。基準電圧発生器 315 は、コード 01000000 と関連付けられた基準電圧を生成できる。そのようなプロセスは、出力 V_{LF} のデジタル表現に集束させるために繰り返されうる。

30

【0032】

集束した後で、SAR 論理回路 310 は、出力 V_{LF} の N ビット表現を量子化器 300 の出力として提供できる。幾つかの例では、量子化器 300 のアーキテクチャは、低い量子化ノイズ及び緩いクロックジッタ仕様と関連付けられうる。図 1 に関して、ループフィルタ出力 V_{LF} の N ビット表現が、 V_{DIG} として示される。量子化器 300 は、抵抗ラダーを利用して比較器 305 の電圧基準を生成するが、抵抗ラダーの代替又は追加として他の方式を使用できる。用途により、ADC 105 のフォワード経路の一部として様々なタイプの量子化器を利用できる。幾つかの例では、SAR 式量子化器は、フラッシュ ADC などの他の ADC より小さく、高い効率を有しうる。量子化器 300 が、ADC 105 のループ (例えば、フォワードループ) の一部なので、一般に比較器 305 と関連したオフセットが軽減されうる。

40

【0033】

50

図4は、本開示の1つ以上の実施形態によるループフィルタ400の例を示す。しかしながら、描かれた構成要素の全てが必要とは限らず、1つ以上の実施形態は、図示されていない追加構成要素を含みうる。追加構成要素、異なる構成要素及び/又はより少数の構成要素を含む構成要素の構成と種類の変更は、本明細書に記載されたような特許請求の範囲から逸脱せずに行われうる。

【0034】

一実施形態では、ループフィルタ400は、図1のキャパシタ110及びループフィルタの一部115でもよく、これらを含んでもよく、その一部分でもよい。第2の積分器は、第3のアクティブRC積分器を駆動するアクティブGm-C積分器である。アクティブRC積分器は、静電容量フィードフォワード(例えば、 C_3/C_{f3} 、 C_3/C_{f2})を可能にする。図1に示されたように、キャパシタC(例えば、図1の110)は、相互コンダクタンス増幅器(例えば、図1の135)に結合され、一緒に第1のGm-C積分器を構成しうる。ループフィルタ400の出力 V_{op} 及び V_{om} は、量子化器120などの量子化器に提供されうる。ループフィルタ400は、三次ループフィルタであるが、これより低次又は高次のループフィルタが利用されうる。より高次のループフィルタは、一般に、より強いノイズシェーピングと関連付けられる。

10

【0035】

図5は、本開示の1つ以上の実施形態による音声処理システムのフィードバック経路500の例を示す。しかしながら、描かれた構成要素の全てが必要とは限らず、1つ以上の実施形態は、図示されていない追加構成要素を含みうる。追加構成要素、異なる構成要素及び/又はより少数の構成要素を含む構成要素の構成と種類の変更は、本明細書に記載されたような特許請求の範囲から逸脱せずに行われうる。一実施形態で、音声処理システムは、図1の音声処理システム100でよい。説明のため、フィードバック経路500は、量子化器120とキャパシタ110に接続する。しかしながら、フィードバック経路500は、他の音声処理システムと共に使用されうる。

20

【0036】

フィードバック経路500は、論理回路505とセグメント化CS DAC510を含む。論理回路505は、量子化器120からのNビット信号を3つのデータセグメントに分割するデータセグメンテーション回路515を含む。論理回路505のDEM回路520、525及び530はそれぞれ、第1、第2及び第3のデータセグメントに対してDEMを実行できる。例えば、DEM回路520、525及び530はそれぞれ、それぞれのデータセグメントをシャッフルできる。DEM回路520、525及び530は、その出力を論理回路505の制御信号発生器535に提供できる。論理回路505は、セグメント化CS DAC510のサブDAC540、545及び550の制御を実現する制御信号を生成できる。幾つかの例では、サブDAC540、545及び550の制御信号はそれぞれ、DEM回路520、525及び530の出力に基づきうる。サブDAC540、545及び550は、出力線 I_p 及び/又は I_m に正電流、負電流又は無電流を与える単位要素を有しうる。幾つかの例では、サブDAC540、545及び550は、その単位要素に印加される異なる重みを有しうる。例えば、サブDAC540は、16の重みを有するように設定され、したがって、出力線 I_p 及び/又は I_m に $-16I_u$ 、 $+16I_u$ 又はゼロ電流を与えうる。サブDAC545及び550はそれぞれ4と1の重みを有するように設定されうる。

30

40

【0037】

図5で、データセグメンテーション回路515は、Nビット信号を3つのデータセグメントにセグメント化し、対応するDEM回路及びサブDACが、3つのデータセグメントのうちの1つに適用される。例えば、データセグメンテーション回路515は、4ビットを有する第1のデータセグメント、3ビットを有する第2のデータセグメント、及び3ビットを有する第3のデータセグメントを生成する3方向データセグメンテーションを提供できる。そのようなセグメンテーションは、単に非限定的な例として提供され、異なる数のデータセグメント及び/又は異なるビット数のデータセグメントが利用されうる。

50

【 0 0 3 8 】

図 6 は、本開示の 1 つ以上の実施形態によるアナログ・デジタル変換を容易にする例示的プロセス 6 0 0 の流れ図を示す。説明のため、本明細書では、例示的プロセス 6 0 0 を図 1 の音声処理システム 1 0 0 に関して述べるが、例示的なプロセス 6 0 0 は、他のシステムと共に利用されうる。必要に応じて、1 つ以上の動作が組み合わせられ、省略されかつ / 又は異なる順序で実行されうることに注意されたい。

【 0 0 3 9 】

ブロック 6 0 5 で、ADC 1 0 5 が、入力信号（例えば、電流信号）を受け取る。入力信号は、相互コンダクタンス増幅器 1 3 5 からの電流信号でよい。例えば、音声信号（例えば、電圧信号）は、マイクロフォン 1 4 0 などの音声入力装置によって相互コンダクタンス増幅器 1 3 5 に提供され、相互コンダクタンス増幅器 1 3 5 は、音声信号に基づいて電流信号を生成できる。幾つかの例では、相互コンダクタンス増幅器 1 3 5 によって生成される電流信号は、差動電流でよい。ブロック 6 1 0 で、ADC 1 0 5 のループフィルタが、入力信号に基づいてフィルタ信号 V_{LF} を生成する。一態様では、ループフィルタは、減算器 1 4 5 から、相互コンダクタンス増幅器 1 3 5 からの電流信号と DAC 1 3 0 からの電流信号との差を受け取り、この差信号をフィルタリングしてフィルタ信号 V_{LF} を生成できる。幾つかの例では、ループフィルタによるフィルタリングは、この差信号をノイズシェーピングすることを含みうる。幾つかの例では、相互コンダクタンス増幅器 1 3 5 は、ADC 1 0 5 のループフィルタの一部と見なされうる。相互コンダクタンス増幅器 1 3 5 及び ADC 1 0 5 のキャパシタ 1 1 0 は、ADC 1 0 5 のループフィルタの積分器（例えば、幾つかの例では第 1 の積分器）を構成できる。ブロック 6 1 5 で、量子化器 1 2 0 が、フィルタ信号 V_{LF} の N ビットデジタル表現 V_{DIG} を生成する。幾つかの例では、N ビットデジタル表現 V_{DIG} は、ADC 1 0 5 のフィードバックと、ADC 1 0 5 の外部の 1 つ以上の構成要素による更なる処理及び / 又は記憶のために論理回路 1 2 5 に提供されうる。

【 0 0 4 0 】

ブロック 6 2 0 で、論理回路 1 2 5 は、N ビットデジタル表現 V_{DIG} に基づいて制御信号を生成する。幾つかの例では、論理回路 1 2 5 は、N ビットデジタル表現に対してデータセグメンテーションを実行して N ビットデジタル表現を複数のデータセグメントに分割でき、各データセグメントは、DAC 1 3 0 の 3 レベル単位要素のサブセットに対応する。代替又は追加として、論理回路 1 2 5 は、N ビットデジタル表現に対して DEM を実行してもよく、N ビットデジタル表現から形成されたデータセグメントに対して DEM を実行してもよい。ブロック 6 2 5 で、DAC 1 3 0 は、制御信号に基づいて電流信号を生成する。幾つかの例では、DAC 1 3 0 の各 3 レベル要素は、正電流、負電流又は無電流を提供できる。ブロック 6 3 0 で、DAC 1 3 0 は、生成された電流信号を ADC 1 0 5 のループフィルタに提供する。例えば、DAC 1 3 0 は、出力線 I_p 及び I_m 上の差動電流をループフィルタの減算器 1 4 5 に提供できる。

【 0 0 4 1 】

該当する場合、本開示によって提供される様々な実施形態は、ハードウェア、ソフトウェア、又はハードウェアとソフトウェア組み合わせを使用して実現されうる。また、該当する場合、本明細書で説明された様々なハードウェア構成要素及び / 又はソフトウェア構成要素は、本開示の範囲から逸脱することなく、ソフトウェア、ハードウェア、及び / 又はこの両方を含む複合構成要素に組み合わせられうる。該当する場合、本明細書で説明された様々なハードウェア構成要素及び / 又はソフトウェア構成要素は、本開示の範囲から逸脱することなく、ソフトウェア、ハードウェア又はこれらの両方を含むサブ構成要素に分割されうる。更に、該当する場合、ソフトウェア構成要素がハードウェア構成要素として実現されてもよく、その逆でもよい。

【 0 0 4 2 】

プログラムコード及び / 又はデータなどの本開示によるソフトウェアは、1 つ以上のコンピュータ可読媒体に記憶されうる。本明細書に示されたソフトウェアは、1 つ以上の汎用若しくは特殊用途コンピュータ及び / 又はコンピュータシステムを使用して実現され、

10

20

30

40

50

ネットワーク接続され、かつ/又は他の方法で実現されうる。該当する場合、本明細書に記載された様々なステップの順序は、本明細書に記載された特徴を提供するために、変更され、複合ステップに組み合わされ、かつ/又はサブステップに分割されうる。

【 0 0 4 3 】

以上の開示は、本開示を開示された厳密な形態又は特定の使用分野に限定するものではない。したがって、本開示に対する様々な代替実施形態及び/又は修正が、本明細書に明示されているか暗示されているかにかかわらず、本開示を鑑みて可能である。したがって、本開示の実施形態を述べたが、当業者は、本開示の範囲から逸脱することなく、形態及び詳細の変更が行われうることを理解するであろう。したがって、本開示は、特許請求の範囲によってのみ限定される。

10

【符号の説明】

【 0 0 4 4 】

- 1 0 0 音声処理システム
- 1 0 5 アナログ・デジタル変換 (A D C) システム
- 1 1 0 キャパシタ
- 1 1 5 ループフィルタの一部
- 1 2 0 量子化器
- 1 2 5 論理回路
- 1 3 0 デジタル・アナログ変換器
- 1 3 5 相互コンダクタンス増幅器
- 1 4 0 マイクロフォン
- 1 4 5 減算器

20

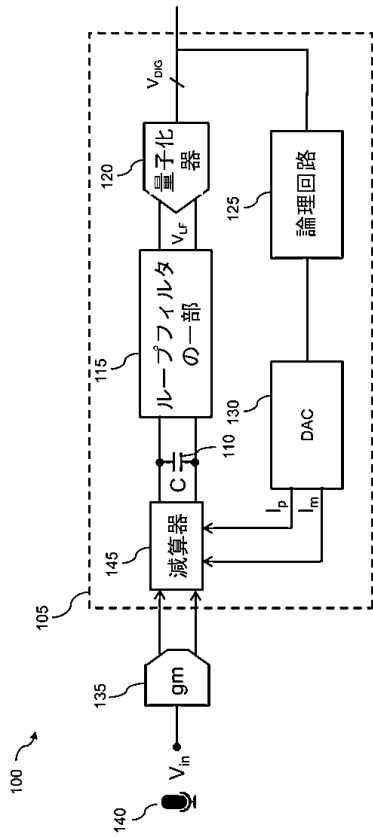
30

40

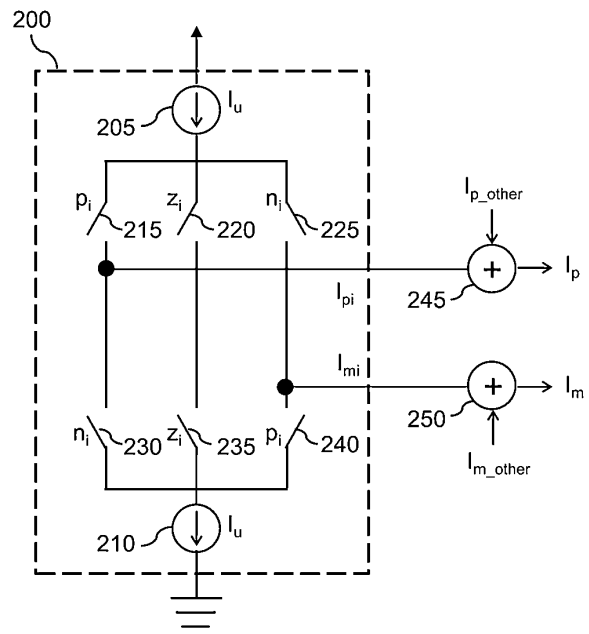
50

【図面】

【図 1】



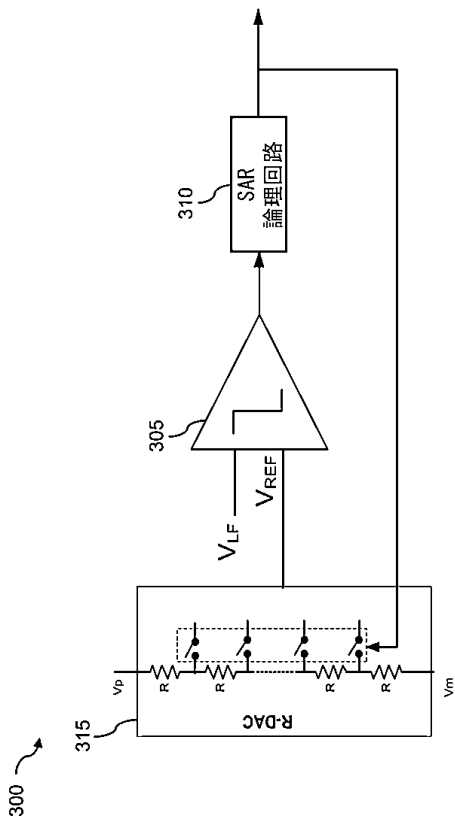
【図 2】



10

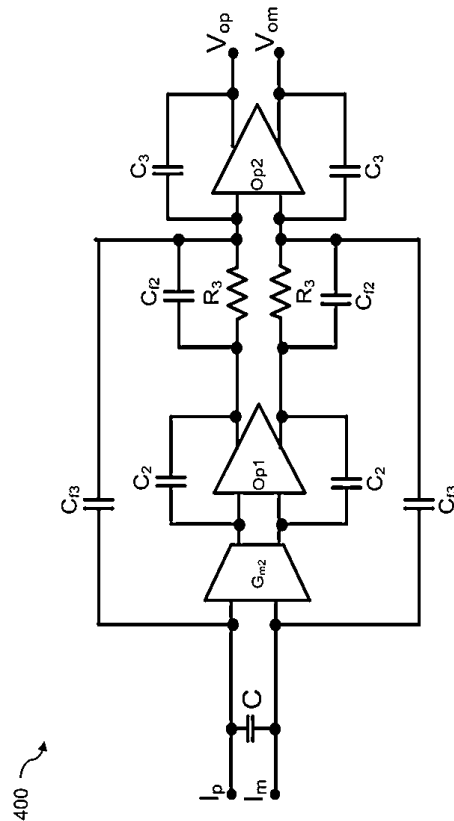
20

【図 3】



300

【図 4】



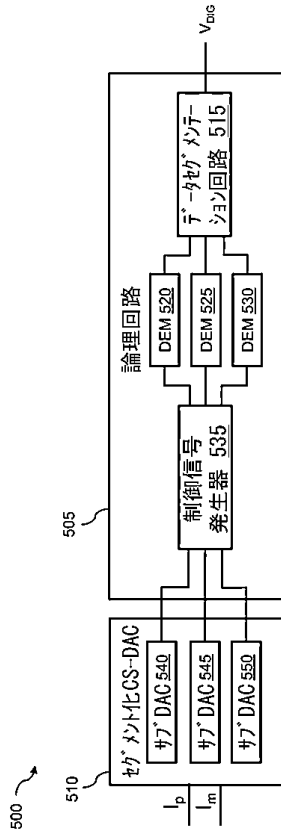
400

30

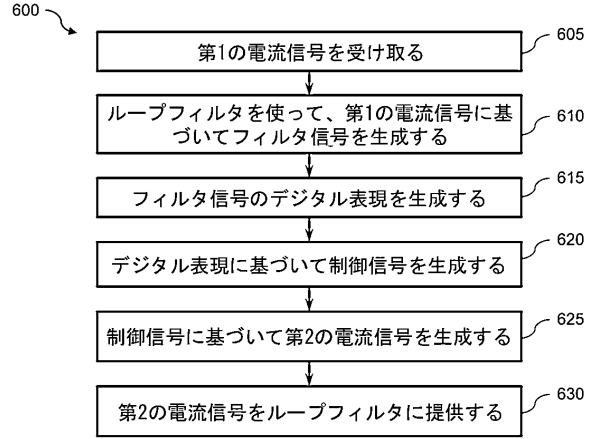
40

50

【図5】



【図6】



10

20

30

40

50

フロントページの続き

アメリカ合衆国，カリフォルニア州，コスタメサ，クイーンズコート 3488

審査官 阿部 弘

- (56)参考文献 特表2009-518882(JP,A)
特開2013-098630(JP,A)
特開2015-211391(JP,A)
米国特許出願公開第2008/0309536(US,A1)
中国特許出願公開第101326724(CN,A)
米国特許出願公開第2016/0134300(US,A1)
特開平06-021823(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|------|------|
| H03M | 3/02 |
| H03M | 1/38 |
| H03M | 1/68 |
| H03M | 1/76 |