(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 11/4099

(11) 공개번호 특2003-0009356
(43) 공개일자 2003년01월29일

(21) 출원번호 10-2002-7010270
(22) 출원일자 2002년08월09일
번역문 제출일자 2002년08월09일
(86) 국제출원번호 PCT/JP2001/10995
(86) 국제출원출원일자 2001년12월14일
(87) 국제공개번호 WO 2002/49036
(87) 국제공개일자 2002년06월20일

(81) 지정국 국내특허 : 대한민국, 미국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀랜드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 터어키,

(30) 우선권주장 JP-P-2000-00382580 2000년12월15일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 가이하츠미노루
일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고소니가부시끼가이샤내

(74) 대리인 신관호

심사청구 : 없음

(54) 메모리 배열

요약

셀 플레이트 전압선내의 결합잡음을 방지하는 메모리 배열. 이 메모리 배열은 제 1과 제 2의 더미 단어선(DWL0, DWL1)과, 각 제 1의 비트선(BL), 제 1의 더미 단어선(DWL0) 및 공통의 셀 플레이트 전압선(VL) 사이에 접속된 제 1의 더미 메모리 셀(DMC0)과, 각 제 2의 비트선(BLB), 제 2의 더미 단어선(DWL1) 및 전압선(VL)사이에 접속된 제 2의 더미 메모리 셀(DWC1)과를 가지며, 각 제 1의 메모리 셀(MC0)에 제 1의 데이터를 기입할 때에, 그 제 1의 데이터와 역극성의 제 2의 더미 데이터를 각 제 2의 더미 메모리 셀(DMC1)에 기입함과 동시에, 각 제 2의 메모리 셀(MC1)에 제 2의 데이터를 기입할 때에, 그 제 2의 데이터와 역극성의 제 1의 더미 데이터를 각 제 1의 더미 메모리 셀(DMC0)에 기입하도록 한 것이다.

대표도

도 1

명세서

기술분야

본 발명은, 메모리 배열에 관한 것이다.

배경기술

이하에, 도 5를 참조하여, D-RAM의 메모리 배열의 종래예를 설명한다. MC0, MC1, ...MC(n-1), MCn은, 메모리 셀이며, 각각 스위칭 트랜지스터(MOS-FET)(Q) 및 커패시터(C)가 직렬접속되어 구성되어 있다. WL0, WL1,.....WL2n, WL(2n+1)은, 각각 메모리 셀(MC0, MC1, ...MC(n-1), MCn)을 활성화시키기 위한 단어선이다. BL, BLB는, 데이터 기입시에, 서로 상보의 논리의 전압이 상호 교체하는 쌍을 이루는 비트선이다. VL은, 메모리 셀(MC0, MC1, ...MC(n-1), MCn)의 커패시터측에, 셀 플레이트 전압(Vcp = Vcc/2)을 부여하기 위한 셀 플레이트 전압선이다. 이 셀 플레이트 전압선(VL)은, 셀 플레이트 전압발생회로(도시 안됨)에 접속되어 있다.

그리고, 메모리 셀(MC0, MC2, ...MC(n-1))의 각 스위칭 트랜지스터(MOS-FET)(Q) 및 커패시터(C)의 직렬회로가, 비트선(BL) 및 셀 플레이트 전압선(VL) 사이에 접속되며, 그 각 스위칭 트랜지스터(Q)의 제어단자(게이트)가, 단어선 (WL0, WL2,.....WL2n)에 접속되어 있다. 이 경우, 커패시터(C)측이 셀 플레이트 전압선(VL)에 접속된다.

또한, 메모리 셀(MC1, MC3, ...MC(n))의 각 스위칭 트랜지스터(Q) 및 커패시터(C)의 직렬회로가, 비트선(BLB) 및 셀 플레이트 전압선(VL) 사이에 접속되며, 그 각 스위칭 트랜지스터(Q)의 제어단자(게이트)가, 단어선 (WL1, WL3,.....WL(2n+1))에 접속되어 있다. 이 경우, 커패시터(C)측이 셀 플레이트 전압선(VL)에 접속된다.

게다가, 감지 증폭기(SA)가 비트선(BL, BLB) 사이에 접속된다. 또한, 등화기 회로(EQ)가, 비트선(BL, BLB) 사이에 접속되어 있다. 이 등화기 회로(EQ)는, MOS-FET(Q1, Q2, Q3, Q4)을 구비하고 있다. 양 MOS-FET(Q1, Q2)의 각 드레인에, 비트선 프리-챠지 전압(Vpr = Vcc/2)이 인가되며, 그 각 소스가, 비트선(BL, BLB)에 접속되어 있다. MOS-FET(Q3)의 드레인 및 소스가, 각각 비트선(BL, BLB)에 접속되어 있다. 비트선 프리-챠지 전압(Vpr)을 비트선(BL, BLB)에 공급하며, 더욱이, 비트선(BL, BLB)을 등화하기 위한 게이트 신호(PEQ)가, MOS-FET(Q1, Q2, Q3)의 각 게이트에 인가된다.

한편, 실제로는, 상기 도 5의 회로가 복수설치되어 있으며, 이러한 복수의 회로에 대하여, 단어선(WL0, WL1,....WL2n, WL(2n+1)), 비트선 프리-챠지 전압(Vpr)이 공급되는 선 및 게이트 신호(PEQ)가 공급되는 선이 공통으로 사용된다. 또한, 그 복수의 회로의 각 셀 플레이트 전압선(VL)은, 공통의 셀 플레이트 전압발생회로에 접속되어 있다.

다음에 도 6을 참조하여, 도 5의 메모리 배열의 동작을 설명한다. 도 6a에 도시한 바와같이, 단어선(WL0)의 전압이 높은 레벨로 되며, 메모리 셀(MC0)이 활성화 되며, 즉, 그 MOS-FET(Q)이 ON으로 되어 있을 때에, 이하에 기술하는 독출동작 및 기입동작이 행해진다. 메모리 셀(MC0)의 커패시터(C)측에 축적되어 있는 데이터 " 0" 이, MOSFET(Q) 및 비트선(BL)을 통해 감지 증폭기(SA)로 공급되어 증폭 및 래치되며, 도 6b에 도시한 바와같이, 비트선(BL)의 전압이 0(V)로 된다. 그 후 감지 증폭기(SA)에, 데이터 " 1" 이 반전기입되며, 그 후 증폭 및 래치되어, 도 6b에 도시한 바와같이, 비트선(BL)의 전압이 반전되어 Vcc(V)로 되며, 그 데이터 " 1" 이, 비트선(BL) 및 메모리 셀(MC0)의 MOS-FET(Q)을 통해, 그 커패시터(C)로 다시 기입된다.

이 재기입이 종료하면, 도 6a에 도시한 바와같이, 단어선(WL0)의 전압이, 높은 레벨로부터 낮은 레벨로 변화함과 동시에, 도 6d에 도시한 바와같이, 게이트 신호(PEQ)가 낮은 레벨로부터 높은 레벨로 변화하기 때문에, 등화기 회로(EQ)를 구성하는 MOS-FET(Q1-Q3)이 함께, OFF로부터 ON으로 전환되며, 도 6b에 도시한 바와같이, 비트선(BL, BLB)의 전압은 모두, 비트선 프리-챠지 전압(Vpr = Vcc/2)으로, 등화/프리-챠지된다.

한편, 도 6a에 도시한 바와같이, 단어선(WL0)의 전압이 높은 레벨로 될 때는, 단어선(WL1)의 전압도 높은 레벨로 되며, 독출 및 기입시의 감지 증폭기(SA)의 래치상태에서는, 도 6b에 도시한 바와같이, 비트선(BL)의 전압은 비트선(BLB)의 전압의 역전압으로 된다.

이와같이, 활성화된 메모리 셀에 기억되어 있는 데이터가 독출되며, 비트선을 통해 감지 증폭기(SA)에 공급되어 증폭 및 래치되어, 그 후, 그 감지 증폭기(SA)에 데이터가 반전기입되며, 그 후 증폭 및 래치됨으로써, 비트선(BL, BLB)의 전압의 고저가 서로 교체입력되면, 다음의 동작이 행해진다. 즉, 그 활성화되어 있는 메모리 셀의 커패시터를 통해, 그 셀 플레이트 전압(VL)에 결합잡음이 발생하며, 그 셀 플레이트 전압(Vcp)이, Vcp=Vcc/2로부터, Vcp=(Vcc/2)±dVcp (단. 0 < dVcp < Vcc< 2)로 편위한다. 도 5의 경우의 셀 플레이트 전압(Vcp)은, 도 6c에 도시한 바와 같이, Vcp=(Vcc/2)+dVcp로 된다.

도 5의 경우는, 비트선(BL, BLB)이 한 쌍 설치되어 있는 경우이지만, 일반적으로는, 비트선(BL, BLB)은 복수쌍 설치되어 있다. 그 경우, 각 쌍의 비트선(BL, BLB)에 대응하는 셀 플레이트 전압(VL)은, 공통의 셀 플레이트 전압발생회로에 접속되어 있다. 거기에서, 동일한 단어선에 접속되며, 동시에 활성화되어 있는 복수의 메모리 셀에 각각 접속되어 있는 복수의 비트선중, 그 전압이, 0(V)로부터 Vcc(V)로 변화하는 비트선의 수를 a, 그 전압이 Vcc(V)로부터 0(V)로 변화하는 비트선의 수를 b로 하면, 셀 플레이트 전압(Vcp)은, Vcp= Vcc/2로부터, Vcp=(Vcc/2) + dVcp×a-dVcp×b로 변화한다.

상기한 점에 감안하여, 본 발명은, 데이터 기입시에, 서로 상보의 논리의 전압이 상호 교체하는 복수쌍의 제 1 및 제 2의 비트선과, 복수쌍의 제 1 및 제 2의 단어선과, 공통의 셀 플레이트 전압선과, 상기 각 제 1의 비트선, 상기 각 제 1의 단어선 및 상기 공통의 셀 플레이트 전압선 사이에 접속된 제 1의 메모리 셀과, 상기 각 제 2의 비트선, 상기 각 제 2의 단어선 및 상기 공통의 셀 플레이트 전압선 사이에 접속된 제 2의 메모리 셀과, 상기 각 쌍의 제 1 및 제 2의 비트선 사이에 접속된 감지 증폭기와를 가지며, 각각 복수의 상기 제 1 및 제 2의 메모리 셀이 매트릭스 형태로 배치되어 있는 메모리 배열에 있어서, 셀 플레이트 전압선에 결합잡음이 발생하는 것을 회피하는 것이 가능한 것을 제안한 것이다.

발명의 상세한 설명

제 1의 발명은, 데이터 기입시에, 서로 상보의 논리의 전압이 상호 교체하는 복수쌍의 제 1 및 제 2의 비트선과, 복수쌍의 제 1 및 제 2의 단어선과, 공통의 셀 플레이트 전압선과, 각 제 1의 비트선, 각 제 1의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 1의 메모리 셀과, 각 제 2의 비트선, 각 제 2의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 2의 메모리 셀과, 각 쌍의 제 1 및 제 2의 비트선 사이에 접속된 감지 증폭기와를 가지며, 각각 복수의 제 1 및 제 2의 메모리 셀이 매트릭스 형태로 배치되어 있는 메모리 배열에 있어서, 제 1 및 제 2의 더미(dummy) 단어선과, 각 제 1의 비트선, 각 제 1의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 1의 메모리 셀과, 각 제 2의 비트선, 각 제 2의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 2의 메모리 셀과를 가지며, 각 제 1의 메모리 셀에 제 1의 데이터를 기입할 때에, 제 1의 데이터와 역극성의 제 2의 더미 데이터를 각 제 2의 더미 메모리 셀에 기입함과 동시에, 각 제 2의 메모리 셀에 제 2의 데이터를 기입할 때에, 제 2의 데이터와 역극성의 제 1의 더미 데이터를 각 제 1의 더미 메모리 셀에 기입하도록 하는 메모리 배열이다.

제 2의 발명은, 제 1의 발명의 메모리 배열에 있어서, 제 1 및 제 2의 더미 단어선이 활성상태로부터 비활성상태로 이행하는 타이밍을, 각 제 2 및 제 1의 단어선이 활성상태로부터 비활성상태로 이행하는 타이밍으로부터 소정시간 지연시키도록 하는 메모리 배열이다

제 3의 발명은, 제 1의 발명의 메모리 배열에 있어서, 각 제 1 및 제 2의 단어선 및 각 제 2 및 제 1의 더미 단어선이 활성상태로부터 비활성상태로 이행할 때, 제 2 및 제 1의 더미 메모리 셀의 스위칭 트랜지스터 및 커패시터의 접속중점에, 프리-챠지전압을 인가하는 수단을 설치한 메모리 배열이다.

제 4의 발명은, 제 1, 제 2 또는 제 3의 발명의 메모리 배열에 있어서, 그 메모리 배열은, 동적 RAM이 되는 메모리 배열이다.

도면의 간단한 설명

도 1은, 본 발명의 실시의 형태의 메모리 배열의 일예를 도시한 회로도이다.

도 2는, 도 1의 메모리 배열의 동작설명에 제공하는 타이밍 흐름도이다.

도 3은, 본 발명의 실시의 형태의 메모리 배열의 다른 예를 도시한 회로도이다.

도 4는, 도 3의 메모리 배열의 동작설명에 제공하는 타이밍 흐름도이다.

도 5는, 메모리 배열의 종래예를 도시한 회로도이다.

도 6은, 도 5의 메모리 배열의 동작설명에 제공하는 타이밍 흐름도이다.

실시예

이하에, 도 1을 참조하여, 본 발명의 실시의 형태의 메모리 배열의 일예를 설명한다. 한편, 도 1에 있어서, 도 5와 대응하는 부분에는, 동일부호를 부여하고 있다. MC0, MC1,....., MC(n+1), MCn은, 메모리 셀이며, 각각 스위칭 트랜지스터(MOS-FET)(Q) 및 커패시터(C)가 직렬접속되어 구성되어 있다. WL0, WL1,.....WL2n, WL(2n+1)은, 각각 메모리 셀(MC0, MC1, ...MC(n-1), MCn)을 활성화시키기 위한 단어선이다. BL, BLB는, 데이터 기입시에, 서로 상보의 논리의 전압이 상호 교체하는 쌍을 이루는 비트선이다. VL은, 메모리 셀(MC0, MC1, ...MC(n-1), MCn)의 커패시터측에, 셀 플레이트 전압(Vcp = Vcc/2)을 부여하기 위한 셀 플레이트 전압선이다.

그리고, 메모리 셀(MC0, MC2, ...MC(n-1))의 각 스위칭 트랜지스터(MOS-FET)(Q) 및 커패시터(C)의 직렬회로가, 비트선(BL) 및 셀 플레이트 전압선(VL)사이에 접속되며, 그 각 스위칭 트랜지스터(Q)의 제어단자(게이트)가, 단어선 (WL0, WL2,.....WL2n)에 접속되어 있다. 이 경우, 커패시터(C)측이 셀 플레이트 전압선(VL)에 접속된다.

또한, 메모리 셀(MC1, MC3, ...MC(n))의 각 스위칭 트랜지스터(Q) 및 커패시터(C)의 직렬회로가, 비트선(BLB) 및 셀 플레이트 전압선(VL) 사이에 접속되며, 그 각 스위칭 트랜지스터(Q)의 제어단자(게이트)가, 단어선 (WL1, WL3,.....WL(2n+1))에 접속되어 있다. 이 경우, 커패시터(C)측이 셀 플레이트 전압선(VL)에 접속된다.

게다가, 감지 증폭기(SA)가 비트선(BL, BLB) 사이에 접속된다. 또한, 등화기 회로(EQ)가, 비트선(BL, BLB) 사이에 접속되어 있다. 이 등화기 회로(EQ)는, MOS-FET(Q1, Q2, Q3, Q4)을 구비하고 있다. 양 MOS-FET(Q1, Q2)의 각 드레인에, 비트선 프리-챠지 전압(Vpr = Vcc/2)이 인가되며, 그 각 소스가, 비트선(BL, BLB)에 접속되어 있다. MOS-FET(Q3)의 드레인 및 소스가, 각각 비트선(BL, BLB)에 접속되어 있다. 비트선 프리-챠지 전압(Vpr)을 비트선(BL, BLB)에 공급하며, 더욱이, 비트선(BL, BLB)을 등화하기 위한 게이트 신호(PEQ)가, MOS-FET(Q1, Q2, Q

3)의 각 게이트에 인가된다.

그리고, 메모리 셀(MC0, MC1)과 동일한 구성의 더미 메모리 셀(DMC0, DMC1)을 설치한다. 더미 메모리 셀(DMC0, DMC1)의 스위칭 트랜지스터(Q) 및 커패시터(C)의 직렬회로가, 비트선(BL) 및 셀 플레이트 전압선(VL) 사이에 접속되며, 그 스위칭 트랜지스터(Q)의 제어단자(게이트)가, 더미 메모리 셀(DMC0)을 활성화시키기 위한 의사 단어선(DWL0)에 접속된다. 이 경우, 커패시터(C)측이 셀 플레이트 전압선(VL)에 접속된다. 또한, 더미 메모리 셀(DMC1)의 스위칭 트랜지스터 및 커패시터의 직렬회로가, 비트선(BLB) 및 셀 플레이트 전압선(VL) 사이에 접속되며, 그 스위칭 트랜지스터(Q)의 제어단자(게이트)가, 더미 메모리 셀(DMC1)을 활성화시키기 위한 의사 단어선(DWL1)에 접속된다. 이 경우, 커패시터(C)측이 셀 플레이트 전압선(VL)에 접속된다.

다음에, 도 2를 참조하여, 도 1의 메모리 배열의 동작을 설명한다. 도 2a에 도시한 바와같이, 단어선(WL0)의 전압이 높은 레벨로 되며, 메모리 셀(MC0)이 활성화되며, 즉, 그 MOS-FET(Q)이 ON으로 되어 있을 때에, 이하에 기술하는 독출동작 및 기입동작이 행해진다. 메모리 셀(MC0)의 커패시터(C)측에 축적되어 있는 데이터 "0" 이, MOS-FET(Q) 및 비트선(BL)을 통해 감지 증폭기(SA)로 공급되어 증폭 및 래치되며, 도 2c에 도시한 바와같이, 비트선(BL)의 전압이 0(V)로 된다. 그 후, 감지 증폭기(SA)에, 데이터 "1" 이 반전기입되며, 그 후 증폭 및 래치되어, 도 2c에 도시한 바와같이, 비트선(BL)의 전압이 Vcc(V)로 반전하며, 그 데이터 "1" 이, 비트선(BL) 및 메모리 셀(MC0)의 MOS-FET(Q)을 통해, 그 커패시터(C)에 다시 기입된다.

이 재기입이 종료하면, 도 2a에 도시한 바와같이, 단어선(WL0)의 전압이, 높은 레벨로부터 낮은 레벨로 변화함과 동시에, 도 2e에 도시한 바와같이, 게이트 신호(PEQ)가 낮은 레벨로부터 높은 레벨로 변화하기 때문에, 등화기 회로(EQ)를 구성하는 MOS-FET(Q1-Q3)이 함께, OFF로부터 ON으로 전환되며, 도 2c에 도시한 바와같이, 비트선(BL, BLB)의 전압은 모두, 비트선 프리-챠지 전압(Vpr = Vcc/2)으로, 등화/프리-챠지된다.

한편, 단어선(WL0)이 고전압으로 되어 있을 때는,도 2b에 도시한 바와같이, 더미 메모리 셀(DMC1)의 MOS-FET(Q)의 게이트가 접속되어 더미 단어선(DWL1)의 전압도 높게 되며, 더미 메모리 셀(DMC1)의 MOS-FET(Q)가 ON으로 된다.

독출시로부터 기입시로의 전환에 따라, 도 2c에 도시한 바와같이, 비트선(BL)의 전압이 0(V)로부터 Vcc(V)로 변화하고, 메모리 셀(MC0)의 커패시터(C)를 통해, 셀 플레이트 전압(Vcp)으로 결합잡음이 중첩된다. 한편, 독출시로부터 기입시로의 전환에 따라, 도 2c에 도시한 바와같이, 비트선(BLB)의 전압이 Vcc(V)로부터 0(V)로 변화하고, 더미 메모리 셀(MC0)의 커패시터(C1)를 통해, 셀 플레이트 전압(Vcp)으로 결합잡음이 중첩된다. 이 경우, 양자의 결합잡음은, 레벨이 동일(중첩이 동일)하므로, 극성이 서로 역으로 되며, 양자의 결합잡음은 상쇄되므로, 셀 플레이트 전압(Vcp)으로 결합잡음은 중첩되지 않게 된다.

이 경우, 더미 단어선(DWL1)의 전압을, 단어선(WL0)의 전압과 동시에 높은 레벨로부터 낮은 레벨로 변화시키면, 메모리 셀(MC0)에 재기입된 데이터와 역극성의 데이터가 더미 메모리 셀(DMC1)에 기입되게 되므로, 다음 번에 다른 단어선의 전압을 낮은 레벨로부터 높은 레벨로 변화시킨 경우, 더미 메모리 셀(DMC1)에 기억하고 있는 데이터와 동일한 극성의 데이터가, 비트선(BL)에 독출되며, 비트선(BL, BLB)사이의 미소 전위차가 없게 되며, 데이터의 오독출에 연관될 가능성이 있다.

그리고, 도 2a, 2b에 도시한 바와같이, 더미 단어선(DWL1)의 전압을, 단어선(WL0)의 전압보다 지연시키고, 높은 레벨이 낮은 레벨로 변화되도록 한다면, 더미 메모리 셀(DMC1)에, 메모리 셀(MC0)에 재기입된 데이터와 역극성의 데이터가 기입되는 것을 방지하는 것이 가능하다.

일반적으로 말하면, 단어선(WL0, WL2,....WL2n)의 전압이 낮은 레벨로부터 높은 레벨로 변화하여 활성화 될 때, 더미 단어선(DWL1)의 전압을 낮은 레벨로부터 높은 레벨로 변화시켜 활성화하고, 단어선(W1, WL3,...., WL(2n+1))의 전압이 낮은 레벨로부터 높은 레벨로 변화하여 활성화 될 때, 더미 단어선(DWL0)의 전압을 낮은 레벨로부터 높은 레벨로 변화시켜 활성화한다면 좋다.

한편, 도 2a에 도시한 바와같이, 단어선(WL0)이 높은 레벨로 될 때는, 단어선(WL1)도 높은 레벨로 되며, 독출 및 기입시의 감지 증폭기(SA)의 래치상태에서는, 도 2c에 도시한 바와같이, 비트선(BL)의 전압은, 비트선(BLB)의 전압의 역전압으로 된다.

독출시로부터 기입으로 전환될 때에, 도 2c에 도시한 바와같이, 비트선(BLB)의 전압이 Vcc(V)로부터 0(V)로 변화하고, 메모리 셀(MC1)의 커패시터(C)를 통해, 셀 플레이트 전압(Vcp)으로 결합잡음이 중첩된다. 한편, 독출시로부터 기입시로의 전환에 따라, 도 2c에 도시한 바와같이, 비트선(BL)의 전압이 0(V)로부터 Vcc(V)로 변화하고, 더미 메모리 셀(DMC0)의 커패시터(C)를 통해, 셀 플레이트 전압(Vcp)으로 결합잡음이 중첩된다. 이 경우, 양자의 결합잡음은, 레벨이 동일(중첩이 동일)하므로, 극성이 서로 역으로 되며, 양자의 결합잡음은 상쇄되므로, 셀 플레이트 전압(Vcp)으로 결합잡음은 중첩되지 않게 된다.

다음에, 본 발명의 실시의 형태의 메모리 배열의 다른 예를 설명한다. 한편, 도 3에 있어서, 도 1과 대응하는 부분에는, 동일부호를 부여하며, 중첩설명을 생략한다. 도 3에 있어서, 도 1과 다른 부분에 대해서 설명한다. 더미 메모리 셀(DMC0, DMC1)의 MOS-FET(Q) 및 커패시터(C) 사이의 노드를 N0, N1으로 한다. 그리고, 스위칭 트랜지스터로서의 MOS-FET(Q4, Q5)을 설치하고, 트랜지스터(Q4, Q5)의 드레인을 각각 노드(N0, N1)에 접속하고, 그 각 소스에, 비트선 프리-챠지 전압(Vpr)을 인가하고, 그 각 게이트에, 비트선(BL, BLB)을 등화하기 위한 게이트 신호(PEQ)를 공급한다.

비교하면, 예를 들면, 도 4a에 도시한 바와같이, 단어선(WL0)의 전압이, 높은 레벨로부터 낮은 레벨로 변화하면, 도 4f에 도시한 바와같이, 게이트 신호(PEQ)될가 낮은 레벨로부터 높은 레벨로 변화하기 때문에, 등화기 회로(EQ)를 구성하는 MOS-FET(Q1-Q3)이 함께, OFF로부터 ON으로 전환되며, 도 4c에 도시한 바와같이, 비트선(BL, BLB)의 전압은 모두, 비트선 프리-챠지 전압(Vpr = Vcc/2)으로, 등화/프리-챠지됨과 동시에, MOS-FET(Q4, Q5)이 ON으로 되어, 비트선 프리-챠지 전압(Vpr = Vcc/2)이, 더미 메모리 셀(DMC0, DMC1)의 노드(NO, N1)에 인가된다. 따라서, 도 4a, 4b에 도시한 바와같이, 더미 단어선(DWL1)의 전압을, 단어선(WL0)의 전압과 동시에, 높은 레벨로부터 낮은 레벨로 변화시키는 것이 가능하다. 도 4a, 4b에 도시한 바와같이, 더미 단어선(DWL0)의 전압도, 단어선(WL1)의 전압과 동시에, 높은 레벨로부터 낮은 레벨로 변화시키는 것이 가능하다.

도 4e에, 노드(N1)의 전압의 변화를 도시하고, 더미 메모리 셀(DMC1)의 커패시터(C)의 전압이, Vcc(V)(독출시) -> 0(V)(기입시) -> Vpr(=Vcc/2)(등화/프리-cI지 시)로 변화한다.

도 1 및 도 3의 예에서는, 도 2 및 도 4에 도시한 바와같이, 단어선(WL0)의 전압이 낮은 레벨로부터 높은 레벨로 변화하는 활성화 타이밍을, 더미 단어선(DWL1)의 전압이 낮은 레벨로부터 높은 레벨로 변화하는 활성화 타이밍과 동일하게 하였지만, 비트선 미소 전위차에 대한 영향을 극력회피하기 위해서, 더미 단어선(DWL1)의 활성화 타이밍을, 단어선(WL0)의 활성화 타이밍보다 지연시키도록 하여도 좋다.

산업상 이용 가능성

제 1의 발명에 의하면, 데이터 기입시에, 서로 상보의 논리의 전압이 상호 교체하는 복수쌍의 제 1 및 제 2의 비트선과, 복수쌍의 제 1 및 제 2의 단어선과, 공통의 셀 플레이트 전압선과, 각 제 1의 비트선, 각 제 1의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 1의 메모리 셀과, 각 제 2의 비트선, 각 제 2의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 2의 메모리 셀과, 각 쌍의 제 1 및 제 2의 비트선 사이에 접속된 감지 증폭기와를 가지며, 각각 복수의 제 1 및 제 2의 메모리 셀이 매트릭스 형태로 배치되어 있는 메모리 배열에 있어서, 제 1 및 제 2의 더미 단어선과, 각 제 1의 비트선, 각 제 1의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 1의 메모리 셀과, 각 제 2의 비트선, 각 제 2의 단어선 및 공통의 셀 플레이트 전압선 사이에 접속된 제 2의 메모리 셀과를 가지며, 각 제 1의 메모리 셀에 제 1의 데이터를 기입할 때에, 그 제 1의 데이터와 역극성의 제 2의 더미 데이터를 각 제 2의 더미 메모리 셀에 기입함과 동시에, 각 제 2의 메모리 셀에 제 2의 데이터를 기입할 때에, 그 제 2의 데이터와 역극성의 제 1의 더미 데이터를 각 제 1의 더미 메모리 셀에 기입하므로, 커패시터의 증대, 비트수의 증가, 고속화등에 무관계하며, 셀 플레이트 전압선에 결합잡음이 발생하는 것을 회피하는 것이 가능함과 동시에, 결합잡음 발생의 회피의 수단으로서, 셀 플레이트 전압 발생원의 능력을 이용하지 않기 때문에, 소비전력의 증대의 염려가 없는 메모리 배열을 얻는 것이 가능하다.

제 2의 발명에 의하면, 제 1의 발명의 메모리 배열에 있어서, 제 1 및 제 2의 더미 단어선이 활성상태로부터 비활성상태로 이행하는 타이밍을, 각 제 2 및 제 1의 단어선이 활성상태로부터 비활성상태로 이행하는 타이밍으로부터 소정시간 지연시키므로, 제 1의 발명과 동일한 효과가 얻어짐과 동시에, 셀 플레이트 전압에 결합잡음이 발생하는 것을 회피하는 경우에, 각 제 1 및 제 2의 더미 메모리 셀에, 불필요한 데이터가 기입되는 것을 회피하는 것이 가능한 메모리 배열을 얻는 것이 가능하다.

제 3의 발명에 의하면, 제 1의 발명의 메모리 배열에 있어서, 각 제 1 및 제 2의 단어선 및 상기 각 제 2 및 제 1의 더미 단어선이 활성상태로부터 비활성상태로 이행할 때, 제 2 및 제 1의 더미 메모리 셀의 스위칭 트랜지스터 및 커패시터의 접속중점에, 프리-챠지전압을 인가하는 수단을 설치하고 있으므로, 제 1의 발명과 동일한 효과가 얻어짐과 동시에, 셀 플레이트 전압에 결합잡음이 발생하는 것을 회피하는 경우에, 각 제 1 및 제 2의 더미 메모리 셀에, 불필요한 데이터가 기입되는 것을 회피하는 것이 가능한 메모리 배열을 얻는 것이 가능하다.

한편, 제 1, 제 2 및 제 3의 발명의 메모리 배열은, 동적 RAM이 가능하다.

(57) 청구의 범위

청구항 1.

데이터 기입시에, 서로 상보의 논리의 전압이 상호 교체하는 복수쌍의 제 1 및 제 2의 비트선과, 복수쌍의 제 1 및 제 2의 단어선과, 공통의 셀 플레이트 전압선과, 상기 각 제 1의 비트선, 상기 각 제 1의 단어선 및 상기 공통의 셀 플레이트 전압선 사이에 접속된 제 1의 메모리 셀과, 상기 각 제 2의 비트선, 상기 각 제 2의 단어선 및 상기 공통의 셀 플레이트 전압선 사이에 접속된 제 2의 메모리 셀과, 상기 각 쌍의 제 1 및 제 2의 비트선 사이에 접속된 감지 증폭기와를 가지며, 각각 복수의 상기 제 1 및 제 2의 메모리 셀이 매트릭스 형태로 배치되어 있는 메모리 배열에 있어서,

제 1 및 제 2의 더미 단어선과,

상기 각 제 1의 비트선, 상기 각 제 1의 단어선 및 상기 공통의 셀 플레이트 전압선 사이에 접속된 제 1의 메모리 셀과,

상기 각 제 2의 비트선, 상기 각 제 2의 단어선 및 상기 공통의 셀 플레이트 전압선 사이에 접속된 제 2의 메모리 셀과를 가지며,

상기 각 제 1의 메모리 셀에 제 1의 데이터를 기입할 때에, 상기 제 1의 데이터와 역극성의 제 2의 더미 데이터를 상기 각 제 2의 더미 메모리 셀에 기입함과 동시에, 상기 각 제 2의 메모리 셀에 제 2의 데이터를 기입할 때에, 상기 제 2의 데이터와 역극성의 제 1의 더미 데이터를 상기 각 제 1의 더미 메모리 셀에 기입하도록 하는 것을 특징으로 하는 메모리 배열.

청구항 2.

제 1항에 있어서,

상기 제 1 및 제 2의 더미 단어선이 활성상태로부터 비활성상태로 이행하는 타이밍을, 상기 각 제 2 및 제 1의 단어선이 활성상태로부터 비활성상태로 이행하는 타이밍으로부터 소정시간 지연시키도록 하는 것을 특징으로 하는 메모리 배열.

청구항 3.

제 1항에 있어서,

상기 각 제 1 및 제 2의 단어선 및 상기 각 제 2 및 제 1의 더미 단어선이 활성상태로부터 비활성상태로 이행할 때, 상기 제 2 및 제 1의 더미 메모리 셀의 스위칭 트랜지스터 및 커패시터의 접속중점에, 프리-챠지전압을 인가하는 수단을 설치한 것을 특징으로 하는 메모리 배열.

청구항 4.

제 1항에 있어서,

상기 메모리 배열은 동적 RAM이 되는 것을 특징으로 하는 메모리 배열.

청구항 5.

제 2항에 있어서,

상기 메모리 배열은 동적 RAM이 되는 것을 특징으로 하는 메모리 배열.

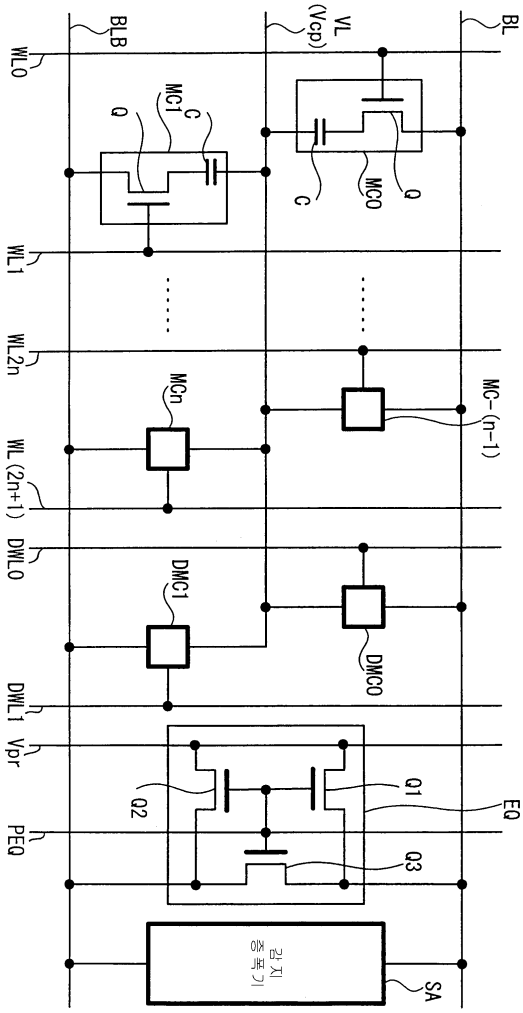
청구항 6.

제 3항에 있어서,

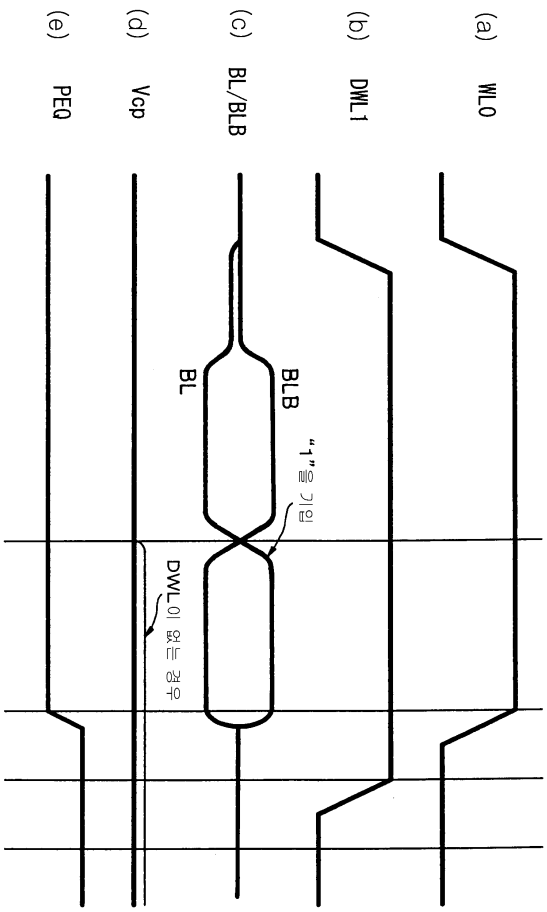
상기 메모리 배열은 동적 RAM이 되는 것을 특징으로 하는 메모리 배열.

도면

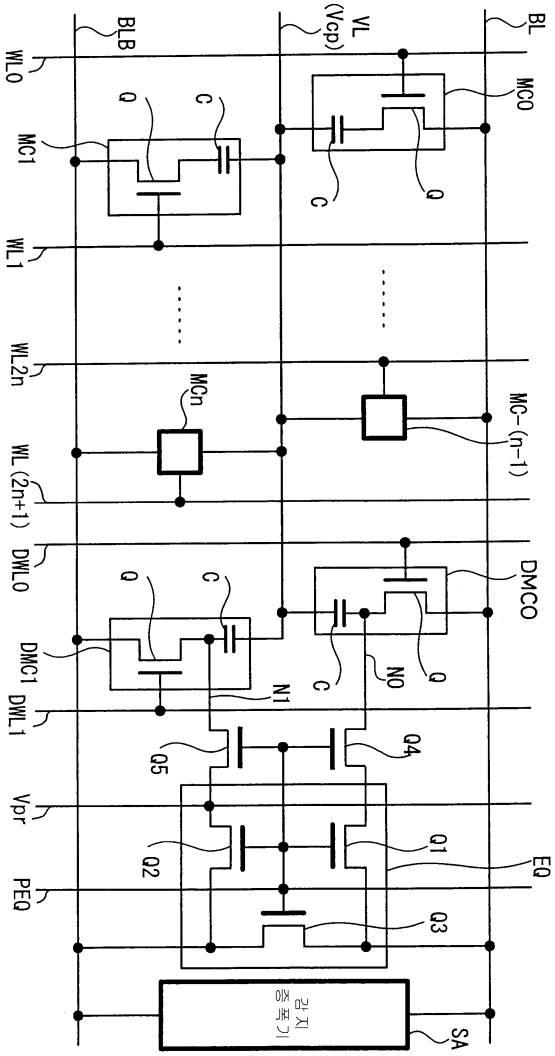
도면 1


BLB
VL
(Vcp)
BL
WL0
MC1
C
Q
C
MC0
Q
WL1
WL2n
MCn
MC-(n-1)
WL(2n+1)
DWL0
DMC1
DMC0
DWL1
Vpr
PEQ
Q2
Q1
EQ
Q3
감지증폭기
SA

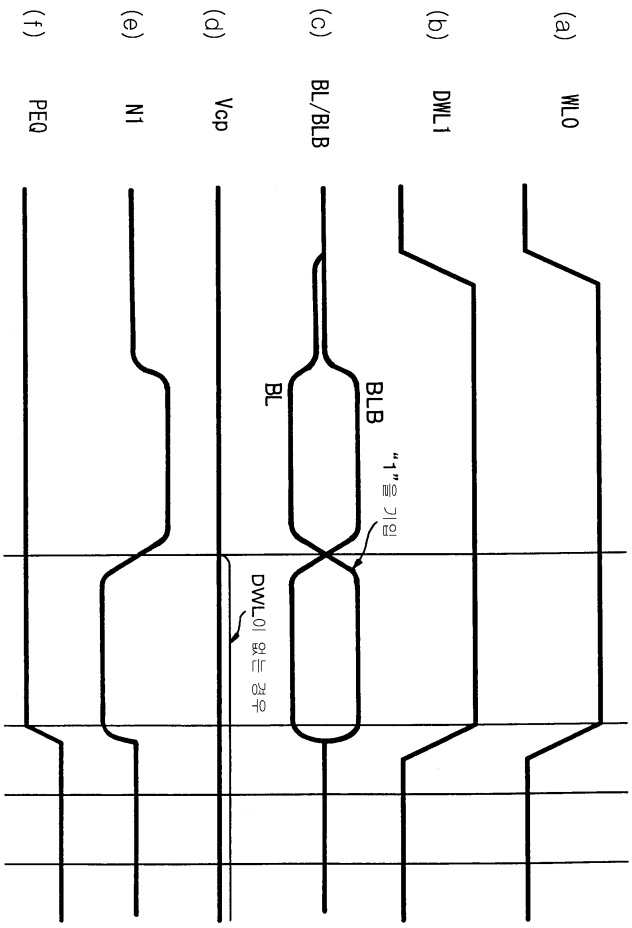
도면 2



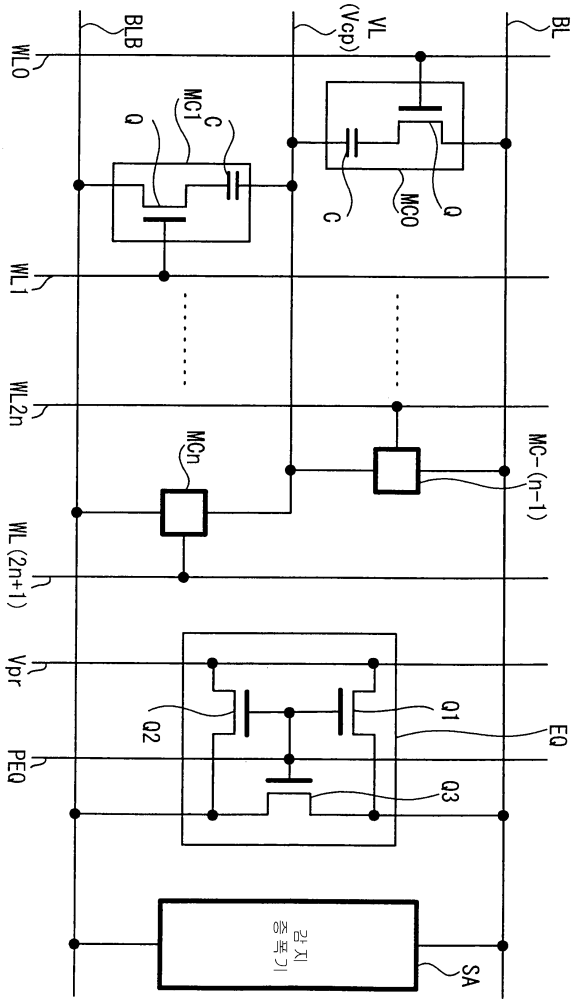
도면 3


BLB
VL
(Vcp)
BL
WL0
MC0
Q
C
MC1
WL1
WL2n
MCn
MC-(n-1)
WL(2n+1)
DWL0
DMC0
DMC1
N1
N0
DWL1
Q4
Q5
Vpr
Q1
EQ
Q2
PEQ
Q3
감지
증폭기
SA

도면 4



도면 5


BLB
VL
(Vcp)
BL
WL0
MC1
C
Q
C
MC0
Q
WL1
WL2n
MCn
MC-(n-1)
WL(2n+1)
Vpr
Q2
Q1
EQ
PEQ
Q3
감지
증폭기
SA

도면 6