

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G11C 11/407

H01L 21/8247

[12] 发明专利申请公开说明书

[21] 申请号 99102969.0

[43]公开日 1999年9月22日

[11]公开号 CN 1229250A

[22]申请日 99.3.11 [21]申请号 99102969.0

[30]优先权

[32]98.3.11 [33]JP [31]059476/1998

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 小畑弘之

[74]专利代理机构 中原信达知识产权代理有限责任公司

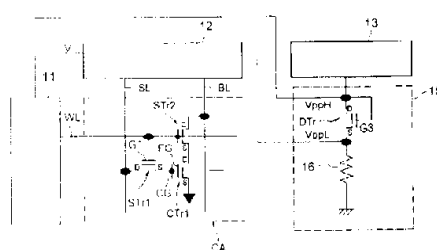
代理人 穆德骏 余 滕

权利要求书 2 页 说明书 11 页 附图页数 6 页

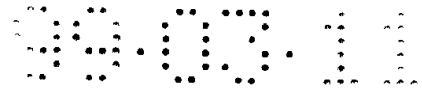
[54]发明名称 非易失性半导体存储器件

[57]摘要

这里所公开的是一种非易失性半导体存储器件,其具有一组由单元晶体管所构成的非易失性存储单元,其中一个第一电压通过一个地址选择电路被加载到一条字线上,而一个低于该第一电压的第二电压则通过一条选择线和/或位线被加载到晶体管上。加载到晶体管上的电压低于常规所采用的电压。因此,可以减小晶体管的源-漏耐压以减小晶体管等等所占用的面积,从而实现更高的集成度。



ISSN 1000-8-4274



权 利 要 求 书

1. 一种非易失性半导体存储器件，其特征在于包括：

5 存储单元阵列，其包括一组以矩阵形式排列的非易失性存储单元，
每个存储单元均包括具有浮置栅的单元晶体管，每个存储单元被定位在
由一组字线及一组位线所形成的对应交点上，所述存储单元阵列至少在
写入模式中为所选中的存储单元及在擦除模式中为一组所述存储单元
进行工作，

10 用于响应第一电压并根据所述第一电压向所述字线加载选择信号
的地址选择电路，

用于产生比所述第一电压低一个预定电压的第二电压的成压电
路，

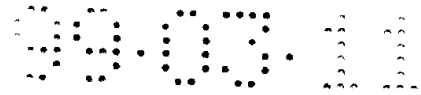
15 用于响应所述第二电压并选择性地向所选中的一条位线提供从所
述第二电压中得到的第一信号或从低于所述第二电压的第三电压中得
到的第二信号的列控制电路。

2. 如权利要求 1 所述的半导体存储器件，其特征在于所述成压电
路具有用于对所述第一电压进行分压的分压装置。

20 3. 如权利要求 1 所述的半导体存储器件，其特征在于所述分压装
置包括一个其源和漏彼此相连的 MOS 晶体管及一个恒流电路，或多个
二极管及一个恒流电路。

25 4. 如权利要求 2 所述的半导体存储器件，其特征在于所述分压装
置包括具有一组串联在一起的电阻的电路。

5. 如权利要求 2 所述的半导体存储器件，其特征在于所述成压电
路包括 MOS 晶体管，其漏与所述第一电压相连，其栅与一个参考电压
相连而其源则产生所述第二电压。

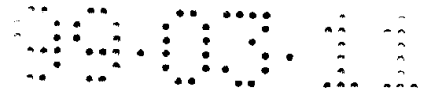


6. 如权利要求 1 所述的半导体存储器件，其特征在于所述列控制电路具有一条与对应存储单元的所述控制栅相连的选择线并将所述第一信号或所述第二信号加载到所选中的选择线上。

5 7. 如权利要求 6 所述的半导体存储器件，其特征在于各个存储单元均具有第一选择晶体管和第二选择晶体管，第一选择晶体管的一个接线端与所述选择线的电流通路相连而另一接线端与所述控制栅相连，第二选择晶体管的一个接线端与所述位线的电流通路相连而另一接线端与
10 所述单元晶体管的电流通路相连，所述两个选择晶体管均根据所述字线的选择来进行操作。

 8. 如权利要求 7 所述的半导体存储器件，其特征在于在写入模式中，所述第二信号通过所述第一选择晶体管被加载到所述控制栅上，而
15 所述第一信号则通过所述第二选择晶体管被加载到所述单元晶体管的电流通路上。

 9. 如权利要求 7 所述的半导体存储器件，其特征在于在擦除模式中，所述第一信号通过所述第一选择晶体管被加载到所述控制栅上，而
20 所述第二信号通过所述第二选择晶体管被加载到到所述单元晶体管的所述电流通路上。



说明书

非易失性半导体存储器件

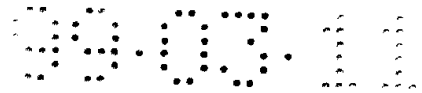
5 本发明涉及一种诸如 EEPROM 的非易失性半导体存储器件，更具体地说，其涉及具有能够选择一组字线的功能的非易失性半导体存储器件。

10 图 1 所示为一个常规 EEPROM 的主要部分的电路图。此 EEPROM 具有一组以由一组字线 WL 和一组位线 BL 构成的矩阵形式排列在各交点上的非易失性存储单元。EEPROM 具有一个通过在行方向（图 1 中的水平方向）上延伸的相应字线 WL 与每个存储单元相连的 X 译码器 21 及一个通过垂直于字线 WL 的选择线 SL 及位线 BL 与每个存储单元相连的列控制电路 22。该 EEPROM 另外还具有一个成压电路 25 及一个向
15 成压电路 25 提供所需电压的电荷泵 23。

20 一个单元阵列 CA 具有两个选择晶体管 STr11 和 STr12 及一个构成存储单元的单元晶体管 CTr11。字线 WL 与每个选择晶体管 STr11 和 STr12 的栅相连。单元晶体管 CTr11 具有一个浮置栅 FG 及一个控制栅 CG。选择晶体管 STr11 和 STr12 及单元晶体管 CTr11 由 N 沟道 MOS 晶体管构成。选择晶体管 STr11 的漏与选择线 SL 相连，而其源则与单元晶体管 CTr11 的控制栅 CG 相连。选择晶体管 STr12 的漏与位线 BL 相连，而其源与单元晶体管 CTr11 的漏相连。

25 尽管图 1 所示的示例中一个单元晶体管 CTr11 只与一个选择晶体管 STr11 相连，但通常一个选择晶体管 STr11 同时与一组单元晶体管 CTr11 相连，由此使得选择线 SL 能够一次对一组单元晶体管 CTr11 进行读取及写入。因此，一条选择线 SL 及一组位线 BL 与一个单元阵列 CA 相连，而位线数为，例如，8 到 32 之间。

30



X 解码器 21 具有根据所加载的地址信号来选择字线 WL 的功能。来自列控制电路 22 的选择线 SL 是根据所加载的地址信号来进行选择的。来自列控制电路 22 的位线 BL 只在读取操作及写入操作时才输出信号，该信号的逻辑电平由写入值确定。在读取操作期间，一个读数电压 V_R (大约为 1V) 被加载到列控制电路 22 的位线 BL 的输出上，由一个读出放大器 SA 来判定该存储单元的输出所存储信息并将其向外输出。该读出放大器 SA 的输出另外还可以利用通过对地址信号解码所得的一个列选择信号来进行选择。

成压电路 25 具有一个负载电路 26。成压电路 25 检测由电荷泵 23 作为输出电压加载的编程(Program)电压 V_{ppH} (例如，大约 18V)，并在该电压升高到一个预定电压之上时停止电荷泵的操作并在该电压降低到该预定电压之下时重新启动电荷泵的操作。成压电路 25 还向 X 解码器 21 及列控制电路 22 提供该编程电压 V_{ppH} 。

图 2 所示为在各写入模式中加载到每个结点上的电压的状态表。接下来将参照图 2 对上述常规 EEPROM 的操作进行说明。

当“1”被写入到单元晶体管 CTr11 中时，所选中的存储单元的选择晶体管 STr11 和 STr12 在其栅分别通过字线 WL 被偏压为编程电压 V_{ppH} 之后被导通。由于列控制电路 22 通过选择线 SL 将选择晶体管 STr11 的漏偏压为 0V，所以单元晶体管 CTr11 的控制栅 CG 被偏压为 0V。由于列控制电路 22 通过位线 BL 同时将选择晶体管 STr12 的漏偏压为编程电压 V_{ppH} ，所以通过从加载到栅上的编程电压 V_{ppH} 中减去一个正向压降得到的 V_{ppL} (例如，大约 15V) 被加载到选择晶体管 STr12 的源上。单元晶体管 CTr11 的漏被偏压为编程电压 V_{ppL} ，而通过从浮置栅 FG 中提取出电荷来进行写入操作。由于当“0”被写入到该单元晶体管中时选择线 SL 和位线 BL 均被偏压为 0V，控制栅 CG 和单元晶体管 CTr11 的漏将变为 0V。因此，从浮置栅 FG 中提取不出来电荷从而将维持该擦除状态“0”。其同样适用于未选中的单元晶体管 CTr11。

当一组与一个选择晶体管 STr_{11} 相连的单元晶体管 CTr_{11} 被集体擦除时，通过字线 WL 将其每个栅偏压为编程电压而使所选中的存储单元中的选择晶体管 STr_{11} 和 STr_{12} 被导通。由于在此阶段中，列控制电路 22 通过选择线 SL 将选择晶体管 STr_{11} 的漏偏压为编程电压 V_{ppH} ，所以根据类似的原理编程电压 V_{ppL} 被加载到选择晶体管 STr_{11} 的源上。由此，单元晶体管 CTr_{11} 的控制栅被偏压为 V_{ppL} 。由于列控制电路 22 通过位线 BL 将选择晶体管 STr_{12} 的漏偏压为 $0V$ ，所以单元晶体管 CTr_{11} 的漏通过选择晶体管 STr_{12} 被偏压为 $0V$ 。由此，电荷被注入到单元晶体管 CTr_{11} 的浮置栅 FG 中以进行集体擦除。在未选中的单元阵列 CA 中，选择线 SL 和字线 WL 均为 $0V$ ，而位线 BL 也是 $0V$ ，所以将不会发生擦除操作。

图 3 所示为详细表示列控制电路 22 的方框图。列控制电路 22 由图 3 中的一组开关电路 221 到 223 及一个变压开关 224 构成。开关电路 221 到 223 的每一个均具有接线端 (a)，(b) 和 (c)。电源电压 V_R 或编程电压 V_{ppH} 被加载到各个接线端 (a) 上。各个 (b) 接线端则与选择线 SL ，或位线 BL_0, BL_n 相连。用于开关电路的键控信号 C_1 到 C_3 被输入到各个接线端 (c) 上。变压开关 224 将电源电压 V_R 改变为编程电压 V_{ppH} 或反向改变。

控制选择线 SL 的键控信号 C_1 是通过对由一个列控制电路（未示出）所提供的地址信号进行译码而得到的。对位线 BL_0 到 BL_n 进行控制的键控信号 C_2 和 C_3 则是一个用于表示写入操作/擦除操作的模式信号与一个写入值或擦除值的逻辑积信号。当键控信号 C_1 到 C_3 为“1”时，接线端 (b) 输出 V_{ppH}/V_R ，而当键控信号 C_1 到 C_3 为“0”时其输出 $0V$ 。一个列控制电路 22 中所容纳的开关电路 222, 223 的数目是由非易失性半导体存储器件的构造所决定的。例如，该数目为 8 到 22 之间，而在整个器件中总计有几百个。

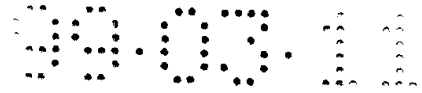
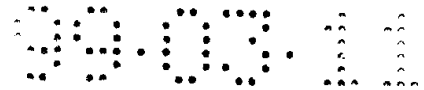


图 4 所示为开关电路 221 到 223 的详细电路图。开关电路 221 到 223 每一个（图 3）均是由 P 沟道 MOS 晶体管（以下简称为 PMOS 晶体管）Tr15 和 Tr16，M 沟道 MOS 晶体管（以下简称为 NMOS 晶体管）Tr17 和 Tr18 及一个具有一个反相器 11 的补充电路（触发电路）构成的，
5 并用作一个电平移动器。

晶体管 Tr15 的源（接线端（a））加载有电源电压 V_R 或编程电压 V_{ppH} ，其漏与晶体管 Tr17 的漏相连，其栅则与晶体管 Tr18 的漏相连。晶体管 Tr16 的源（接线端（a））加载有电源电压 V_R 或编程电压 V_{ppH} ，
10 其漏与晶体管 Tr18 的漏相连，其栅则与晶体管 Tr17 的漏相连。晶体管 Tr17 的源接地，而其栅与反相器 11 的一个输入相连。晶体管 Tr18 的源接地，其栅与反相器 11 的输出相连。从晶体管 Tr15 的漏，晶体管 Tr17 的漏和晶体管 Tr16 的栅中的一个公共连接点上引出一个输出 V_{01} ，如图从晶体管 Tr16 的漏，晶体管 Tr18 的漏和晶体管 Tr15 的栅中的一个公共连接点（接线端（b））上引出一个输出 V_{02} 。一个 5V 的高电平信号或一个 0V 的低电平信号被选择性地输入到反相器的输入 C_i （接线端（c））上。
15

具有上述结构的变压开关 221 到 223 以如下步骤操作。当一个高电平信号作为一个键控信号 C_i 被输入到反相器 11 的输入上时，则向晶体管 Tr17 的栅加载一个高电平信号以导通晶体管 Tr17 并使其漏为低电平（ V_{01} ）。一个低电平信号则被加载到晶体管 Tr18 的栅上以使晶体管 Tr18 截止。由此，一个低电平信号被加载到晶体管 Tr16 的栅上以导通晶体管 Tr16，从而使晶体管 Tr16 的漏为高电平（ V_{02} ）。同时，一个高电平信号被加载到晶体管 Tr15 的栅上以使晶体管 Tr15 截止。由此，编程电压 V_{ppH} 被提供给 V_{02} ，而此将编程电压 V_{ppH} 作为输出 V_{02} 引出。
20
25

而另一方面，当一个低电平信号作为一个键控信号 C_i 被输入到反相器 11 的输入上时，则向晶体管 Tr18 的栅加载一个高电平信号以导通晶体管 Tr18 并使 V_{02} 为低电平。一个低电平信号被加载到晶体管 Tr17
30



的栅上以使晶体管 Tr17 截止。由此，一个低电平信号被加载到晶体管 Tr15 的栅上以导通晶体管 Tr15 并使 V_{01} 为高电平。其结果是，一个高电平信号被加载到晶体管 Tr16 的栅上以使晶体管 Tr16 截止，并使 V_{02} 为低电平。以此方式， V_{02} 被选择性地提供给所选中的单元阵列 CA 的选择线 SL 或位线 BL。

5

如上所述，尽管在常规 EEPROM 中编程电压 V_{ppL} 对于甚至是提供给单元晶体管 CTr11 的更高电压已经足够用，还是要向选择晶体管 STr11 和 ST12 提供高于编程电压 V_{ppL} 的 V_{ppH} 。由于此原因，必须采用具有较高漏-源耐压的晶体管来作为选择晶体管 STr11 和 STr12。因此，漏-源距离将变大从而使选择晶体管 STr11 和 STr12 所占用的面积变大。由于列控制电路 22 向选择晶体管 STr11 和 STr12 的各个漏提供高于所需电压的编程电压 V_{ppH} ，必须采用具有较大占用面积的晶体管以提高耐压，于是必须使用大规模 EEPROM。

10

15

构成了开关电路 221 到 223 的 4 个晶体管 Tr15 到 Tr18 需要高于编程电压 V_{ppH} 的源-漏耐压。比如，由于晶体管 Tr15 和 Tr18 在键控信号 C_i 为“0”时导通，编程电压 V_{ppH} 被加载到晶体管 Tr16 和 Tr17 的源和漏之间的点上。反之亦然，当键控信号 C_i 为“1”时，编程电压 V_{ppH} 被加载到晶体管 Tr15 和 Tr18 之间的点上。因此，要求 4 个晶体管 Tr15 到 Tr18 上的各源-漏耐压均要高于编程电压 V_{ppH} 。

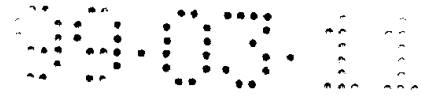
20

如上所述，在整个器件中存在有几百个开关电路 221 到 223，而由于晶体管 Tr15 到 Tr18 的数目为开关电路数目的 4 倍，其数目总计将有 1000 或更多。即使每一个所占用面积的增加量很轻微，整个器件中所产生的增加量也将会很大。因此如何减小大量晶体管所占用的面积是一个难题。

25

众所周知可以通过形成一个负电压电源来减小加载到列控制电路上的电压。然而在这种情况下，辅助电路的数目也将相应增加。比如，

30



除了一个用于产生正电荷的电荷泵之外还需要一个用于产生负电荷的电荷泵，或需要一种用于改变正电压和负电压的特殊电路。另外，由于在同一个晶体管中产生有正电压和负电压，用于制造晶体管的步骤的数目也将增加，而且在设计晶体管的同时还必须考虑到阱区中的电压控制。

因此本发明的一个目的是提供一种通过减小晶体管所占用的面积而能够提高集成度的非易失性半导体存储器件。

10 本发明提供了一种具有至少一组以矩阵形式排列的分别由位于一组字线和一组位线所形成的交点上含有一个浮置栅的晶体管构成的非易失性存储单元的非易失性半导体存储器件，其至少在写入模式中为所选中的存储单元以及在擦除模式中为所述存储单元进行操作，其包括：

15 一个加载有第一电压并将从所述第一电压中得到的一个选择信号加载到所述字线的地址选择电路上，

一个用于建立一个比所述第一电压低一个预定电压的第二电压的成压电路，

20 一个加载有所述第二电压并选择性地向所选中的位线提供从所述第二电压中得到的第一信号或从低于所述第二电压的第三电压中得到的第二信号的列控制电路。

25 由于在该非易失性半导体存储器件中，加载到列控制电路的电压被建立为低于常规的非易失性半导体存储器件中相应电压，因此，一个晶体管，比如列控制电路中所采用的一个 MOS 晶体管，可以具有较低的源-漏耐压及较短的沟道距离。由于加载到所选中的位线上的第一信号和第二信号均低于第二电压，因此，一个晶体管，例如这些信号所加载到其上的一个 MOS 晶体管可以具有较低的源-漏耐压及较短的沟道长度。由此，列控制电路及诸如此类所占用的面积可以被减小从而实现非易失性半导体存储器件的进一步集成。

30

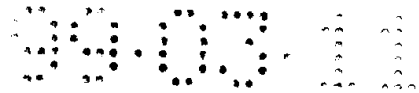


图 1 所示为常规 EEPROM 的主要部分的电路图。

图 2 所示为加载到每个节点上的电压的状态表。

图 3 所示为图 1 所示的列控制电路的电路图。

图 4 所示为图 3 所示的开关电路的详细电路图。

5 图 5 所示为根据本发明的 EEPROM 的主要部分的电路图。

图 6 所示为图 5 所示的成压电路之外的其它示例。

现在，将参照附图对本发明进行更具体地说明。

10 实施例 1

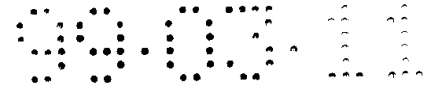
图 5 所示为根据本发明的 EEPROM 的主要部分的电路图。

此 EEPROM 具有由对应于一条选择线 SL 的一组字线 WL 和一组位线所形成的交点上以矩阵形式排列的一组非易失性存储单元。该 EEPROM 另外包括一个 X 解码器 11（地址选择电路），一个列控制电路 12，一个成压电路 15 及一个由于向该成压电路 15 提供所需电压的电荷泵 13。X 译码器 11 通过以行方向延伸的相应字线 WL 与存储单元相
15 连，而列控制电路 12 则通过垂直于字线 WL 的选择线 SL 及位线 BL 与存储单元相连。

20

在一个单元阵列 CA 中排列有选择晶体管 STr1 及 STr2 及一个具有一个浮置栅 FG 并构成了存储单元的单元晶体管 CTr1。字线 WL 与选择晶体管 STr1 和 STr2 的各个栅 G1，G2 相连。选择晶体管 STr1 由阈值电压彼此大致相等的多个 NMOS 晶体管构成。选择晶体管 STr1 的漏与选择线 SL 相连，而其源则与单元晶体管 CTr1 的控制栅 CG 相连。选择
25 晶体管 STr2 的漏与位线 BL 相连，而其源则与单元晶体管 CTr1 的漏相连。

尽管在本实施例中，一个单元晶体管 CTr1 只与一个选择晶体管 STr2 相连，但一个选择晶体管 STr1 相连可以同时与一组单元晶体管
30 STr2 相连，



CTr1 相连。因此，一条选择线 SL 及一组位线 BL 与一个列控制电路 12 相连。而一组列控制电路 12 以行方向排列。

5 成压电路 15 具有一个由彼此以级联形式连在一起的一个电压发生晶体管 DTr 及一个负载电路（恒流电路）16 组成的分压装置。当从电荷泵 13 提供了一个编程电压 V_{ppH} （例如，大约 8V）作为第一电压时，电压发生晶体管 DTr 产生一个比第一电压低一个预定电压量的编程电压 V_{ppL} 作为第二电压。

10 成压电路 15 利用负载电路 16 检测该编程电压 V_{ppH} 和 V_{ppL} 的输出，并在该输出电压超过一个预定电压时停止电荷泵的操作并在该输出电压降到该预定电压之下时重新启动电荷泵的操作。成压电路 15 还将编程电压 V_{ppH} 和 V_{ppL} 分别提供给 X 译码器 11 及列控制电路 12。电压发生晶体管 DTr 由一个其阈值电压与选择晶体管 STr1 和 STr2 的阈值电压类似的 NMOS 晶体管组成。

15

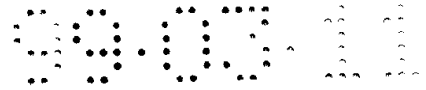
本实施例的电压发生晶体管 DTr 利用如下的基本原理：当编程电压 V_{ppH} 在一种其中电压发生晶体管 DTr 的栅 G3 和漏 D 彼此相连的所谓二极管连接状态中被加载到漏 D 上时，则将从其源输出编程电压 V_{ppL} 。此编程电压 V_{ppL} 是通过从编程电压 V_{ppH} 中减去一个正向压降而获得的。

20

在对单元晶体管 CTr1 进行写入或擦除操作时需要用到该编程电压 V_{ppL} ，其是通过综合考虑单元晶体管 CTr1 的物理特性及写入时间来确定的。加载编程电压 V_{ppH} 是为了导通选择晶体管 STr1 和 STr2。由于单元晶体管 CTr1 的漏上的电压，即选择晶体管 STr1 和 STr2 的源上的电压为编程电压 V_{ppL} ，所以在该栅上必须加载一个通过将选择晶体管 STr1 和 STr2 的阈值电压 V_{th} 加到编程电压 V_{ppL} 上所得的电压，否则选择晶体管 STr1 和 STr2 将不会被导通。换句话说，下面的不等式必须成立。

25

30



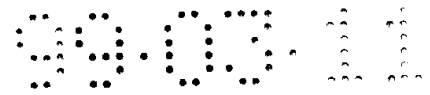
$$V_{ppH} \geq V_{ppL} + V_{th}$$

5 X 译码器 11 是一种用于根据地址信号来选择一条字线，并从由成
压电路 15 所提供的编程电压 V_{ppH} 中产生用于选择字线 WL 的选择信
号的电路。

10 在单元阵列 CA 的每一列中均有具有一个由一条选择线 SL 和一组
与该选择线 SL 相对应的位线 BL 所形成的单元的列控制电路 12，其用
于从由成压电路 15 所提供的编程电压 V_{ppL} 和 V_R 中产生被分别选择性
地加载到所选中的选择线 SL 和位线 BL 上的第一信号和第二信号。该
第一信号由身为第二电压的编程电压 V_{ppL} 构成，而第二信号则由身为
低于编程电压 V_{ppL} 的第三电压的 0 伏电压构成。

15 在本实施例的 EEPROM 中，所选中的存储单元中的选择晶体管
STr1 和 STr2 的各自栅 G1, G2 在写入模式中通过字线 WL 被偏压为编
程电压 V_{ppH} 。由于在此阶段，列控制电路 12 通过选择线 SL 将选择晶
体管 STr1 的漏偏压为 0V，所以单元晶体管 CTr1 的控制栅 CG 也被偏
压为 0V。同时，列控制电路 12 通过位线 BL 将选择晶体管 STr2 的漏偏
20 压为 V_{ppL} ，由于选择晶体管 STr2 的栅上加载有编程电压 V_{ppH} ，所以
其被完全地导通，而单元晶体管 CTr1 的漏则被偏压为编程电压 V_{ppL} 。
由此，在引出存储在浮置栅 FG 中的电荷之后，便完成了写入操作。当
“0”被写入到单元晶体管 CTr1 中时，因为选择线 SL 被偏压为 0V 而
位线 BL 也被偏压为 0V，所以单元晶体管 CTr1 的控制栅 CG 和漏的电
25 压将变为 0V。没有电荷被从浮置栅 FG 中引出，于是将保持一种擦除状
态“0”。

在擦除模式中，所选中的存储单元中所增加的选择晶体管 STr1 和
STr2 的各自栅 G1 和 G2 通过字线 WL 被偏压为编程电压 V_{ppH} 。由于
30 在此阶段中，列控制电路 12 通过选择线 SL 将选择晶体管 STr1 的漏偏



压为编程电压 V_{ppL} ，所以控制栅 CG 被偏压为编程电压 V_{ppL} 。同时，列控制电路 12 通过位线 WL 将选择晶体管 STr2 的漏偏压为 0V，从而使得单元晶体管 CTr1 的漏被偏压为 0V。由此，电荷被注入到浮置栅 FG 中以进行集体擦除。在未选中的单元阵列 CA 中，选择线 SL 或字线 WL 为 0V，而位线 BL 也为 0V，从而不会出现擦除操作。

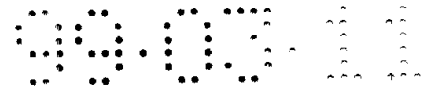
成压电路 15 并不仅局限于图 5 所示的电压发生晶体管 DTr 和负载电路 16 的结构形式，也可以采用图 6 所示的那些具有其它结构的成压电路。

图 6A 所示为用一个恒流源（恒流电路）I 代替图 5 所示的负载电阻 16 的一个示例。在此示例中，分压装置由其栅和漏彼此相连并与该恒流源 I 相连的 NMOS 晶体管构成。图 6B 所示为另一个示例，其中图 5 中的电压发生晶体管 DTr 被一组二极管所代替。在此示例中，分压装置由二极管 D 和负载电阻 16 构成。

图 6C 所示为其中用一个负载 R1 来代替电压发生晶体管 DTr 而输出电压由负载电阻 R2 和电阻 R1 之间的比值来决定的另一个示例。在此示例中，分压装置由具有一组串联电阻 R1，R2 的电路构成。

图 6D 所示为其中由一个晶体管 T，一个电阻 R 及一个标准电压源 E 来构成的成压电路的再一个示例。在此示例中，在晶体管 T 的源上获得了一个比标准电压源 E 低了晶体管 T 的阈值电压 V_{th} 的电压。图 6E 所示为成压电路的又一个实施例，其中编程电压 V_{ppL} 由另一个电荷泵 132 来提供。

在本实施例的 EEPROM 中，列控制电路 12 中的晶体管和单元阵列 CA 中的选择晶体管 STr1 和 STr2 在低于常规 EEPROM 的电压的编程电压 V_{ppL} 下进行操作。因此，列控制电路 12 和晶体管 STr1 和 STr2 的源-漏耐压将可以低于常规 EEPROM 的源-漏耐压，因此如果操作电流不变



将能够通过降低电压来减小耗电量。因此，将获得电池具有更长寿命的优点。由于所示晶体管的沟道长度能够被减小从而减小所占用的面积和晶体管的尺寸，将能够实现进一步的集成。在漏电压等于编程电压 V_{ppH} 的情况下，列控制电路 12 中的晶体管和单元阵列 CA 中的晶体管 STr1 和 STr2 的沟道长度大约为 7 微米，而在漏电压等于编程电压 V_{ppL} 的情况下其沟道长度则大约为 5 微米。即使一个晶体管的占用面积减小得很少，但在包含一组列控制电路的整个器件中所有晶体管所占用的面积将被大大地减小。

5

10

如上所述，由于加载到存储单元上的电压与常规所采用的电压类似，所以可以在不作修改的情况下直接使用常规的存储单元。

由于上述所说明的实施例仅仅是为了举例，所以本发明并不局限于上述示例，那些技术熟练者在不背离本发明的精神的条件下可以很容易地从中得出各种修正型及另选型。

15

说明书附图

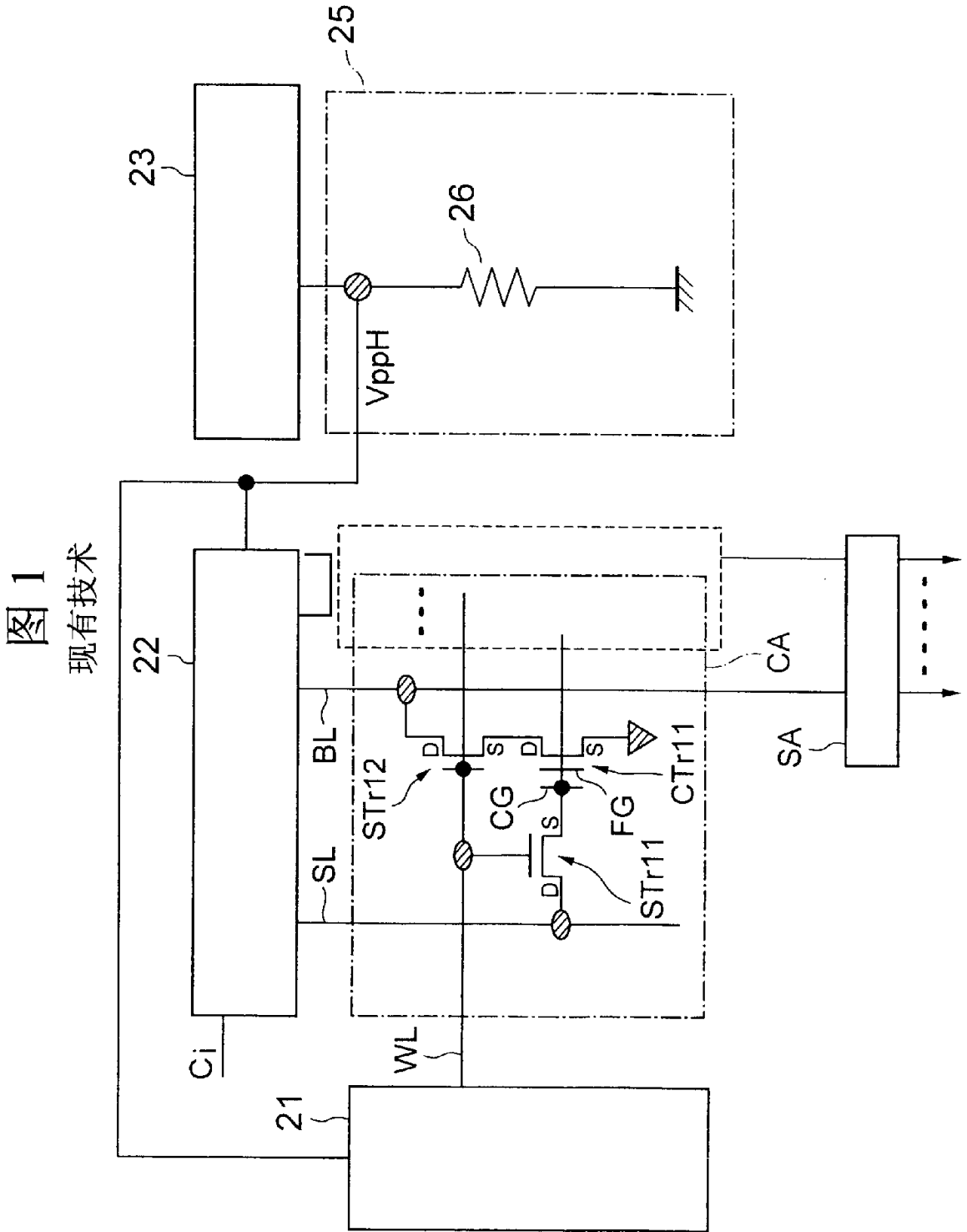


图 2
现有技术

结点	写	集中擦除	读
S L	0 V	VppL	0 V
B L	“0” 读为 0 V “1” 读为 VppL	0 V	1 V (VR)
W L	选中 VppH 未选中 0 V	VppH	选中 VR 未选中 0 V



图3
现有技术

22

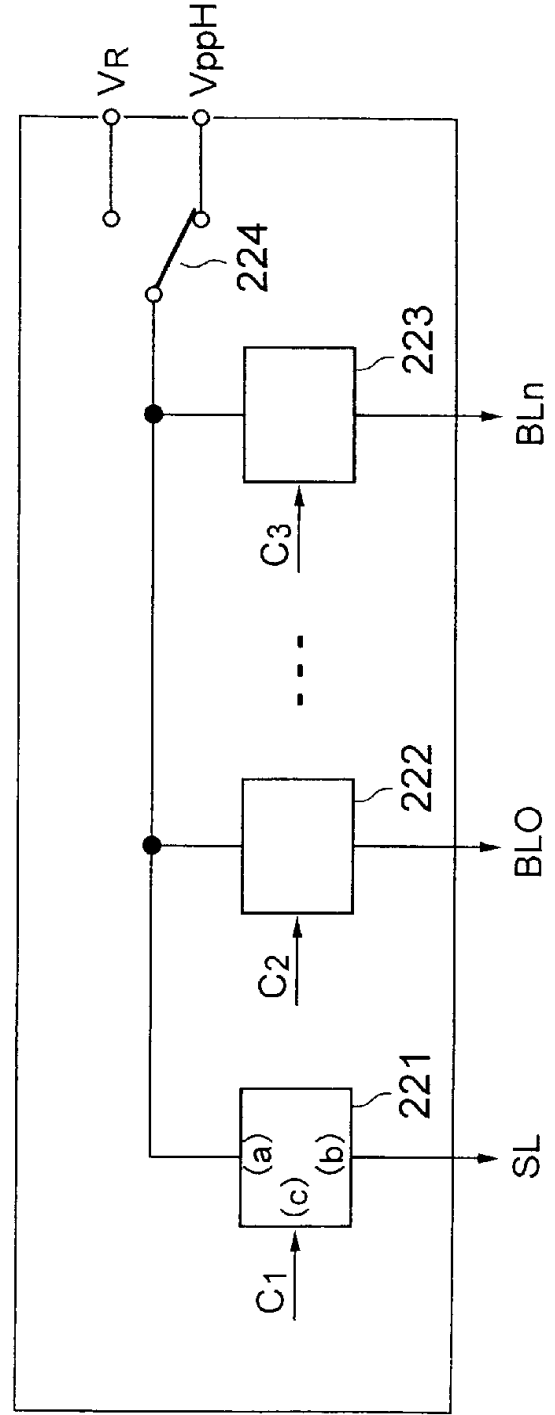


图 4
现有技术

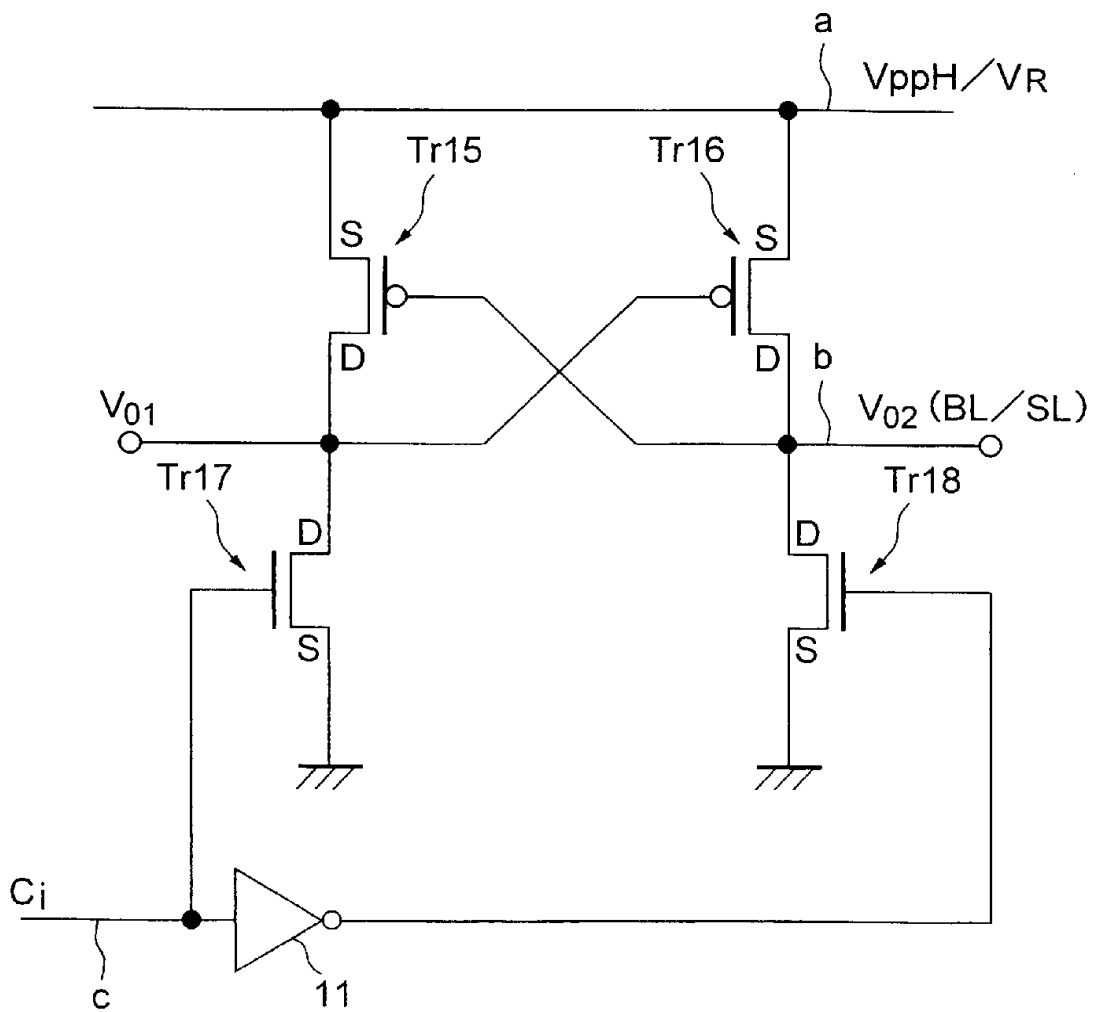


图 5

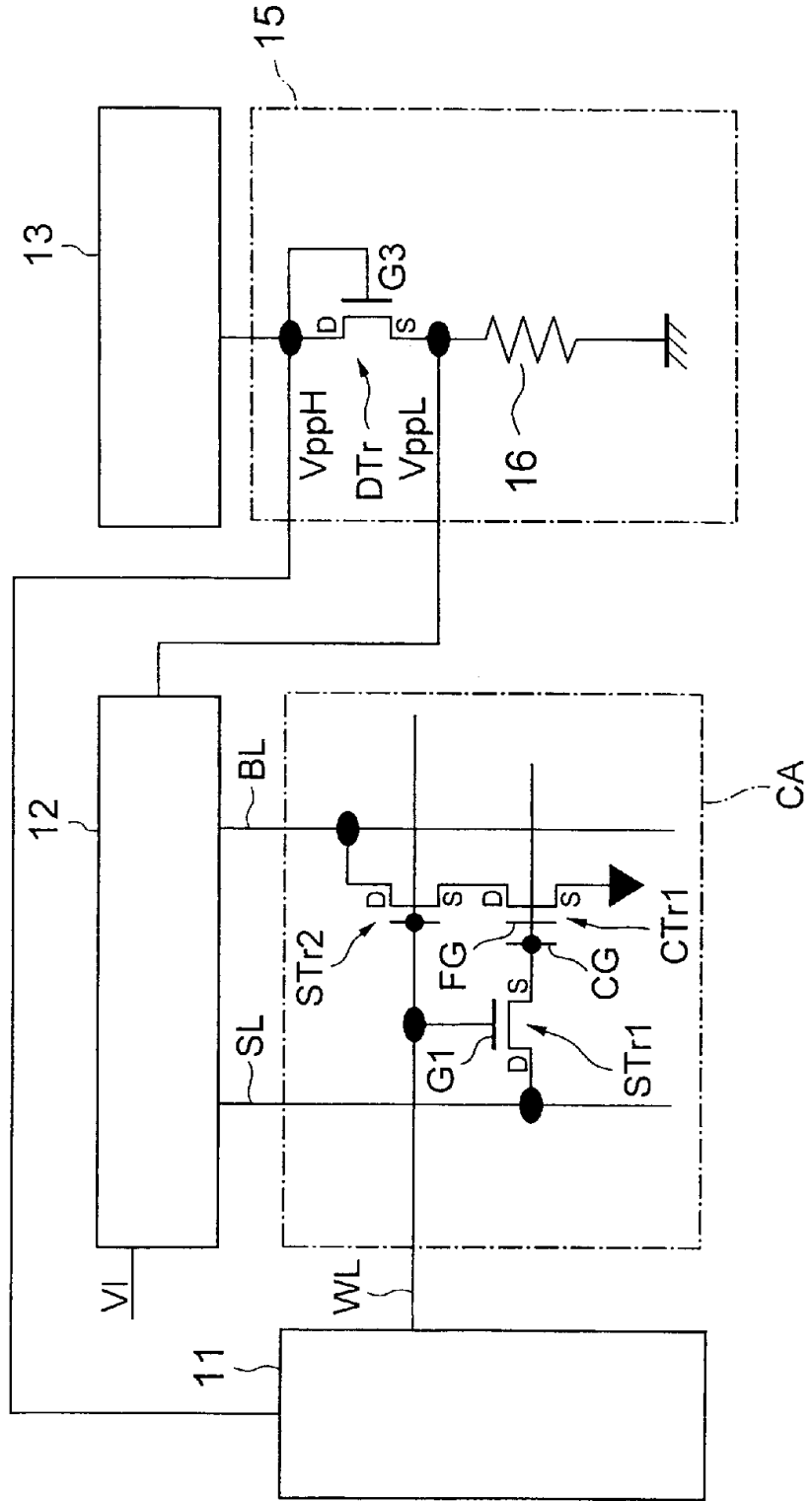


图 6A

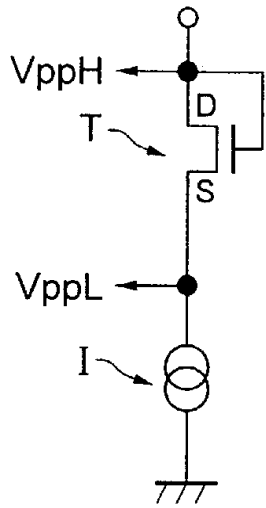


图 6B

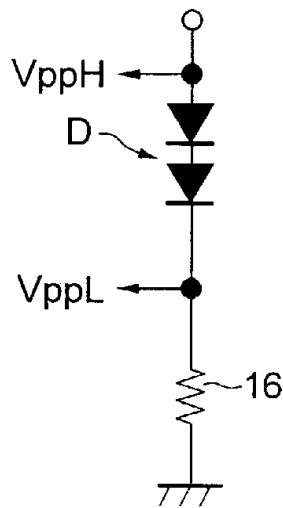


图 6C

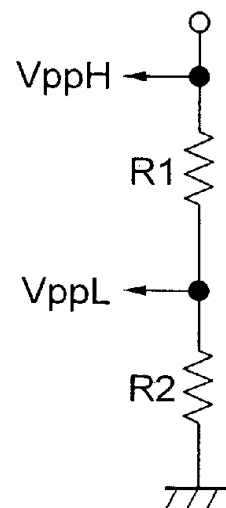


图 6D

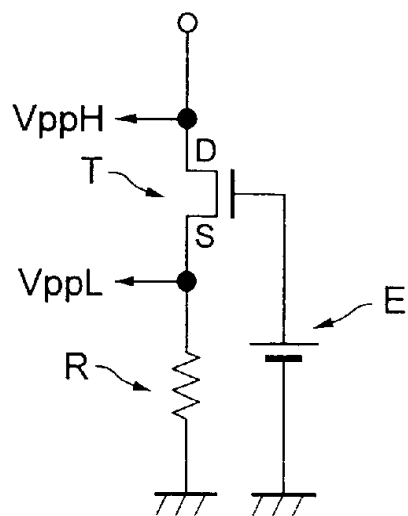


图 6E

