



(12) 发明专利

(10) 授权公告号 CN 109037205 B

(45) 授权公告日 2020.12.22

(21) 申请号 201810799198.2

(22) 申请日 2018.07.19

(65) 同一申请的已公布的文献号
申请公布号 CN 109037205 A

(43) 申请公布日 2018.12.18

(73) 专利权人 车智路数据管理有限公司
地址 314000 浙江省嘉兴市南湖区新丰镇
永丰村同义路北侧(嘉兴市申花车业
有限公司内第二间)

(72) 发明人 不公告发明人

(74) 专利代理机构 深圳峰诚志合知识产权代理
有限公司 44525
代理人 李明香

(51) Int. Cl.
H01L 27/02 (2006.01)

(56) 对比文件

- CN 205680681 U, 2016.11.09
- CN 104733544 A, 2015.06.24
- CN 106129058 A, 2016.11.16
- CN 104733544 A, 2015.06.24
- CN 105702677 A, 2016.06.22
- CN 106158851 A, 2016.11.23
- CN 107017247 A, 2017.08.04
- US 8981425 B2, 2015.03.17
- US 2017213815 A1, 2017.07.27

审查员 刘雪莲

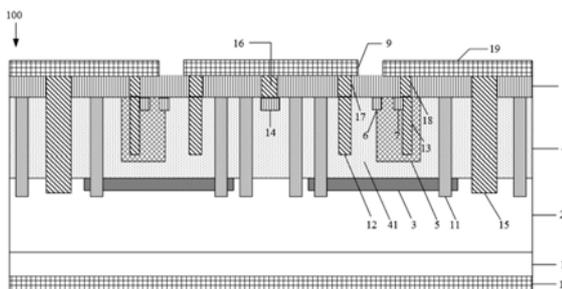
权利要求书2页 说明书9页 附图6页

(54) 发明名称

瞬态电压抑制器及其制造方法

(57) 摘要

本发明提供一种瞬态电压抑制器及其制造方法,包括:第一导电类型的衬底;生长于所述衬底上表面的第一导电类型的第一外延层;自所述第一外延层的上表面向下延伸至所述第一外延层内的第二导电类型的埋层;生长于所述第一外延层及所述埋层的上表面的第二导电类型的第二外延层;自所述第二外延层的上表面向下延伸至所述第二外延层内的第一导电类型的第一掺杂区;第二导电类型的第二掺杂区和第二导电类型的第三掺杂区;位于所述第二外延层的上表面的介质层;与所述第二外延层电连接的第一电极;以及与所述衬底下表面电连接的第二电极。所述瞬态电压抑制器具有低电容、集成度高、制造工艺简单的特点。



1. 一种瞬态电压抑制器,其特征在于,其包括:

第一导电类型的衬底;

第一导电类型的第一外延层,生长于所述衬底的上表面;

第二导电类型的埋层,自所述第一外延层的上表面向下延伸至所述第一外延层内;

第二导电类型的第二外延层,生长于所述第一外延层及所述埋层的上表面;

第一导电类型的第一掺杂区,自所述第二外延层的上表面向下延伸至所述第二外延层内;第二导电类型的第二掺杂区和第二导电类型的第三掺杂区,所述第二掺杂区自所述第二外延层和所述第一掺杂区的上表面向下延伸,所述第二掺杂区的一部分位于所述第二外延层内,所述第二掺杂区的另一部分位于所述第一掺杂区内,所述第三掺杂区自所述第一掺杂区的上表面向下延伸至所述第一掺杂区内,所述第二掺杂区和所述第三掺杂区的掺杂浓度大于所述第二外延层的掺杂浓度;

自所述第二外延层的上表面向下延伸至所述第一外延层内的多个第一沟槽,所述第一沟槽内填充有氧化硅,相邻的两个所述第一沟槽、所述埋层和所述第二外延层的一部分共同形成阱区,所述第一掺杂区、所述第二掺杂区和所述第三掺杂区均位于所述阱区内,所述第一沟槽的槽底位于所述埋层内或穿过所述埋层延伸至所述第一外延层内;

介质层,形成于所述第二外延层的上表面;第一电极,形成于所述介质层的上表面并与所述第二外延层电连接;

金属层,形成于所述介质层的上表面,所述金属层与所述第三掺杂区电连接;

第二电极,与所述衬底的下表面电连接。

2. 根据权利要求1所述的一种瞬态电压抑制器,其特征在于,还包括:

自所述阱区的上表面向下延伸的第二沟槽及自所述第一掺杂区的上表面向下延伸且与所述第三掺杂区邻接的第三沟槽,所述第二沟槽位于所述第一沟槽和所述第一掺杂区之间,所述第二沟槽与所述第三沟槽内均填充有重掺杂多晶硅,所述重掺杂多晶硅的掺杂浓度大于所述第二外延层的掺杂浓度。

3. 根据权利要求2所述的一种瞬态电压抑制器,其特征在于,还包括:

自所述第二外延层的上表面向下延伸的第二导电类型的第四掺杂区,所述第四掺杂区位于所述阱区外靠近所述第二沟槽的一侧,所述第四掺杂区的掺杂浓度大于所述第二外延层的掺杂浓度。

4. 根据权利要求3所述的一种瞬态电压抑制器,其特征在于,还包括:

自所述介质层的上表面向下延伸至所述第一外延层内的第四沟槽,所述第四沟槽位于所述阱区外靠近第三沟槽的一侧,所述第四沟槽填充有重掺杂多晶硅,所述重掺杂多晶硅的掺杂浓度大于所述第二外延层的掺杂浓度。

5. 根据权利要求4所述的一种瞬态电压抑制器,其特征在于,还包括:

与所述第四掺杂区对应设置于所述介质层中的第一接触孔、与所述第二沟槽对应设置于所述介质层中的第二接触孔和与所述第三沟槽对应设置于所述介质层中的第三接触孔,所述第一接触孔和所述第二接触孔填充有重掺杂多晶硅,用于连通所述第一电极和所述第二外延层,所述第三接触孔填充有重掺杂多晶硅,所述重掺杂多晶硅的掺杂浓度大于所述第二外延层的掺杂浓度。

6. 根据权利要求5所述的一种瞬态电压抑制器,其特征在于,还包括:

所述金属层、填充于所述第三接触孔的多晶硅和填充于所述第四沟槽内的多晶硅共同形成导电通路。

7. 一种瞬态电压抑制器的制造方法,其特征在于,包括以下步骤:

提供第一导电类型的衬底;

在所述衬底的上表面生长第一导电类型的第一外延层;

自所述第一外延层的上表面向下延伸至所述第一外延层内形成第二导电类型的埋层;

在所述第一外延层及所述埋层的上表面生长第二导电类型的第二外延层;

自所述第二外延层的上表面向下延伸至所述第二外延层内形成第一导电类型的第一掺杂区;

形成第二导电类型的第二掺杂区和第二导电类型的第三掺杂区,所述第二掺杂区自所述第二外延层和所述第一掺杂区的上表面向下延伸,使所述第二掺杂区的一部分位于所述第二外延层内,所述第二掺杂区的另一部分位于所述第一掺杂区内,所述第三掺杂区自所述第一掺杂区的上表面向下延伸至所述第一掺杂区内,所述第二掺杂区和所述第三掺杂区的掺杂浓度大于所述第二外延层的掺杂浓度;

自所述第二外延层的上表面向下延伸至所述第一外延层内形成多个第一沟槽,所述第一沟槽内填充有氧化硅,相邻的两个所述第一沟槽、所述埋层和所述第二外延层的一部分共同形成阱区,所述第一掺杂区、所述第二掺杂区和所述第三掺杂区均位于所述阱区内,所述第一沟槽的槽底位于所述埋层内或穿过所述埋层延伸至所述第一外延层内;

在所述第二外延层的上表面形成介质层;

在所述介质层的上表面形成与所述第二外延层电连接第一电极;

在所述介质层的上表面形成金属层,所述金属层与所述第三掺杂区电连接;

在所述衬底的下表面形成第二电极。

8. 根据权利要求7所述的一种瞬态电压抑制器的制造方法,其特征在于,在形成所述第一掺杂区采用离子注入法,并进行热退火处理,且离子注入能量 $>160\text{KeV}$ 。

瞬态电压抑制器及其制造方法

技术领域

[0001] 本发明涉及一种瞬态电压抑制器及其制造方法,属于半导体器件领域。

背景技术

[0002] 瞬态电压抑制器 (TVS) 是一种基于二极管形式的高效保护器件,用来保护电路中的其它器件,使其免遭各种形式的瞬态高压的冲击,它具有箝位系数小、体积小、响应快、漏电流小和可靠性高等优点,广泛应用于通讯系统、计算机、便携式设备及控制系统中电子器件的保护。传统的TVS产品电容通常在几十、甚至上百pF,对高频信号的衰减作用很大,不能满足当今的信息传输需求,而低电容TVS可以减少寄生电容对电路的干扰,降低高频电路信号的衰减,更加满足市场需求。

[0003] 另一方面,近来便携式电子产品逐渐趋向轻薄化发展,对半导体器件的外形尺寸要求越来越高,驱动TVS产品日益趋向更小封装、更高集成度发展。为了减小尺寸,并且获得更高的抵抗瞬间电压的能力,沟槽TVS的概念已经被提出和研究。沟槽TVS的结面形成于纵向的沟槽的侧壁,在相同的芯片尺寸下,它拥有更多的有效结面积,即更强的保护能力。目前常用的沟槽TVS只能实现单向保护,如果需要进行双向保护需要将多个TVS串联或并联在一起,制造成本较高。

发明内容

[0004] 本发明所要解决的技术问题是如何提供一种低电容、集成度高且能够实现双向保护的瞬态电压抑制器。

[0005] 为了解决上述问题,本发明提供了一种瞬态电压抑制器,其包括:

[0006] 第一导电类型的衬底;

[0007] 第一导电类型的第一外延层,生长于所述衬底的上表面;

[0008] 第二导电类型的埋层,自所述第一外延层的上表面向下延伸至所述第一外延层内;

[0009] 第二导电类型的第二外延层,生长于所述第一外延层及所述埋层的上表面;

[0010] 第一导电类型的第一掺杂区,自所述第二外延层的上表面向下延伸至所述第二外延层内;

[0011] 第二导电类型的第二掺杂区和第二导电类型的第三掺杂区,所述第二掺杂区自所述第二外延层和所述第一掺杂区的上表面向下延伸,所述第二掺杂区的一部分位于所述第二外延层内,所述第二掺杂区的另一部分位于所述第一掺杂区内,所述第三掺杂区自所述第一掺杂区的上表面向下延伸至所述第一掺杂区内,所述第二掺杂区和所述第三掺杂区的掺杂浓度大于所述第二外延层的掺杂浓度;

[0012] 介质层,形成于所述第二外延层的上表面;

[0013] 第一电极,与所述第二外延层电连接;

[0014] 第二电极,与所述衬底的下表面电连接。

[0015] 所述瞬态电压抑制器通过多组二极管串并联实现了多路双向的保护功能,降低了其自身在高频电路中的寄生电容;通过在深度方向上设计所述第一掺杂区、所述第二掺杂区及所述第三掺杂区提高了集成度。从而,所述瞬态电压抑制器的保护特性得到了提升。

[0016] 进一步的,所述瞬态电压抑制器还包括:

[0017] 自所述第二外延层的上表面向下延伸至所述第一外延层内的多个第一沟槽,所述第一沟槽内填充有氧化硅,相邻的两个所述第一沟槽、所述埋层和所述第二外延层的一部分共同形成阱区,所述第一掺杂区、所述第二掺杂区和所述第三掺杂区均位于所述阱区内,从而提高了所述瞬态电压抑制器的可靠性。

[0018] 进一步的,所述瞬态电压抑制器还包括:

[0019] 自所述阱区的上表面向下延伸的第二沟槽及自所述第一掺杂区的上表面向下延伸且与所述第三掺杂区邻接的第三沟槽,所述第二沟槽位于所述第一沟槽和所述第一掺杂区之间,所述第二沟槽与所述第三沟槽内均填充有重掺杂多晶硅,所述重掺杂多晶硅的掺杂浓度大于所述第二外延层的掺杂浓度,进而所述重掺杂多晶硅的电阻率小于所述第二外延层的电阻率,使得所述重掺杂多晶硅的导电性优于所述第二外延层的导电性。

[0020] 进一步的,所述瞬态电压抑制器还包括:

[0021] 自所述第二外延层的上表面向下延伸的第二导电类型的第四掺杂区,所述第四掺杂区位于所述阱区外靠近所述第二沟槽的一侧,所述第四掺杂区的掺杂浓度大于所述第二外延层的掺杂浓度,进而所述第四掺杂区的电阻率小于所述第二外延层的电阻率,使得所述第四掺杂区的导电性优于所述第二外延层的导电性。

[0022] 进一步的,所述瞬态电压抑制器还包括:

[0023] 自所述介质层的上表面向下延伸至所述第一外延层内的第四沟槽,所述第四沟槽位于所述阱区外靠近第三沟槽的一侧,所述第四沟槽填充有重掺杂多晶硅,所述重掺杂多晶硅的掺杂浓度大于所述第二外延层的掺杂浓度,进而所述重掺杂多晶硅的电阻率小于所述第二外延层的电阻率,使得所述重掺杂多晶硅的导电性优于所述第二外延层的导电性。

[0024] 进一步的,所述瞬态电压抑制器还包括:

[0025] 与所述第四掺杂区对应设置于所述介质层中的第一接触孔、与所述第二沟槽对应设置于所述介质层中的第二接触孔和与所述第三沟槽对应设置于所述介质层中的第三接触孔,所述第一接触孔和所述第二接触孔填充有重掺杂多晶硅,用于连通所述第一电极和所述第二外延层,所述第三接触孔填充有重掺杂多晶硅,所述重掺杂多晶硅的掺杂浓度大于所述第二外延层的掺杂浓度,进而所述重掺杂多晶硅的电阻率小于所述第二外延层的电阻率,使得所述重掺杂多晶硅的导电性优于所述第二外延层的导电性。

[0026] 进一步的,所述瞬态电压抑制器还包括:

[0027] 金属层,形成于所述介质层的上表面,所述金属层、填充于所述第三接触孔的多晶硅和填充于所述第四沟槽内的多晶硅共同形成导电通路。

[0028] 进一步的,所述第一沟槽的槽底位于所述埋层内或穿过所述埋层延伸至所述第一外延层内,以提高所述瞬态电压抑制器的可靠性。

[0029] 本发明还提供了一种瞬态电压抑制器的制造方法,其包括以下步骤:

[0030] 提供第一导电类型的衬底;

[0031] 在所述衬底的上表面生长第一导电类型的第一外延层;

- [0032] 自所述第一外延层的上表面向下延伸至所述第一外延层内形成第二导电类型的埋层；
- [0033] 在所述第一外延层及所述埋层的上表面生长第二导电类型的第二外延层；
- [0034] 自所述第二外延层的上表面向下延伸至所述第二外延层内形成第一导电类型的第一掺杂区；
- [0035] 形成第二导电类型的第二掺杂区和第二导电类型的第三掺杂区，所述第二掺杂区自所述第二外延层和所述第一掺杂区的上表面向下延伸，使所述第二掺杂区的一部分位于所述第二外延层内，所述第二掺杂区的另一部分位于所述第一掺杂区内，所述第三掺杂区自所述第一掺杂区的上表面向下延伸至所述第一掺杂区内，所述第二掺杂区和所述第三掺杂区的掺杂浓度大于所述第二外延层的掺杂浓度；
- [0036] 在所述第二外延层的上表面形成介质层；
- [0037] 在所述介质层的上表面形成与所述第二外延层电连接第一电极；
- [0038] 在所述衬底的下表面形成第二电极。
- [0039] 所述瞬态电压抑制器通过多组二极管串并联实现了多路双向的保护功能，降低了其自身在高频电路中的寄生电容；通过在深度方向上设计所述第一掺杂区、所述第二掺杂区及所述第三掺杂区提高了集成度。从而，所述瞬态电压抑制器的保护特性得到了提升。
- [0040] 进一步的，采用离子注入法形成所述第一掺杂区，并进行热退火处理，且离子注入能量>160KeV，以增加所述第一掺杂区的结深。

附图说明

- [0041] 下面结合附图和实施例对本发明进一步说明。
- [0042] 图1为本发明实施方式提供的瞬态电压抑制器的剖面结构示意图；
- [0043] 图2为图1的瞬态电压抑制器的等效电路图；
- [0044] 图3为图1的瞬态电压抑制器的一种制造方法的流程示意图；
- [0045] 图4为图1的瞬态电压抑制器的另一种制造方法的流程示意图；
- [0046] 图5至图16为图1的瞬态电压抑制器的另一种制造方法的详细过程示意图。
- [0047] 图中：1、衬底；2、第一外延层；3、埋层；4、第二外延层；41、阱区；5、第一掺杂区；6、第二掺杂区；7、第三掺杂区；8、介质层；9、第一电极；10、第二电极；11、第一沟槽；12、第二沟槽；13、第三沟槽；14、第四掺杂区；15、第四沟槽；16、第一接触孔；17、第二接触孔；18、第三接触孔；19、金属层；A、第一支路；B、第六支路；B1、第二支路；B2、第五支路；B21、第三支路；B22、第四支路；a、第一二极管；b、第五二极管；b1、第二二极管；b22、第三二极管；b21、第四二极管。

具体实施方式

- [0048] 为了使本发明的目的、技术方案和有益效果更加清晰明白，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范

[0049] 在本发明的描述中,需要说明的是,术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”、“第三”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0050] 下面结合附图和实施例进一步具体说明本发明的技术方案。

[0051] 请参阅图1,一种瞬态电压抑制器100包括:

[0052] 第一导电类型的衬底1;

[0053] 第一导电类型的第一外延层2,生长于所述衬底1的上表面;

[0054] 第二导电类型的埋层3,自所述第一外延层2的上表面向下延伸至所述第一外延层2内;

[0055] 第二导电类型的第二外延层4,生长于所述第一外延层2及所述埋层3的上表面;

[0056] 第一导电类型的第一掺杂区5,自所述第二外延层4的上表面向下延伸至所述第二外延层4内;

[0057] 第二导电类型的第二掺杂区6和第二导电类型的第三掺杂区7,所述第二掺杂区6自所述第二外延层4和所述第一掺杂区5的上表面向下延伸,所述第二掺杂区6的一部分位于所述第二外延层4内,所述第二掺杂区6的另一部分位于所述第一掺杂区5内,所述第三掺杂区7自所述第一掺杂区5的上表面向下延伸至所述第一掺杂区5内,所述第二掺杂区6和所述第三掺杂区7的掺杂浓度大于所述第二外延层4的掺杂浓度;从而使所述第二掺杂区6和所述第三掺杂区7的电阻率小于所述第二外延层4的电阻率,使得所述第二掺杂区6和所述第三掺杂区7的导电性优于所述第二外延层4的导电性。

[0058] 介质层8,形成于所述第二外延层4的上表面;

[0059] 第一电极9,与所述第二外延层4电连接;

[0060] 第二电极10,与所述衬底1的下表面电连接。

[0061] 所述瞬态电压抑制器100通过多组二极管串并联实现了多路双向的保护功能,降低了其自身在高频电路中的寄生电容;通过在深度方向上设计所述第一掺杂区5、所述第二掺杂区6及所述第三掺杂区7提高了集成度。从而,所述瞬态电压抑制器100的保护特性得到了提升。

[0062] 具体的,所述衬底1为集成电路中的载体,所述衬底1起到支撑的作用,所述衬底1也参与所述集成电路的工作。所述衬底1可以为硅衬底,也可以为蓝宝石衬底、碳化硅衬底或硅锗衬底等。在本实施方式中,所述衬底1为硅衬底,可以降低成本、保证大尺寸、且具有导电的特点,能够避免边缘效应,大幅度提高良率。

[0063] 所述第一外延层2的掺杂浓度与所述衬底1的掺杂浓度不同,即所述第一外延层2的掺杂浓度可以大于或者小于所述衬底1的掺杂浓度。在本实施方式中,所述第一外延层2的掺杂浓度小于所述衬底1的掺杂浓度,从而使所述衬底1的电阻率小于所述第一外延层2的电阻率,使得所述衬底1的导电性优于所述第一外延层2的导电性。

[0064] 所述埋层3的掺杂浓度与所述第二外延层4的掺杂浓度不同,所述埋层3的掺杂浓度可以大于或小于所述第二外延层4的掺杂浓度。在本实施方式中,所述埋层3的掺杂浓度

大于所述第二外延层4的掺杂浓度,从而所述埋层3的电阻小于所述第二外延层4的电阻,使得所述埋层3的导电性优于所述第二外延层4的导电性。

[0065] 所述瞬态电压抑制器100还包括多个第一沟槽11、第二沟槽12、第三沟槽13、第四掺杂区14、第四沟槽15、第一接触孔16、第二接触孔17、第三接触孔18及金属层19。

[0066] 所述多个第一沟槽11自所述第二外延层4的上表面向下延伸至所述第一外延层2内。所述第一沟槽11内填充有氧化硅,相邻的两个所述第一沟槽11、所述埋层3和所述第二外延层4的一部分共同形成阱区41。所述第一掺杂区5、所述第二掺杂区6和所述第三掺杂区7均位于所述阱区41内,从而提高了所述瞬态电压抑制器100的可靠性。具体的,所述第一沟槽11可以不经所述埋层3,也可以经过所述埋层3。优选的,所述第一沟槽11的槽底位于所述埋层3内或穿过所述埋层3延伸至所述第一外延层2内,以提高所述瞬态电压抑制器100的可靠性。

[0067] 所述第二沟槽12自所述阱区41的上表面向下延伸的且位于所述第一沟槽11和所述第一掺杂区5之间。所述第三沟槽13自所述第一掺杂区5的上表面向下延伸且与所述第三掺杂区7邻接。所述第二沟槽12与所述第三沟槽13内均填充有重掺杂多晶硅。所述重掺杂多晶硅的掺杂浓度大于所述第二外延层4的掺杂浓度,进而所述重掺杂多晶硅的电阻率小于所述第二外延层4的电阻率,使得所述重掺杂多晶硅的导电性优于所述第二外延层4的导电性。具体的,所述重掺杂多晶硅,可以为P型多晶硅,也可以为N型多晶硅。在本实施方式中,采用P型多晶硅进行填充,如此,可以降低制作成本。

[0068] 所述第四掺杂区14具有第二导电类型且自所述第二外延层4的上表面向下延伸的。所述第四掺杂区14位于所述阱区41外靠近所述第二沟槽12的一侧。所述第四掺杂区14的掺杂浓度大于所述第二外延层4的掺杂浓度,进而所述第四掺杂区14的电阻率小于所述第二外延层4的电阻率,使得所述第四掺杂区14的导电性优于所述第二外延层4的导电性。

[0069] 所述第四沟槽15自所述介质层8的上表面向下延伸至所述第一外延层2内且位于所述阱区41外靠近第三沟槽13的一侧。所述第四沟槽15填充有重掺杂多晶硅。所述重掺杂多晶硅的掺杂浓度大于所述第二外延层4的掺杂浓度,进而所述重掺杂多晶硅的电阻率小于所述第二外延层4的电阻率,使得所述重掺杂多晶硅的导电性优于所述第二外延层4的导电性。具体的,所述重掺杂多晶硅,可以为P型多晶硅,也可以为N型多晶硅。在本实施方式中,采用P型多晶硅进行填充,如此,可以降低制作成本较低。

[0070] 所述第一接触孔16与所述第四掺杂区14对应设置于所述介质层8中。所述第二接触孔17与所述第二沟槽12对应设置于所述介质层8中。所述第三接触孔18与所述第三沟槽13对应设置于所述介质层8中。所述第一接触孔16和所述第二接触孔17填充有重掺杂多晶硅,用于连通所述第一电极9和所述第二外延层4。所述第三接触孔18填充有重掺杂多晶硅。所述重掺杂多晶硅的掺杂浓度大于所述第二外延层4的掺杂浓度,进而所述重掺杂多晶硅的电阻率小于所述第二外延层4的电阻率,使得所述重掺杂多晶硅的导电性优于所述第二外延层4的导电性。具体的,所述重掺杂多晶硅,可以为P型多晶硅,也可以为N型多晶硅。在本实施方式中,采用P型多晶硅进行填充,如此,可以降低制作成本较低。

[0071] 所述金属层19形成于所述介质层8的上表面,所述金属层19、填充于所述第三接触孔18的多晶硅和填充于所述第四沟槽15内的多晶硅共同形成导电通路。

[0072] 所述第一导电类型可以为N型掺杂,对应地,所述第二导电类型为P型掺杂;相反

地,所述第一导电类型还可以为P型掺杂,对应地,所述第二导电类型为N型掺杂。在本实施方式中,所述第一导电类型为P型掺杂,所述第二导电类型为N型掺杂,所述第一导电类型的衬底1为P型衬底1,生长于所述第一导电类型的衬底1上表面的所述第一导电类型的第一外延层2为P型第一外延层2,所述第二导电类型的第二外延层4为N型第二外延层4,以此类推。由于理论上,无论是P型衬底还是N型衬底都是可行的,但是在生产上,在P型衬底做N型扩散比在N型衬底上做P型扩散的成本更低,生产的速度也更快,并且P型衬底可以起到保护作用,有较大的内阻,能防止PN结导通,可以用正电压开启,在使用上比较方便。所述P型第一外延层2和所述N型第二外延层4用于形成PN结。因此,在接下来的实施方式中,均以所述第一导电类型为P型掺杂,所述第二导电类型为N型掺杂为例进行描述,但并不对此进行限定。

[0073] 请参阅图2所示的该瞬态电压抑制器100的等效电路图:当向所述第一电极9和所述第二电极10通电时,所述电流从所述第一电极9流向所述第二电极10。需要说明的是,以下形成的PN结的正向和反向均以第一导电类型设为P型,所述第二导电类型设为N型为本发明的一个实施例来进行判断,但并不对此限定。电流依次通过所述第一电极9、所述第四掺杂区14、所述第二外延层4、所述第一外延层2、所述衬底1以及所述第二电极10形成第一支路A。在所述第一支路A中,所述第二外延层4与所述第一外延层2形成反向的PN结,因此形成反向的第一二极管a。电流依次通过所述第一掺杂区5、所述阱区41、所述埋层3、所述第一外延层2、所述衬底1以及所述第二电极10形成第二支路B1。在所述第二支路B1中,所述埋层3与所述第一外延层2形成反向的PN结,因此形成反向的第二二极管b1。电流依次通过所述第一掺杂区5、所述阱区41、所述埋层3、所述第一外延层2、所述衬底1以及所述第二电极10形成第三支路B21。在所述第三支路B21中,所述第一掺杂区5与所述阱区41形成正向的PN结,因此形成正向的第三二极管b22。电流依次通过所述第三沟槽13、所述第三接触孔18内填充的多晶硅、所述金属层19、所述第四沟槽15、所述第一外延层2、所述衬底1以及所述第二电极10形成第四支路B22。电流依次通过所述第一掺杂区5、所述第三掺杂区7、所述第三支路B21或所述四支路B22形成第五支路B2。在所述第五支路B2中,所述第三掺杂区7和所述第一掺杂区5形成反向的PN结,因此形成反向的第四二极管b21。电流依次通过所述第一电极9、所述第二接触孔17内填充的多晶硅、所述第二沟槽12、所述阱区41、所述第一掺杂区5、所述第二掺杂区6、所述第二支路B1或所述第五支路B2形成第六支路B。在所述第六支路B中,所述第二掺杂区6与所述第一掺杂区5形成正向的PN结,因此形成正向的第五二极管b。综上所述,本发明所要保护的瞬态电压抑制器100形成了多组二极管并联的等效电路,从而能够实现双向保护、在高频电路中减小其自身的寄生电容。

[0074] 请参阅图3,图1的瞬态电压抑制器100的一种制造方法,其具体步骤包括:

[0075] S101:提供第一导电类型的衬底1;在所述衬底1的上表面生长第一导电类型的第一外延层2。

[0076] S102:自所述第一外延层2的上表面向下延伸至所述第一外延层2内形成第二导电类型的埋层3。

[0077] S103:在所述第一外延层2及所述埋层3的上表面生长第二导电类型的第二外延层4。

[0078] S104:自所述第二外延层4的上表面向下延伸至所述第二外延层4内形成第一导电类型的第一掺杂区5。

[0079] S105:形成第二导电类型的第二掺杂区6和第二导电类型的第三掺杂区7,所述第二掺杂区6自所述第二外延层4和所述第一掺杂区5的上表面向下延伸,使所述第二掺杂区6的一部分位于所述第二外延层4内,所述第二掺杂区6的另一部分位于所述第一掺杂区5内,所述第三掺杂区7自所述第一掺杂区5的上表面向下延伸至所述第一掺杂区5内,所述第二掺杂区6和所述第三掺杂区7的掺杂浓度大于所述第二外延层4的掺杂浓度。

[0080] S106:在所述第二外延层4的上表面形成介质层8。

[0081] S107:在所述介质层8的上表面形成与所述第二外延层4电连接第一电极9;在所述衬底1的下表面形成第二电极10。

[0082] 所述瞬态电压抑制器100通过多组二极管串并联实现了多路双向的保护功能,降低了其自身在高频电路中的寄生电容;通过在深度方向上设计所述第一掺杂区5、所述第二掺杂区6及所述第三掺杂区7提高了集成度。从而,所述瞬态电压抑制器100的保护特性得到了提升。

[0083] 请参阅图4及图5到图16,图1的瞬态电压抑制器100的另一种制造方法,其具体步骤包括:

[0084] 步骤S201:提供第一导电类型的衬底1;在所述衬底1的上表面生长第一导电类型的第一外延层2。

[0085] 具体的,请参阅图5,可以使用气相外延、液相外延、固相外延、分子束外延或化学气相沉积的方式在所述衬底1上表面形成所述第一外延层2。在本实施方式中,使用气相外延工艺在所述衬底1上表面形成所述第一外延层2,可以提高硅材料的完美性,提高所述瞬态电压抑制器100的集成度,减少储存单元的漏电流。

[0086] 步骤S202:自所述第一外延层2的上表面向下延伸至所述第一外延层2内形成第二导电类型的埋层3。

[0087] 具体的,请参阅图6,所述埋层3可以通过离子注入或扩散的方式形成。在本实施方式中,使用离子注入的方式形成所述埋层3,从而能精确控制杂质的总剂量、深度分布和面均匀性,可防止原来杂质的再扩散等,同时可实现自对准技术,以减小电容效应。

[0088] 步骤S203:在所述第一外延层2及所述埋层3的上表面生长第二导电类型的第二外延层4。

[0089] 具体的,请参阅图7,可以使用气相外延、液相外延、固相外延、分子束外延或化学气相沉积的方式在所述第一外延层2的上表面形成所述第二外延层4。在本实施方式中,使用气相外延工艺在所述第一外延层2的上表面形成所述第二外延层4,可以提高硅材料的完美性,提高所述瞬态电压抑制器100的集成度,减少储存单元的漏电流。

[0090] 步骤S204:形成自所述第二外延层4的上表面向下延伸至所述第一外延层2内的多个第一沟槽11,所述第一沟槽11内填充有氧化硅,相邻的两个所述第一沟槽11、所述埋层3和所述第二外延层4的一部分共同形成阱区41,所述第一掺杂区5、所述第二掺杂区6和所述第三掺杂区7均位于所述阱区41内。

[0091] 具体的,请参阅图8,在所述第二外延层4的上表面制备掩膜材料,所述掩膜材料具体为第一光刻胶,在所述第一光刻胶层上通过刻蚀形成所述第一沟槽11,再去除所述第一光刻胶。其中,刻蚀方法包括干法刻蚀和湿法刻蚀。干法刻蚀包括光挥发、气相腐蚀、等离子体腐蚀等。在本实施方式中,使用的刻蚀方法为干法刻蚀,从而更易实现自动化、处理过程

未引入污染、清洁度高。

[0092] 步骤S205:自所述阱区41的上表面向下延伸至所述阱区41内形成第一导电类型的第一掺杂区5。

[0093] 具体的,请参阅图9,所述第一掺杂区5可以通过离子注入或扩散的方式形成。在本实施方式中,使用离子注入的方式形成所述第一掺杂区5,从而能精确控制杂质的总剂量、深度分布和面均匀性,可防止原来杂质的再扩散等,同时可实现自对准技术,以减小电容效应。优选的,离子注入能量>160KeV,为消除注入损伤,使注入离子与位移硅原子恢复正常替位位置,对其进行热退火处理。

[0094] 步骤S206:形成自所述阱区41的上表面向下延伸的第二沟槽12及自所述第一掺杂区5的上表面向下延伸的第三沟槽13,所述第二沟槽12位于所述第一沟槽11和所述第一掺杂区5之间。

[0095] 具体的,请参阅图10,在所述阱区和所述第一掺杂区的上表面制备掩膜材料,所述掩膜材料具体为第二光刻胶,在所述第二光刻胶层上通过刻蚀形成所述第二沟槽12和所述第三沟槽13,再去除所述第二光刻胶。其中,所述刻蚀方法包括干法刻蚀和湿法刻蚀。干法刻蚀包括光挥发、气相腐蚀、等离子体腐蚀等。在本实施方式中,使用的刻蚀方法为干法刻蚀,从而更易实现自动化、处理过程未引入污染、清洁度高。

[0096] 步骤S207:形成第二导电类型的第二掺杂区6、第二导电类型的第三掺杂区7和第二导电类型的第四掺杂区14,所述第二掺杂区6自所述阱区41和所述第一掺杂区5的上表面向下延伸,使所述第二掺杂区6的一部分位于所述阱区41内,所述第二掺杂区6的另一部分位于所述第一掺杂区5内,与所述第三沟槽13邻接的所述第三掺杂区7自所述第一掺杂区5的上表面向下延伸至所述第一掺杂区5内,位于所述阱区41外靠近所述第二沟槽12的一侧的所述第四掺杂区14自所述第二外延层4的上表面向下延伸至所述第二外延层4内,所述第二掺杂区6、所述第三掺杂区7和所述第四掺杂区14的掺杂浓度大于所述第二外延层4的掺杂浓度。

[0097] 具体的,请参阅图11,所述第二掺杂区6、所述第三掺杂区7和所述第四掺杂区14可以通过离子注入或扩散的方式形成。在本实施方式中,使用离子注入的方式形成所述第二掺杂区6、所述第三掺杂区7和所述第四掺杂区14。从而能精确控制杂质的总剂量、深度分布和面均匀性,可防止原来杂质的再扩散等,同时可实现自对准技术,以减小电容效应。

[0098] 步骤S208:在所述第二外延层4的上表面形成介质层8。

[0099] 具体的,请参阅图12,所述介质层8的材料为氧化硅或氮化硅或氮氧化硅,具体可以通过采用溅射或热氧化法或化学气相沉积工艺形成所述介质层8。在本实施方式中,所述介质层8为热氧化形成的氧化硅层,作为最终器件的层间绝缘层。另外,所述介质层8设有一定的厚度,使得所述介质层8起到隔离电流和绝缘的作用。

[0100] 步骤S209:形成自所述第二外延层4的上表面向下延伸的第二导电类型的第四掺杂区14,所述第四掺杂区14位于所述阱区41外靠近所述第二沟槽12的一侧。

[0101] 具体的,请参阅图13,在所述介质层8的上表面制备掩膜材料,所述掩膜材料具体为第三光刻胶,在所述第三光刻胶层上通过刻蚀形成所述第四沟槽15,再去除所述第三光刻胶。其中,所述刻蚀方法包括干法刻蚀和湿法刻蚀。干法刻蚀包括光挥发、气相腐蚀、等离子体腐蚀等。在本实施方式中,使用的刻蚀方法为干法刻蚀,且干法刻蚀从而更易实现自动

化、处理过程未引入污染、清洁度高。

[0102] 步骤S210:形成与所述第四掺杂区14对应设置于所述介质层8中的第一接触孔16、与所述第二沟槽12对应设置于所述介质层8中的第二接触孔17和与所述第三沟槽13对应设置于所述介质层8中的第三接触孔18。

[0103] 具体的,请参阅图14,在所述介质层8的上表面制备掩膜材料,所述掩膜材料具体为第四光刻胶,在所述第四光刻胶层上通过刻蚀形成所述第一接触孔16、所述第二接触孔17和所述第三接触孔18,再去除所述第四光刻胶。其中,所述刻蚀方法包括干法刻蚀和湿法刻蚀。干法刻蚀包括光挥发、气相腐蚀、等离子体腐蚀等。在本实施方式中,使用的刻蚀方法为干法刻蚀,且干法刻蚀从而更易实现自动化、处理过程未引入污染、清洁度高。

[0104] 步骤S211:采用重掺杂多晶硅对所述第二沟槽12、所述第三沟槽13、所述第四沟15槽、所述第一接触孔16、所述第二接触孔17以及所述第三接触孔18进行填充,并进行热退火处理。

[0105] 具体的,请参阅图15,所述重掺杂多晶硅可以为P型多晶硅,也可以为N型多晶硅。优选的,所述重掺杂多晶硅为P型多晶硅。相比于N型多晶硅,采用P型多晶硅进行填充,可以降低制作成本。在本实施方式中,在填充之后进行热退火处理,以激活所述重掺杂多晶硅。

[0106] 步骤S212:在所述介质层8的上表面形成金属层19和与所述第二外延层4电连接的第一电极9,所述金属层19、填充于所述第三接触孔18的多晶硅和填充于所述第四沟槽15内的多晶硅共同形成导电通路;在所述衬底1的下表面形成第二电极10。

[0107] 具体的,请参阅图16,在所述介质层8上表面覆盖金属材料,通过刻蚀去除部分位置的金属材料,将所述金属材料分成所述第一电极9和所述金属层19两部分。在所述衬底1的下表面覆盖金属材料,形成所述第二电极10。其中,所述刻蚀方法包括干法刻蚀和湿法刻蚀。干法刻蚀包括光挥发、气相腐蚀、等离子体腐蚀等。在本实施方式中,使用的刻蚀方法为干法刻蚀,且干法刻蚀从而更易实现自动化、处理过程未引入污染、清洁度高。

[0108] 所述瞬态电压抑制器100通过多组二极管串并联实现了多路双向的保护功能,降低了其自身在高频电路中的寄生电容;通过在深度方向上设计所述第一掺杂区5、所述第二掺杂区6及所述第三掺杂区7提高了集成度。从而,所述瞬态电压抑制器100的保护特性得到了提升。

[0109] 以上内容仅仅是对本发明的构思所作的举例和说明,所属本技术领域的技术人员对所描述的具体实施例做各种各样的修改或补充或采用类似的方式替代,只要不偏离发明的构思或者超越本权利要求书所定义的范围,均应属于本发明的保护范围。



图3

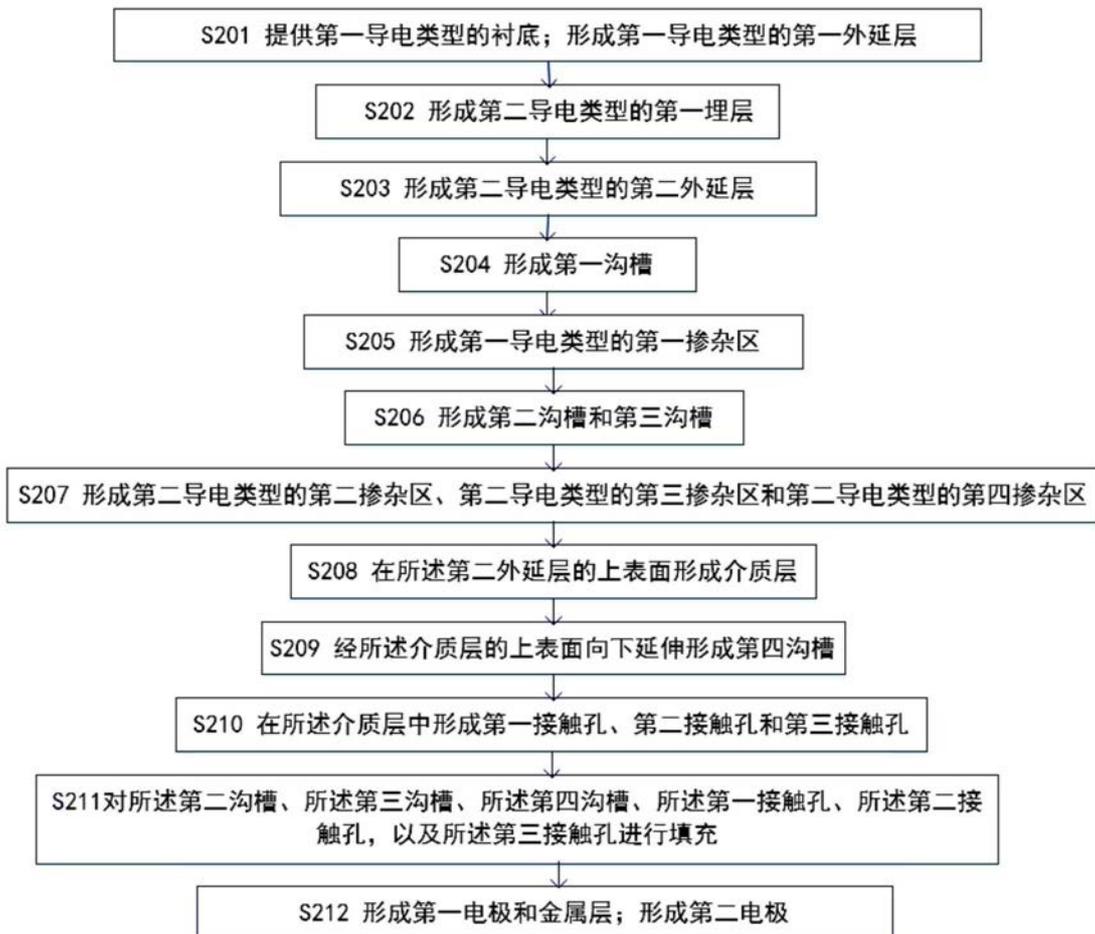


图4



图5

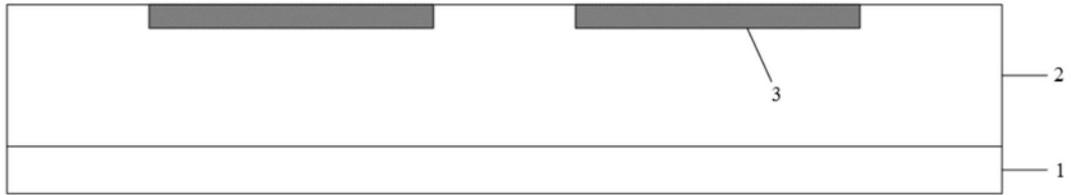


图6

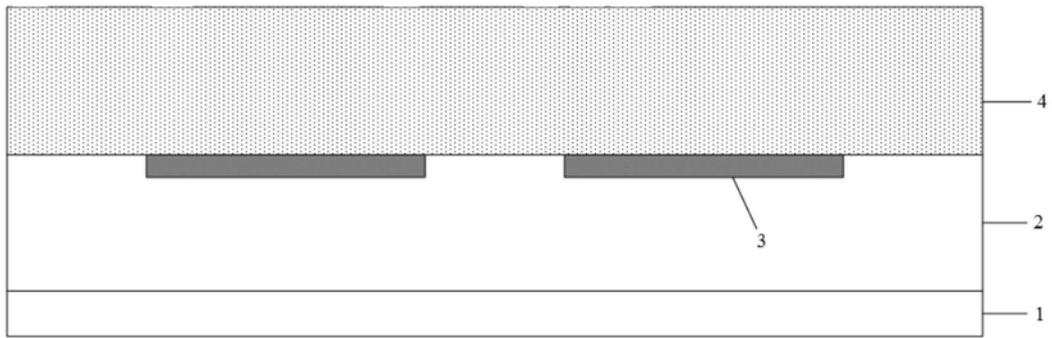


图7

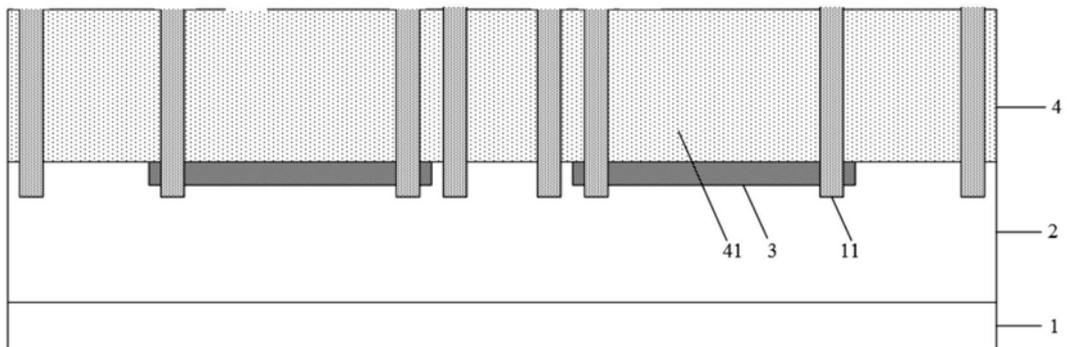


图8

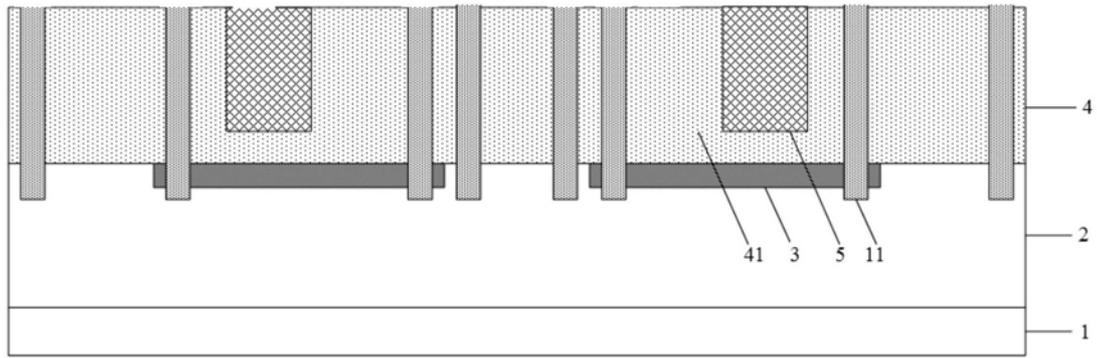


图9

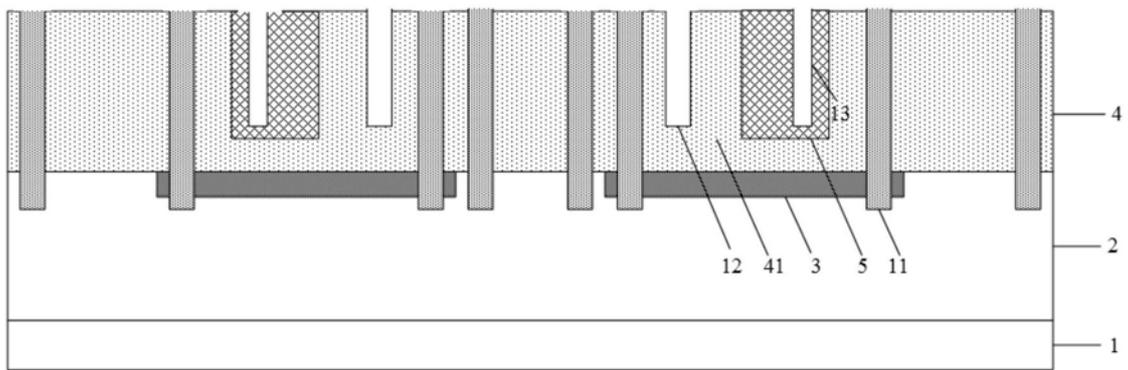


图10

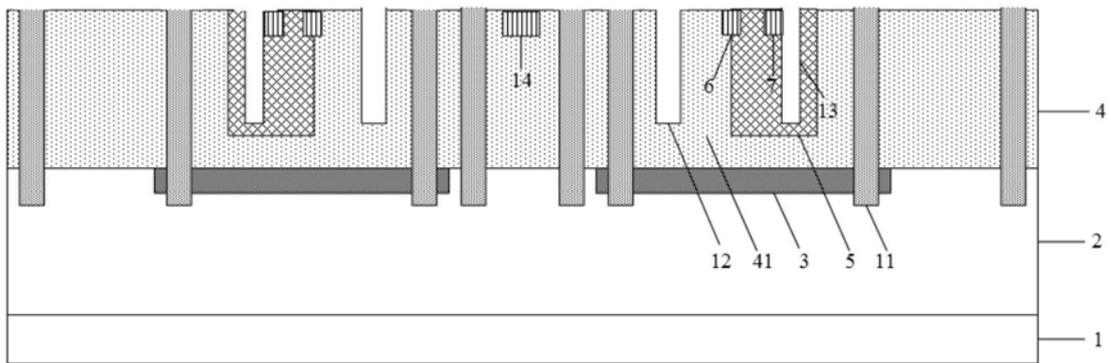


图11

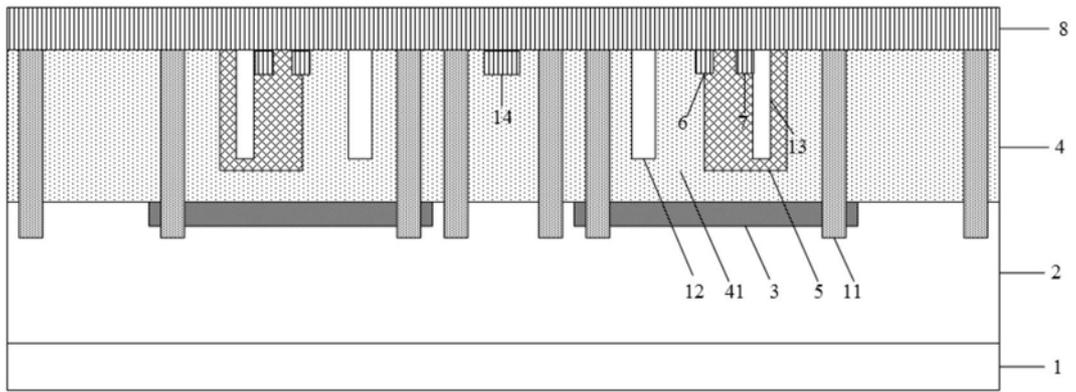


图12

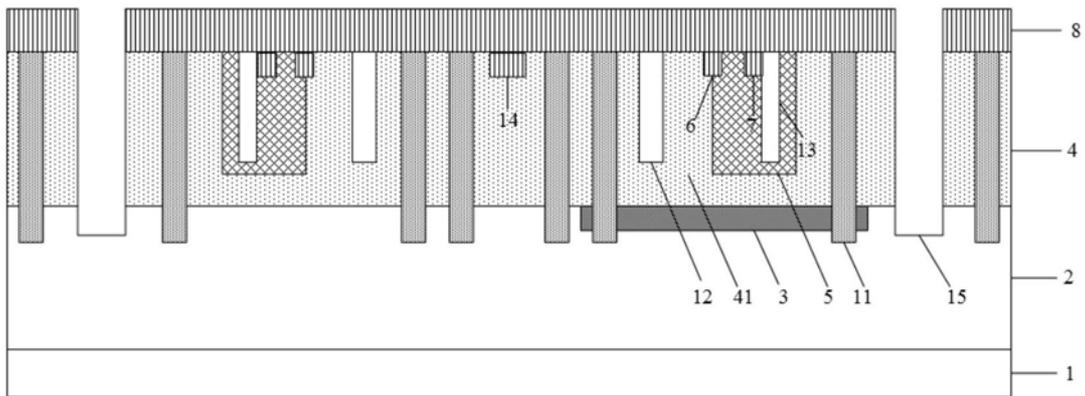


图13

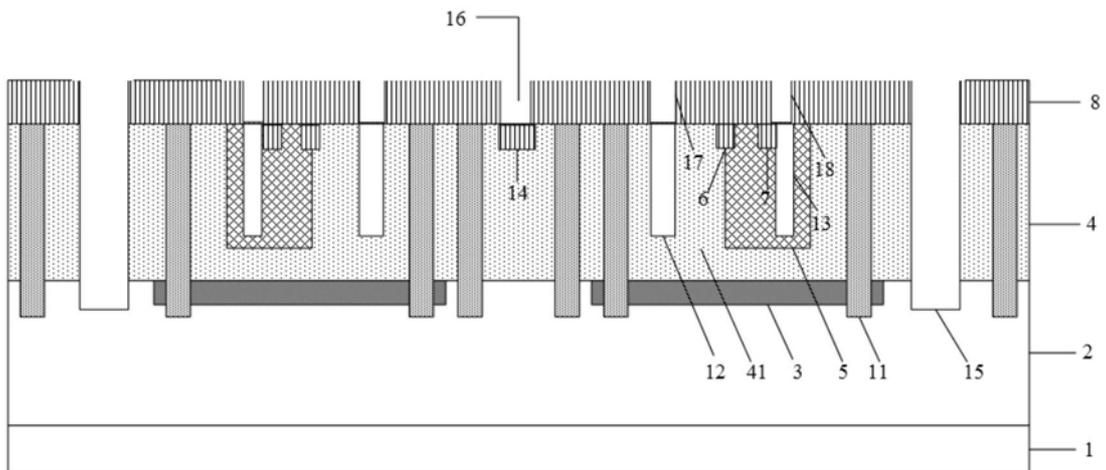


图14

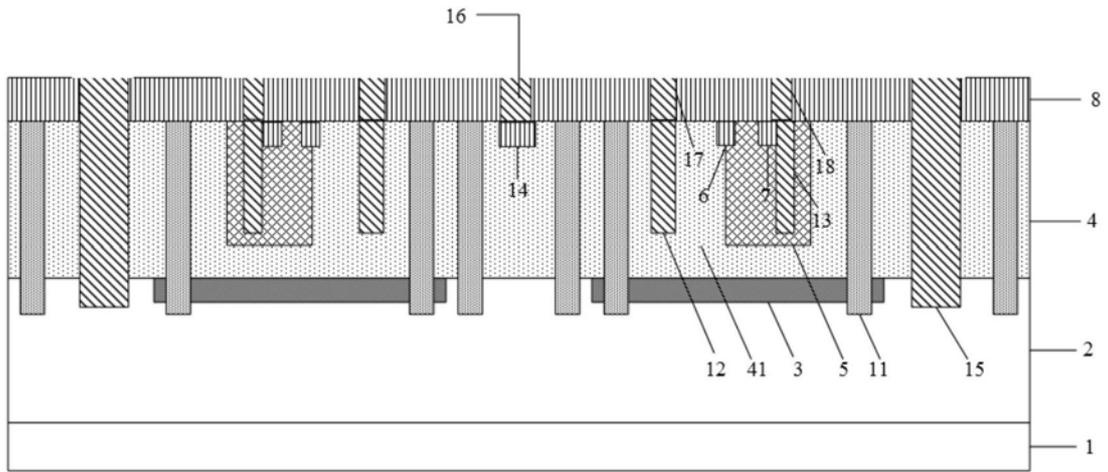


图15

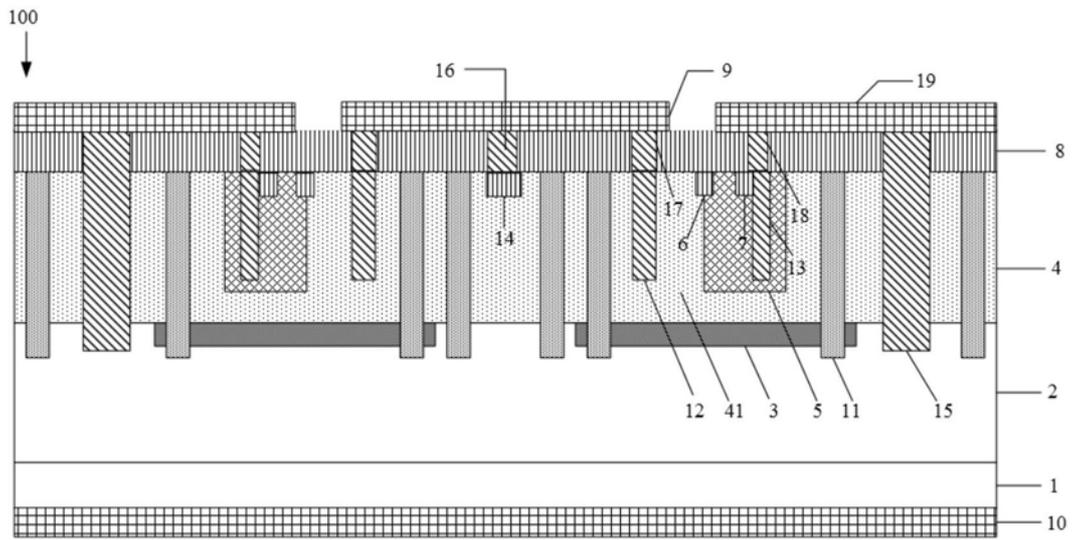


图16