



(12) 发明专利申请

(10) 申请公布号 CN 105683936 A

(43) 申请公布日 2016. 06. 15

(21) 申请号 201480059465. 2

(51) Int. Cl.

(22) 申请日 2014. 10. 22

G06F 13/42(2006. 01)

(30) 优先权数据

61/898, 138 2013. 10. 31 US

14/520, 180 2014. 10. 21 US

(85) PCT国际申请进入国家阶段日

2016. 04. 28

(86) PCT国际申请的申请数据

PCT/US2014/061826 2014. 10. 22

(87) PCT国际申请的公布数据

W02015/065792 EN 2015. 05. 07

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 S·森戈库

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 周敏

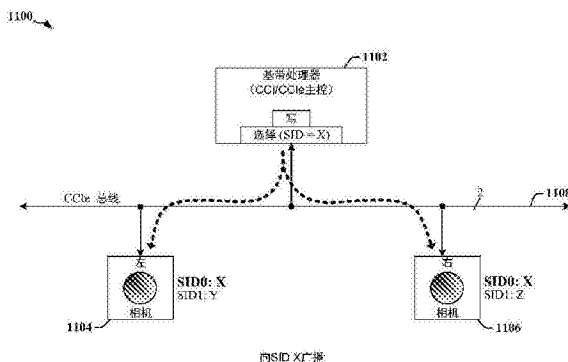
权利要求书3页 说明书22页 附图19页

(54) 发明名称

具有多个从设备标识符的相机控制从设备

(57) 摘要

描述了促成特别是电子装置内的两个设备之间的数据传输的系统、方法和装置。地址列表可将耦合至控制数据总线的多个从设备中的每一个从设备与多个从设备标识符相关联。可基于该地址列表来控制对控制数据总线的接入, 以使得在第一操作模式中可使用第一群从设备标识符向多个从设备广播信息并且在第二操作模式中可使用个体化从设备标识符与单个从设备交换信息。



1. 一种设备,包括:

控制数据总线;

主控设备,其耦合至所述控制数据总线并且被配置成控制对所述控制数据总线的接入;

第一从设备,其被配置有第一从设备标识符和第二从设备标识符,其中所述第一从设备被适配成对通过所述控制数据总线传送且定址到所述第一从设备标识符或所述第二从设备标识符的通信进行响应;以及

第二从设备,其被配置有所述第一从设备标识符和第三从设备标识符,其中所述第二从设备被适配成对通过所述控制数据总线传送且定址到所述第一从设备标识符或所述第三从设备标识符的通信进行响应。

2. 如权利要求1所述的设备,其特征在于,所述控制数据总线根据相机控制数据扩展(CCIe)总线协议来操作。

3. 如权利要求1所述的设备,其特征在于,所述控制数据总线根据相机控制数据(CCI)总线协议或者根据集成电路间(I2C)总线协议来操作。

4. 如权利要求1所述的设备,其特征在于,所述主控设备被配置成忽略由一个从设备与由另一从设备传送的确认信号并发地传送的否定确认信号。

5. 如权利要求1所述的设备,其特征在于,所述第一从设备和所述第二从设备包括相机,并且其中所述主控设备被配置成向所述第一从设备和所述第二从设备并发地传达信息。

6. 如权利要求1所述的设备,其特征在于,所述主控设备被配置成:

使用所述第一从设备标识符并发地与所述第一从设备和所述第二从设备通信。

7. 如权利要求1所述的设备,其特征在于,耦合至所述控制数据总线的第一群从设备中的每一个从设备对通过所述控制数据总线传送且定址到所述第一从设备标识符的通信进行响应,并且其中耦合至所述控制数据总线的第二群从设备中的每一个从设备对通过所述控制数据总线传送且定址到与所述第一从标识符、所述第二从标识符和所述第三从标识符不同的第四从设备标识符的通信进行响应。

8. 如权利要求7所述的设备,其特征在于,所述第一群从设备中的每一个从设备执行第一功能,并且所述第二群从设备中的每一个从设备执行不同于所述第一功能的第二功能。

9. 如权利要求7所述的设备,其特征在于,所述第一从设备被进一步配置有所述第四从标识符并且是所述第一群从设备和所述第二群从设备的成员。

10. 一种方法,包括:

维护地址列表,所述地址列表将耦合至控制数据总线的多个从设备中的每一个从设备与多个从设备标识符相关联;以及

基于所述地址列表来控制对所述控制数据总线的接入,其中控制对所述控制数据总线的接入包括:

在操作所述控制数据总线的第一模式中,使用与第一从设备和第二从设备相关联的第一群从设备标识符并发地与所述第一从设备和所述第二从设备通信;以及

在操作所述控制数据总线的第二模式中,使用与所述第一从设备相关联且不与所述第二从设备相关联的唯一从设备标识符个体地与所述第一从设备通信。

11. 如权利要求10所述的方法,其特征在于,进一步包括:
使用所述第一群从设备标识符向第一多个从设备并发地广播第一写消息;以及
使用第二群从设备标识符向第二多个从设备并发地广播第二写消息。
12. 如权利要求10所述的方法,其特征在于,进一步包括:
使用所述唯一从设备标识符将读命令定址到所述第一从设备;以及
读取由所述第一从设备响应于所述读命令而传送的数据,其中耦合至所述控制数据总线的其它从设备不对所述读命令进行响应。
13. 如权利要求10所述的方法,其特征在于,所述控制数据总线包括相机控制数据扩展(CCIe)总线。
14. 如权利要求10所述的方法,其特征在于,所述控制数据总线包括相机控制数据(CCI)总线或集成电路间(I2C)总线。
15. 如权利要求10所述的方法,其特征在于,所述第一从设备和所述第二从设备包括相机。
16. 一种方法,包括:
在由总线主控在控制数据总线上传送的第一命令定址到第一群从设备标识符时,在从设备处对所述第一命令进行响应,其中至少一个其它从设备被配置成对定址到所述第一群从设备标识符的传输进行响应;以及
在由所述总线主控在所述控制数据总线上传送的第二命令定址到唯一从设备标识符时,在所述从设备处对所述第二命令进行响应,其中没有其它从设备被配置成对定址到所述唯一从设备标识符的传输进行响应。
17. 如权利要求16所述的方法,其特征在于,所述控制数据总线根据相机控制数据扩展(CCIe)总线协议来操作。
18. 如权利要求16所述的方法,其特征在于,所述控制数据总线根据相机控制数据(CCI)总线协议或集成电路间(I2C)总线协议来操作。
19. 如权利要求16所述的方法,其特征在于,进一步包括:
在存储中维护与所述从设备相关联的多个从设备标识符,其中所述多个从设备标识符包括所述唯一从设备标识符和所述第一群从设备标识符;以及
在从所述控制数据总线接收到的读或写命令定址到未在所述存储中维护的从设备标识符时,抑制对所述读或写命令进行响应。
20. 如权利要求16所述的方法,其特征在于,进一步包括:
在由所述总线主控在所述控制数据总线上传送的第三命令定址到第二群从设备标识符时,在所述从设备处对所述第三命令进行响应,
其中第一多个从设备被配置成对定址到所述第一群从设备标识符的传输进行响应,并且第二多个从设备被配置成对定址到所述第二群从设备标识符的传输进行响应。
21. 如权利要求20所述的方法,其特征在于,所述第一多个从设备中的每一个从设备执行第一功能,并且所述第二多个从设备中的每一个从设备执行不同于所述第一功能的第二功能。
22. 一种从设备,包括:
总线接口,其被适配成将所述从设备耦合至与其它设备共享的控制数据总线;以及

处理电路,其耦合至所述总线接口且被配置成对使用与所述从设备唯一地关联的第一从设备标识符定址的消息以及定址到与所述从设备和至少一个其它从设备相关联的第二从设备标识符的消息进行响应。

23. 如权利要求22所述的从设备,其特征在于,所述处理电路被配置成:

响应于使用所述第一从设备标识符定址且从所述控制数据总线接收到的命令而在所述控制数据总线上传送信息。

24. 如权利要求22所述的从设备,其特征在于,所述处理电路被配置成:

在接收自所述控制数据总线的第一个命令被使用所述第一从设备标识符定址时,对所述第一命令进行响应;以及

在接收自所述控制数据总线的第二个命令被使用所述第二从设备标识符定址时,对该第二个命令进行响应。

25. 如权利要求24所述的从设备,其特征在于,进一步包括:

在接收自所述控制数据总线的第三个命令被使用第三从设备标识符定址时,对所述第三个命令进行响应,

其中第一多个从设备被配置成对定址到所述第二从设备标识符的传输进行响应,并且第二多个从设备被配置成对定址到所述第三从设备标识符的传输进行响应。

26. 如权利要求25所述的从设备,其特征在于,所述第一多个从设备中的每一个从设备执行第一功能,并且所述第二多个从设备中的每一个从设备执行不同于所述第一功能的第二功能。

27. 如权利要求22所述的从设备,其特征在于,进一步包括:

相机,其中所述控制数据总线根据相机控制数据扩展(CCIe)总线协议来操作。

28. 如权利要求22所述的从设备,其特征在于,进一步包括:

相机,其中所述控制数据总线根据相机控制数据(CCI)总线协议来操作。

29. 如权利要求22所述的从设备,其特征在于,进一步包括:

相机,其中所述控制数据总线根据集成电路间(I2C)总线协议来操作。

30. 如权利要求22所述的从设备,其特征在于,进一步包括:

存储,其被配置成维护所述第一从设备标识符和所述第二从设备标识符。

具有多个从设备标识符的相机控制从设备

[0001] 相关申请的交叉引用

[0002] 本专利申请要求于2013年10月31日提交的题为“Camera Control Slave Devices With Multiple Slave Device Identifiers(具有多个从设备标识符的相机控制从设备)”的临时专利申请No.61/898,138,以及于2014年10月21日提交的题为“Camera Control Slave Devices with Multiple Slave Device Identifiers(具有多个从设备标识符的相机控制从设备)”的美国非临时专利申请No.14/520,180的优先权,其被转让给本申请受让人并且通过援引被明确纳入于此。

[0003] 领域

[0004] 本公开涉及实现共享总线上的操作,并且尤其涉及在控制数据总线上向使用多个从设备标识符标识的单个从设备传送多个从设备标识。

[0005] 背景

[0006] 集成电路间串行总线(也可被称为I2C总线或I²C总线)是旨在用于将低速外围设备连接至处理器的串行单端计算机总线。I2C总线是多主控总线,其中每个设备可以针对I2C总线上传送的不同消息充当主控设备和从设备。I2C总线可以仅使用两个双向开漏(open-drain)连接器(包括串行数据线(SDA)和串行时钟线(SCL))来传送数据。这些连接器通常包括由上拉电阻器终接的信号导线。

[0007] 管控I2C总线操作的协议定义了基本类型的消息,其中每种消息始于START(开始)并结束于STOP(停止)。I2C总线使用7位寻址并且定义两种类型的节点。主控节点是生成时钟并发起与从节点的通信的节点。从节点是接收时钟并在被主控节点寻址时进行响应的节点。I2C总线是多主控总线,这意味着可存在任何数目的主控节点。另外,主控角色和从动角色可以在消息之间(即,在STOP被发送之后)改变。

[0008] 在相机实现的上下文中,单向传输可被用于从传感器捕捉图像并向基带处理器中的存储器传送图像数据,而控制数据可在该基带处理器与这些传感器以及其他外围设备之间被交换。在一个示例中,相机控制接口(CCI)协议可被用于基带处理器与图像传感器(和/或一个或多个从节点)之间的此类控制数据。在一个示例中,CCI协议可在图像传感器与基带处理器之间的I2C串行总线上实现。

[0009] 例如在两个或更多个等同的从设备耦合至相同总线和/或耦合至相同总线的两个或更多个设备被提供有相同的从设备标识符(SID)时可发生冲突。在一个示例中,制造者可将诸从设备产品预编程有相同SID。在常规CCI总线系统中,在诸从设备配置有相同SID时,可产生数据冲突问题。

[0010] 因此,找到在单个总线上使用配置有相同SID的多个从设备而不导致数据冲突的方式是合乎期望的。

[0011] 概述

[0012] 以下给出本公开的一个或多个方面的简要概述以提供对这些方面的基本理解。此概述不是本公开的所有构想到的特征的详尽综览,并且既非旨在标识出本公开的所有方面的关键性或决定性要素亦非试图界定本公开的任何或所有方面的范围。其唯一目的是以简

化形式给出本公开的一个或多个方面的一些概念作为稍后给出的更详细描述之序言。

[0013] 在本发明的某些方面,一种设备包括:控制数据总线;主控设备,其耦合至控制数据总线并且被配置成控制对控制数据总线的接入;第一从设备,其被配置有第一从设备标识符和第二从设备标识符;以及第二从设备,其被配置有第一从设备标识符和第三从设备标识符。第一从设备可被适配成对通过控制数据总线传送且定址到第一从设备标识符或第二从设备标识符的通信进行响应。第二从设备可被适配成对通过控制数据总线传送且定址到第一从设备标识符或第三从设备标识符的通信进行响应。

[0014] 在一个方面,控制数据总线根据相机控制数据扩展(CCIe)总线协议来操作。

[0015] 在一个方面,控制数据总线根据相机控制数据(CCI)总线协议或者根据集成电路间(I2C)总线协议来操作。

[0016] 在一个方面,主控设备被配置成忽略由一个从设备与由另一从设备传送的确收信号并发地传送的否定确收信号。

[0017] 在一个方面,第一从设备和第二从设备是或者包括相机。主控设备可被配置成向第一从设备和第二从设备并发地传达信息。

[0018] 在一个方面,主控设备被配置成使用第一从设备标识符并发地与第一从设备和第二从设备通信。

[0019] 在一个方面,耦合至控制数据总线的第一群从设备中的每一个从设备对通过控制数据总线传送且定址到第一从设备标识符的通信进行响应。耦合至控制数据总线的第二群从设备中的每一个从设备对通过控制数据总线传送且定址到与第一从标识符、第二从标识符和第三从标识符不同的第四从设备标识符的通信进行响应。第一群从设备中的每一个从设备可执行第一功能,并且第二群从设备中的每一个从设备可执行不同于第一功能的第二功能。第一从设备可被进一步配置有第四从标识符并且可以是第一群从设备和第二群从设备的成员。

[0020] 在本发明的某些方面,一种方法包括:维护地址列表,该地址列表将耦合至控制数据总线的多个从设备中的每一个从设备与多个从设备标识符相关联,以及基于该地址列表来控制对控制数据总线的接入。控制对控制数据总线的接入可包括:在操作控制数据总线的第一模式中,使用与第一从设备和第二从设备相关联的第一群从设备标识符并发地与第一从设备和第二从设备通信,以及在操作控制数据总线的第二模式中,使用与第一从设备相关联且不与第二从设备相关联的唯一从设备标识符个体地与第一从设备通信。

[0021] 在一个方面,使用第一群从设备标识符向第一多个从设备并发地广播第一写消息,以及使用第二群从设备标识符向第二多个从设备并发地广播第二写消息。

[0022] 在一个方面,该方法可包括:使用唯一从设备标识符将读命令定址到第一从设备,以及读取由第一从设备响应于该读命令而传送的数据。耦合至控制数据总线的其它从设备可被配置成抑制对该读命令进行响应。

[0023] 在一个方面,该控制数据总线是CCIe总线、CCI总线或I2C总线。

[0024] 在一个方面,第一从设备和第二从设备是或者包括相机。

[0025] 在本发明的某些方面,一种设备包括:用于维护地址列表的装置,该地址列表将耦合至控制数据总线的多个从设备中的每一个从设备与多个从设备标识符相关联;以及用于基于该地址列表来控制对控制数据总线的接入的装置。该用于控制对控制数据的接入的装

置可被配置成在第一操作模式中操作控制数据总线以使得该设备使用与第一从设备和第二从设备相关联的第一群从设备标识符并发地与第一从设备和第二从设备通信,以及在第一操作模式中操作控制数据总线以使得该设备使用与第一从设备相关联且不与第二从设备相关联的唯一从设备标识符个体地与第一从设备通信。

[0026] 在本发明的某些方面,存储介质具有存储于其上的指令。该存储介质可包括非瞬态存储介质。这些指令可由一个或多个处理器执行。该指令在由该一个或多个处理器执行时可使得该一个或多个处理器维护地址列表,该地址列表将耦合至控制数据总线的多个从设备中的每一个从设备与多个从设备标识符相关联,以及基于该地址列表来控制对控制数据总线的接入。对控制数据总线的接入可通过以下操作来控制:在第一操作模式中操作控制数据总线以使得能够使用与第一从设备和第二从设备相关联的第一群从设备标识符并发地与第一从设备和第二从设备通信;以及在第一操作模式中操作控制数据总线以使得能够使用与第一从设备相关联且不与第二从设备相关联的唯一从设备标识符个体地与第一从设备通信。

[0027] 在本发明的某些方面,一种方法包括:在由总线主控在控制数据总线上传送的第一命令定址到第一群从设备标识符时,在从设备处对第一命令进行响应;以及在由总线主控在控制数据总线上传送的第二命令定址到唯一从设备标识符时,在从设备处对第二命令进行响应。至少一个其它从设备可被配置成对定址到第一群从设备标识符的传输进行响应。在一些实例中,没有其它从设备被配置成对定址到唯一从设备标识符的传输进行响应。

[0028] 在一个方面,控制数据总线根据CCIe总线协议、CCI总线协议或I2C总线协议来操作。

[0029] 在一个方面,在存储中维护与从设备相关联的多个从设备标识符,并且在从控制数据总线接收到的读或写命令定址到未在该存储中维护的从设备标识符时抑制对该读或写命令进行响应。存储中所维护的多个从设备标识符可包括唯一从设备标识符以及第一群从设备标识符。

[0030] 在一个方面,从设备可在由总线主控在控制数据总线上传送的第三命令定址到第二群从设备标识符时对第三命令进行响应。第一多个从设备可被配置成对定址到第一群从设备标识符的传输进行响应,并且第二多个从设备被配置成对定址到第二群从设备标识符的传输进行响应。第一多个从设备中的每一个从设备可执行第一功能,并且第二多个从设备中的每一个从设备可执行不同于第一功能的第二功能。

[0031] 在本发明的某些方面,一种从设备包括:总线接口,其被适配成将从设备耦合至与其它设备共享的控制数据总线;以及处理电路,其耦合至总线接口且被配置成对使用与从设备唯一地关联的第一从设备标识符定址的消息以及定址到与从设备和至少一个其它从设备相关联的第二从设备标识符的消息进行响应。

[0032] 在一个方面,处理电路可被配置成响应于使用第一从设备标识符定址且从控制数据总线接收到的命令而在控制数据总线上传送信息。

[0033] 在一个方面,处理电路可被配置成:在接收自控制数据总线的的第一命令被使用第一从设备标识符定址时,对该第一命令进行响应;以及在接收自控制数据总线的第二命令被使用第二从设备标识符定址时,对该第二命令进行响应。该处理电路可被配置成在接收自控制数据总线的第三命令被使用第三从设备标识符定址时,对该第三命令进行响应。第

一多个从设备可被配置成对定址到第二从设备标识符的传输进行响应,并且第二多个从设备可被配置成对定址到第三从设备标识符的传输进行响应。第一多个从设备中的每一个从设备可执行第一功能,并且第二多个从设备中的每一个从设备可执行不同于第一功能的第二功能。

[0034] 在一个方面,该从设备可包括相机,并且控制数据总线可根据CCIE总线协议、CCI总线协议或I2C总线协议来操作。

[0035] 在一个方面,该从设备可包括被配置成维护第一从设备标识符和第二从设备标识符的存储。

[0036] 在本发明的某些方面,一种设备包括:用于在由总线主控在控制数据总线上传送的第一命令定址到第一群从设备标识符时,在从设备处对第一命令进行响应的装置,以及用于在由总线主控在控制数据总线上传送的第二命令定址到唯一从设备标识符时,在从设备处对第二命令进行响应的装置。至少一个其它从设备可被配置成对定址到第一群从设备标识符的传输进行响应。在一些实例中,没有其它从设备被配置成对定址到唯一从设备标识符的传输进行响应。

[0037] 在本发明的某些方面,存储介质具有存储于其上的指令。该存储介质可包括非瞬态存储介质。这些指令可由一个或多个处理器执行。这些指令在由该一个或多个处理器执行时可使得该一个或多个处理器在由总线主控在控制数据总线上传送的第一命令定址到第一群从设备标识符时,在从设备处对第一命令进行响应,以及在由总线主控在控制数据总线上传送的第二命令定址到唯一从设备标识符时,在从设备处对第二命令进行响应。至少一个其它从设备可被配置成对定址到第一群从设备标识符的传输进行响应。在一些实例中,没有其它从设备被配置成对定址到唯一从设备标识符的传输进行响应。

[0038] 附图

[0039] 在结合附图理解下面阐述的详细描述时,各种特征、本质、和优点会变得明显,在附图中,相像的附图标记贯穿始终作相应标识。

[0040] 图1描绘了在各集成电路设备之间采用数据链路的装置,该数据链路根据多个可用标准之一来选择性地操作。

[0041] 图2是解说具有基带处理器和图像传感器并且实现图像数据总线和控制数据总线的设备的框图。

[0042] 图3是解说根据本文所公开的某些方面的采用IC设备之间的数据链路的装置的简化系统架构的示图。

[0043] 图4是解说I2C一字节写数据操作的时序图。

[0044] 图5是解说根据CCIE协议的串行总线上的数据传输的示例的时序图。

[0045] 图6解说了根据本文所公开的某些方面的发射机和接收机的某些方面。

[0046] 图7解说了根据本文所公开的某些方面的用于转码数据的编码方案。

[0047] 图8解说了CCIE协议的某些方面。

[0048] 图9是解说包括作为从设备耦合至相机控制总线的两个成像设备的装置的某些方面的示图。

[0049] 图10解说了作为从设备耦合至相机控制总线的多个相机的配置的示例。

[0050] 图11解说了具有被适配成维护CCIE总线上的多个标识符并对其进行响应的两个

相机的装置的操作的第一示例。

[0051] 图12解说了具有被适配成维护CCIE总线上的多个标识符并对其进行响应的两个相机的装置的操作的第二示例。

[0052] 图13解说了具有被适配成维护CCIE总线上的多个标识符并对其进行响应的两个相机的装置的操作的第三示例。

[0053] 图14解说了被适配成支持提供有多个标识符的从设备的CCIE主控节点的某些方面。

[0054] 图15解说了采用可被适配或配置成执行本文所公开的一个或多个功能的处理电路的装置的硬件实现的简化示例。

[0055] 图16是用于控制耦合已被提供有多个标识符的从设备的串行总线的方法的流程图。

[0056] 图17是解说用于控制耦合已被提供有多个标识符的从设备的串行总线的硬件实现的示例的示图。

[0057] 图18是用于操作已被提供有多个标识符的从设备的方法的流程图。

[0058] 图19是解说用于操作已被提供有多个标识符的从设备的硬件实现的示例的示图。

[0059] 详细描述

[0060] 在以下描述中,给出了具体细节以提供对诸实施例的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可实践这些实施例。例如,电路可能用框图示出以免使这些实施例混淆在不必要的细节中。在其他实例中,公知的电路、结构、和技术可能不被详细示出以免使这些实施例不明朗。

[0061] 在结合附图理解下面阐述的详细描述时,各种特征、本质、和优点会变得明显,在附图中,相像的附图标记贯穿始终作相应标识。

[0062] 如本申请中所使用的,术语“组件”、“模块”、“系统”及类似术语旨在包括计算机相关实体,诸如但不限于硬件、固件、硬件与软件的组合、软件、或执行中的软件。例如,组件可以是但不限于是,在处理器上运行的进程、处理器、对象、可执行件、执行的线程、程序和/或计算机。作为解说,在计算设备上运行的应用和该计算设备两者皆可以是组件。一个或多个组件可驻留在进程和/或执行的线程内,且组件可以本地化在一台计算机上和/或分布在两台或更多台计算机之间。另外,这些组件能从其上存储着各种数据结构的各种计算机可读介质来执行。这些组件可藉由本地和/或远程进程来通信,诸如根据具有一个或多个数据分组的信号来通信,这样的数据分组诸如是来自藉由该信号与本地系统、分布式系统中另一组件交互的、和/或跨诸如因特网之类的网络与其他系统交互的一个组件的数据。此外,术语“或”旨在表示包含性“或”而非排他性“或”。即,除非另外指明或从上下文能清楚地看出,否则短语“X采用A或B”旨在表示任何自然的可兼排列。即,短语“X采用A或B”得到以下任何实例的满足:X采用A;X采用B;或X采用A和B两者。另外,本申请和所附权利要求书中所使用的冠词“一”和“某”一般应当被解释成表示“一个或多个”,除非另外声明或者可从上下文中清楚看出是指单数形式。

[0063] 总览

[0064] 本文所公开的某些实施例提供了可改善相机控制接口(CCI)总线的通信接口的性能的系统、方法和装置,该CCI总线可以基于I2C总线协议和配置。CCI可采用被配置为连接

主控设备和一个或多个从设备的总线的双导线、双向、半双工串行接口。CCI操作可兼容I2C总线操作。

[0065] CCI扩展(CCIe)总线可以为被配置成用于CCIe总线所支持的增强型特征的设备扩展常规I2C或CCI总线的能力。例如,CCIe总线可以支持比I2C或CCI总线高的比特率。根据本文所公开的某些方面,CCIe总线的一些版本可以被配置或适配成支持16.7兆比特每秒(Mbps)或更大的比特率,并且CCIe总线230的一些版本可以被配置或适配成支持至少23Mbps的数据率。CCI扩展(CCIe)设备可以使用I2C总线来部署以提供可按比使用I2C或CCI操作模式所获得的数据率显著更大的数据率操作的双导线、双向、半双工、串行接口。

[0066] 耦合至串行总线(诸如I2C总线、CCI总线或CCIe总线)的从设备可被适配成对多个标识符进行响应。在一个示例中,两个或更多个从设备可对共用的群标识符作出响应以使得主控设备可同时将命令和数据定址到两个或更多个从设备,以便产生对从设备的某些操作方面的同步控制。从设备可被装备有个体化或唯一的标识符,其准许每个从设备与总线主控之间的一对一通信。

[0067] 本发明的某些方面可适用于被部署在电子设备之间的通信链路,这些电子设备可包括装置(诸如,电话、移动计算设备、电器、汽车电子设备、航空电子系统、可穿戴计算设备、设施等)的子组件。图1描绘了可采用IC设备之间的通信链路的装置。在一个示例中,装置100可包括无线通信设备,该无线通信设备通过RF收发机与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。装置100可包括可操作地耦合至处理电路102的通信收发机106。处理电路102可包括一个或多个IC设备,诸如专用IC(ASIC)108。ASIC108可包括一个或多个处理设备、逻辑电路等等。处理电路102可包括和/或耦合至处理器可读存储(诸如存储器112),该处理器可读存储可维护可由处理电路102执行的指令和数据。处理电路102可由操作系统或应用编程接口(API)110层中的一者或多者来控制,该API 110层支持并允许执行驻留在存储介质(诸如无线设备的存储器设备112)中的软件模块。存储器设备112可包括只读存储器(ROM)或随机存取存储器(RAM)、电可擦除可编程ROM(EEPROM)、闪存卡、或可以在处理系统和计算平台中使用的任何存储器设备。处理电路102可包括或访问本地数据库114,该本地数据库114可维护用于配置和操作该装置100的操作参数和其它信息。本地数据库114可使用数据库模块、闪存、磁介质、EEPROM、光学介质、磁带、软盘或硬盘等中的一者或多者来实现。处理电路102也可以可操作地耦合至外部设备,诸如天线122、显示器124、操作者控件(诸如按钮128和按键板126以及其他组件)。

[0068] 图2是解说具有基带处理器204和图像传感器206的设备202的简化示例的框图200。图像数据总线216和多模控制数据总线208可以在设备202中实现。示图200仅作为示例解说了相机设备202,并且各种其他设备和/或不同功能性可以实现、操作、和/或使用控制数据总线208来通信。在所描绘的示例中,可以在图像数据总线216(诸如由MIPI定义的“DPHY”高速差分链路)上从图像传感器206向基带处理器204发送图像数据。在一个示例中,控制数据总线208可以具有能配置用于I2C总线模式中的操作的两条导线。相应地,控制数据总线208可以包括SCL和SDA导线。SCL可携带时钟信号,该时钟信号可被用于根据I2C协议来同步在控制数据总线208上的数据传输。数据线SDA和时钟线SCL可以耦合至控制数据总线208上的多个设备212、214和218。在该示例中,可以经由控制数据总线208在基带处理器204与图像传感器206以及其他外围设备218之间交换控制数据。根据I2C协议,SCL导线上的

时钟速度对于正常I2C操作可高达100KHz,对于I2C快速模式可高达400KHz,并且对于I2C快速模式+(Fm+)可高达1MHz。在用于相机应用时,I2C总线上的这些操作模式可被称为CCI模式。

[0069] 图3是解说包括从设备302的装置300的某些方面的示意性框图,从设备302具有图像传感器304且耦合至通信总线(诸如CCIE总线330)。装置300可以实施在无线移动设备、移动电话、移动计算系统、无线电话、笔记本计算机、平板计算设备、媒体播放器、游戏设备、可穿戴计算设备、电器等中的一者或多者中。装置300可以包括使用串行总线330来通信的多个设备302、320和/或322a-322n。

[0070] 根据本文所公开的某些方面,设备302、320和/或322a-322n中的两个或更多个设备可被配置或适配成在CCIE操作模式中使用串行总线330。在CCIE操作模式中,串行总线330可被称为CCIE总线230。CCIE总线230可在与CCIE总线操作兼容的设备302、320和/或322a-322n之间提供较高数据传输速率。此类设备302、320和/或322a-322n可被称为CCIE设备。CCIE设备302、320和/或322a-322n可在彼此通信时通过将数据编码为在常规CCI或I2C总线330的SCL信号导线316和SDA信号导线318两者上传送的码元来达到较高数据率。CCIE设备、CCI和/或I2C设备可在同一CCIE总线330上共存。例如,数据可在第一时间区间中使用CCIE编码来传送,并且其他数据可在不同时间区间中根据I2C信令约定来传送。CCIE总线330可以为被配置成用于CCIE总线330所支持的增强型特征的设备扩展常规CCI总线的的能力。例如,CCIE总线330可以支持比CCI总线330高的比特率。根据本文所公开的某些方面,CCIE总线330的一些版本可以被配置或适配成支持16.7Mbps或更大的比特率,并且CCIE总线的一些版本可以被配置或适配成支持每秒至少23兆比特的数据率。

[0071] 在图3中解说的示例中,成像设备302被配置成作为CCIE总线330上的从设备来操作。成像设备302可被适配成提供例如包括或管理图像传感器的传感器控制模块304。另外,成像设备302可包括配置寄存器306和/或其他存储设备324、处理电路和/或控制逻辑312、收发机310和线驱动器/接收器314a和314b。处理电路和/或控制逻辑312可包括处理器,诸如状态机、定序器、信号处理器或通用处理器。收发机310可包括接收机310a、发射机310c和某些共用电路310b,包括定时、逻辑和存储电路和/或设备。在一些实例中,收发机310可包括编码器和解码器、时钟和数据恢复电路和类似物。

[0072] 发射时钟(TXCLK)信号328可被提供给发射机310c,其中TXCLK信号328可被用来确定用于CCIE通信模式的数据传输速率。当SDA导线318和SCL导线316两者被用于编码所传送的数据时,TXCLK信号328可被嵌入在CCIE总线330上传送的码元序列内。在一个示例中,TXCLK信号328可以使用转变时钟转码来嵌入,由此要在物理链路330上传送的数据被转码,以使得在CCIE总线330上传送的每一对连贯码元之间出现至少一根导线316和/或318的状态改变。

[0073] 在本文所公开的一个示例中,CCIE设备302、320和/或322a-322n可使用控制数据总线330的双导线316、318来通信。例如,双导线控制数据总线330可以支持可提供比I2C或CCI操作模式所支持的数据率显著更大的数据率的CCIE双向、半双工通信模式。CCIE设备302、320和/或322a-322n可以在控制数据总线330的SCL线316和SDA线318两者上传送数据,其中时钟信息嵌入在双导线控制数据总线330上传送的码元序列中。某些CCIE设备320可被配置为总线主控,而某些设备302和/或322a-322n可被配置为从设备。CCIE设备302、320和/

或322a-322n可以兼容耦合至控制数据总线330的I2C和/或CCI设备或者与其共存,以使得CCIe设备302、320和/或322a-322n可以使用CCIe协议和信令规范来与一个或多个其他CCIe设备302、320和/或322a-322n通信,甚至在I2C设备正在监视控制数据总线330时亦是如此。本文所公开的一个示例提供了能在CCIe和I2C/CCI设备两者均部署在同一总线上时用单个主控设备320来处置耦合到总线的多个从设备302和/或322a-322n的接口。在后一示例中,两个或更多个CCIe设备302、320和/或322a-322n可以使用CCIe协议来通信,并且与I2C或CCI设备的任何通信事务根据I2C总线协议来进行。

[0074] 图4是解说在根据I2C协议操作串行总线330时单字节写数据操作的示例的时序图400。在该示例中,耦合至图3的串行总线330的节点302、320、322a-322n可被假定为可在CCIe和I2C/CCI模式中操作。每个I2C传输420始于在串行总线330上断言的开始状况406,并且在串行总线330上断言停止状况416时终止。开始状况406在SDA信号导线318转变为低而SCL信号导线316保持在高状态时被断言。停止状况416在SDA信号导线318转变为高而SCL信号导线316保持在高状态时被断言。根据I2C协议,除了开始状况406和停止状况416以外,SDA信号导线318上的转变在SCL信号导线316为低时发生。

[0075] 在典型的I2C操作中,I2C主控节点在SDA信号导线318上发送7比特从ID 402以指示主控节点希望访问I2C总线330上的哪个从节点302、322a-322n,之后发送指示该操作是读操作还是写操作的读/写比特412。在一个示例中,读/写比特312处于逻辑0以指示写操作。在另一示例中,读/写比特312处于逻辑1以指示读操作。仅其ID匹配于该7比特从ID 402的从节点302、322a-322n被准许对该写(或任何其他)操作进行响应。该7比特从ID 402准许128个地址在I2C/CCI总线330上使用。为了使I2C从节点302、322a-322n检测与其自己的ID相匹配的所传送从ID 402,主控节点320可在SDA线318上传送至少8比特连同SCL线316上的8个时钟脉冲。这种行为可被用于在CCIe操作模式中传送数据以防止旧式I2C从节点对CCIe操作作出反应。

[0076] 图5是解说根据CCIe协议操作的串行总线330上、并且在两个或更多个通信设备302、320、322a-322n被配置或适配成根据CCIe协议来通信时的数据传输的时序图500。在CCIe操作模式中,数据被编码成在CCIe总线330的信号导线316、318上顺序传送的一组2比特码元。码元序列502、504可在相继传输区间506、508中传送。每个码元序列502、504之前有开始状况516、518、520。开始状况516、518、520在SDA信号导线318转变为低而SCL信号导线316保持在高状态时被断言。根据CCIe协议,在传送码元序列502、504时在SCL信号导线318上发生转变的同时,SDA信号导线316上的转变可发生。开始状况516、518、520可占用两个码元区间。

[0077] 在所解说的示例中,每个码元序列502、504包括12个码元并编码可包括16比特数据和3比特开销的20比特数据元素。12个码元的序列502、504中的每个码元针对每个码元周期(t_{sym})510定义SDA信号导线318和SCL信号导线316的信令状态。在一个示例中,用于驱动信号导线316、318的推挽式驱动器314a、314b可使用20MHz码元时钟来支持50ns历时的码元周期510。可被标示为{3,1}的二码元序列在连贯码元序列502与504之间的时段514中传送以提供开始状况518。对于结果所得的14码元传输(12码元有效载荷以及开始状况516、518或520),第一传输506的开始与第二传输508的开始之间的最小流逝时间512可如下计算:

[0078] $T_{word} = 14 \times t_{sym} = 700ns$ 。

[0079] 由此,可每700ns传送20比特,从而产生约28.6Mbps的原始比特率,其中有用比特率约为22.86Mbps,因为在每个12码元字(word)506、508中传送16个数据比特。

[0080] 图6是解说可根据本文所公开的某些方面来配置的发射机600和接收机620的示例的框图。对于CCIE操作,发射机600可以将数据610转码成三进制(基数3)转变数612,该三进制转变数被用于选择用于在SCL 316和SDA 318信号导线上传输的码元。在所描绘的示例中,输入数据610的每个数据元素(亦称为数据字)可以具有19或20比特。转码器602可接收输入数据610并产生每个数据元素的三进制数序列612。三进制数612可被编码在2个比特中,并且每个三进制序列612中可以有12个三进制数。编码器604产生通过线驱动器606传送的2比特码元流614。在所描绘的示例中,线驱动器606包括开漏输出晶体管608。然而,在其他示例中,线驱动器606可以使用推挽式驱动器(诸如图3中的驱动器314a、316b)来驱动SCL 316和SDA 318信号导线。在2比特码元输出流614中的连贯码元之间在SCL信号导线316和SDA信号导线318中的至少一者的状态中提供转变。编码器604可通过确保连贯码元对不包括两个相同码元来提供连贯码元614之间的转变。至少一根导线316和/或318中的状态转变可用性准许接收电路620从数据码元流614中提取接收时钟638。

[0081] 在CCIE系统中,接收机620可包括时钟和数据恢复电路(CDR)628或与其协作。接收机620可包括向CDR 626提供原始2比特码元流636的线接口电路628。CDR 628从原始码元638中提取接收时钟636并向接收机620的其他电路624和622提供具有接收时钟638的2比特码元流634。在一些示例中,CDR 628可以产生多个时钟638。解码器624可使用接收时钟638来将码元流634解码成12个三进制数的序列632。三进制数632可使用2个比特来编码。转码器622随后可将12个三进制数的每个序列632转换成19比特或20比特输出数据元素630。

[0082] 图7是解说可由编码器604用于产生具有嵌入式时钟信息的码元序列614以供在CCIE总线330上传输的编码方案700的图示。编码方案700还可由解码器624用于从接收自CCIE总线330的码元634中提取三进制转变数。在CCIE编码方案700中,CCIE总线330的两根导线316、318准许定义4个基本码元S: {0,1,2,3}。码元序列614、634中的任何两个连贯码元具有不同状态,并且码元序列{0,0}、{1,1}、{2,2}和{3,3}是连贯码元的无效组合。相应地,在每个码元边界处仅3个有效码元转变可用,其中码元边界由传送时钟确定并且表示第一码元(先前码元Ps)722终止且第二码元(当前码元Cs)724开始的点。

[0083] 根据本文所公开的某些方面,针对每个Ps码元722,这三个可用转变被指派转变数(T)726。T 726的值可以由三进制数表示。在一个示例中,转变数726的值通过指派用于编码方案的码元排序圆702来确定。码元排序圆702为4个可能码元分配圆702上的位置704a-704d以及位置704a-704d之间的旋转方向706。在所描绘的示例中,旋转方向706为顺时针。转变数726可以表示有效的当前码元724与前一紧邻码元722之间的间隔。间隔可被定义为从先前码元722到达当前码元Cs 724所需要的在码元排序圆702上沿旋转方向706的步数。步数可被表达为一位基数为3的数字。将领会,码元之间的三步差异可被表示为 $0_{\text{基数}3}$ 。图7中的表720概述了采用这种办法的编码方案。

[0084] 在发射机600处,在给定先前生成的码元722和用作转变数726的输入三进制数的知识的情况下,表720可被用于查找要被传送的当前码元724。在接收机620处,表720可被用作查找表以确定表示先前接收的码元722与当前接收的码元724之间的转变的转变数726。转变数726可作为三进制数来输出。

[0085] 继续参照图5-7,多个数据比特610可被编码在码元序列614中以供在串行总线330上在单个传输区间506、508中传输。在一个示例中,20比特数据610可被编码在之前有二码元开始状况516、518的12码元序列614、502、504中。每个传输502、504的有效载荷的内容可由CCIE协议确定/控制,这可以定义用于确保在串行总线330上进行可靠通信的传输类型和控制机制。

[0086] 图8是CCIE协议800的某些方面的简化解说。被编码在传输码元502、504中的20比特元素可被标识为包括控制信息或数据。被编码在12传输码元502、504中的这20个比特中的第一个被传送的比特(b_{19})816可在传送控制信息804时被设置成二进制‘1’,以及在12码元传输502、504中传送经编码用户数据810、812、814时被设置成二进制‘0’。控制信息可包括命令、状态、寄存器内容和/或设置、以及用于控制并排序设备之间的通信的其他信息。术语用户数据可以指代基于应用或上下文所定义的信息的16比特字段824。可定义不同类型的数据字810、812、814,并且这些数据字810、812、814可包括将从先前标识的从节点中的先前标识的存储器地址读取或向其写入的信息,诸如从地址或标识符820、地址或地址的一部分822、或应用数据824。

[0087] 在图8中所解说的简化示例800中,CCIE串行总线330上的主控设备320可通过在一个或多个传输中发送从标识符810、在一个或多个地址传输812中发送在一个或多个地址字812a、812b、...812m中传送的标识将读取或写入的位置的地址来执行来自或去往从节点302、322a-322n的读或写操作,并且读/写用户或应用数据可在一个或多个用户数据传输字814a、814b、...814n中传送。

[0088] 在一些实例中,从ID字810包括16比特节点标识符820,由此提供65,536个可能的地址。在从ID 826之后传送的2比特字段820可被设置成二进制‘11’(十进制‘3’)。可提供附加的协议定义(P)比特818a以支持错误检测或其他协议相关功能。在一个示例中,P比特818a可以是当前字的奇偶校验比特或另一检错值。在另一示例中,字序列中的P比特818a可被用于该字序列的检错和/或纠错。

[0089] 在一些实例中,每个地址字812包括16比特地址值、2比特控制码828、以及附加的协议定义(P)比特818b。多个地址字812a、812b、...812m可顺序地传送。在表1中提供了控制码828比特设置的示例。在所解说的示例中,控制码828可被设置成‘00’以指示将在当前地址字812a、812b之后传送的另一地址字812b、...812m。控制码828可被设置成‘01’以指示数据字将作为下一个数据字814a传送。控制码828可被设置成‘10’以指示数据字将作为下一个数据字814a在CCIE串行总线330上被读取。控制码828可被设置成‘11’以指示接着是用于定义将在突发模式中读取的字的数目的“读规范”字812b、...812m。

[0090]

B[2:1]	码元	描述
00	C	继续至下一地址字
01	W	写
10	R1	读取一个字
11	RB	读(突发)

[0091] 表1:地址字控制

[0092] 在一些实例中,每个用户数据字814包括16比特数据值824、2比特控制码830、以及

附加的协议定义(P)比特818c。多个用户数据字814a、814b、…814n可顺序地传送。在表2中提供了与写数据相关的控制码830的比特设置的示例。在表3中提供了与读数据相关的控制码830的比特设置的示例,并且在表4中提供了与突发读数据相关的控制码830的比特设置的示例。

[0093]

B[2:1]	码元	描述
00	C0	写入当前地址
01	C1	写入当前地址+1
10	C2	写入当前地址+2
11	E.	结束写

[0094] 表2:写数据字控制

[0095] 多个写数据字可被顺序发送。在表2中,控制码830的值提供了用于写入下一用户数据字814b、…814n的偏移值。例如,范围为从二进制‘00’到二进制‘10’的值指示另一写数据字814b、…814n将在当前位置偏移控制码830的值处被写入。控制码830被设置成二进制‘11’指示当前写数据字814a、814b、…814n是将被写入的最后一个数据824。预期的下一个字可以是用于发起新事务的从ID字810,或例如可导致串行总线330上主控设备的改变、导致串行总线330进入不活跃状态、发起串行总线330的操作模式的改变(例如,至I2C模式)、或导致某种其他活动、改变或事件的控制字804(诸如“退出”码字)。

[0096]

B[2:1]	码元	描述
00	C	CRC
01	-	保留
10	-	保留
11	E.	没有CRC

[0097] 表3:读数据字控制

[0098] 表3涉及其中仅传送一个读数据字814的单个数据字814读取(参见表1中的R1)。控制码830可被用于确定是否在下一个数据字814中传送CRC。例如,控制码830可在没有CRC字814将在当前数据字814之后被传送的情况下被设置成二进制‘11’、以及将在当前数据字814之后传送CRC字814的情况下被设置成‘00’。

[0099]

B[2:1]	码元	描述
00	C	继续
01	-	保留
10	-	保留
11	E.	最后一个读字

[0100] 表4:突发读数据控制

[0101] 表4涉及对多个数据字814的突发模式读取(参见表1中的RB)。地址字812的控制码828可指示“读规范”字跟随在地址字812之后。“读规范”字可包括16比特字段,由此t=第一个被传送的比特(b_{18})在将读取无限数目的比特时被设置成二进制‘1’、以及在其余15个比

特($b_{17}-b_3$)指定将传送的数据字814的数目时被设置成‘0’。在RB模式中传送的读数据字814可包括16比特读数据值824、2比特控制码830、以及附加的协议定义(P)比特818c。读数据字的控制码830可被设置成‘11’以指示当前读数据字814a、814b、...814n是最后一个读数据字814、以及被设置成二进制‘00’以指示当前读数据字814a、814b、...814n不是最后一个读数据字814。

[0102] 协议可以禁止从节点发送超过由“读规范”字所指定的数据字814(不包括CRC字)。协议可以指定从节点发送至少一个读字814(不包括CRC字)。从节点可以在传送由“读规范”字所指定的字数目之前结束读取传输。

[0103] 具有多个成像设备或其他外围设备的设备

[0104] 在一些实例中,可在装置中提供一个以上成像设备。在一个示例中,移动通信设备可在该设备的两侧提供相机以使得用户能够独立地捕捉朝前图像和朝后图像。在另一示例中,移动通信设备、摄影机等可在相同或不同表面上分开地提供两个或更多个成像设备或相机以实现对立体或三维(3-D)图像的捕捉。在后一示例中,该两个或更多个相机可以并发地操作,其中可能期望或要求装置的基带处理器能等同地且并发或同时地向两个成像设备传送某些命令和控制信息。

[0105] 图9是解说装置900的某些方面的示意框图,装置900包括各自具有图像传感器和/或传感器控制器904、924的两个成像设备902、922,其中设备902、922作为从设备耦合至串行总线330。装置900可以实施在无线移动设备、移动电话、相机、移动计算系统、无线电话、笔记本计算机、平板计算设备、媒体播放器、游戏设备、可穿戴计算设备、设施等中的一者或多者中。装置900可包括其它从设备(未示出)以及用作串行总线330上的CCI或CCIE主控的基带处理器920。装置可实现具有左边相机和右边相机的3-D或立体相机系统,左边相机和右边相机提供在组合时用来创建单个3-D图像的分开视图。每个相机可被实施在从设备902、922中或被其控制并且可经由串行总线330耦合至主控节点920,串行总线330可操作为CCI总线或CCIE总线。为了易于制造,两个相机可彼此等同并且可具有相同的从设备标识符(SID)。如本文所使用的,术语“从设备标识符”和“从设备标识”可互换,因为从设备标识是从设备标识符,并且缩写SID指代这两者。

[0106] 成像设备902、922可包括传感器控制模块904、924,其包括、耦合至和/或管理相应的图像传感器。另外,成像设备902、922可包括配置寄存器906、926和/或其他存储设备908、928、处理电路和/或控制逻辑912、932、以及收发机910、930。处理电路和/或控制逻辑912、932中的每一者可包括处理器,诸如状态机、定序器、信号处理器、专用处理器或通用处理器。收发机910、930可包括或控制编码器、解码器、线驱动器、线接收机、定时电路、逻辑和存储电路、时钟和数据恢复电路、和/或其它设备。

[0107] 在3-D或立体相机配置中,可能期望并发或同时地向成像设备902、922传达特定命令和控制信息,同时保留个体地与组件成像设备902、922通信的能力。例如,可在成像设备902、922之间协调相机操作,从而快门释放、孔径设置和相机操作的其它方面可由基带处理器920发起并由成像设备902、922并发或同时执行。

[0108] 图10解说了相机配置1000、1020、1040的三个示例。在每种配置1000、1020、1040中,基带处理器1002、1022、1042使用可根据CCI协议或CCIE协议操作的一根或多根串行总线1008、1028、1030、1048、1050、1052与相应相机或成像设备对1004/1006、1024/1026、

1044/1046通信。

[0109] 在第一配置1000中,相机系统具有左边相机1004和右边相机1006,左边相机1004和右边相机1006被配置成提供在组合时用来创建单个3-D图像的分开视图。在一些实例中并且为了易于制造,两个相机1004、1006可彼此等同并且可提供有相同的SID。命令和控制信息的同时通信可通过向两个成像设备1004、1006指派相同SID来促成。当两个成像设备1004、1006具有相同SID时,基带处理器1002可发出命令,该命令可被成像设备1004、1006并发或同时地接收和执行。例如,“快门释放”命令可由成像设备1004、1006在数个时钟循环内执行。向两个成像设备1004、1006指派相同SID通常排除协议定义的读操作和某些写操作。由基带处理器1002向共享SID发出的读命令可导致两个成像设备1004、1006同时地进行传送,由此导致串行总线1008上发生冲突或干扰。

[0110] 在一个示例中,两个相机1004、1006可具有SID=X。当常规系统中的两个相机1004、1006响应由主控节点1002在串行总线1008上传送且定向到具有SID=X的设备的请求时,可发生冲突。除了由相机1004、1006传送的读数据之外,每个写数据的确收和/或否定确收(即,ACK/NACK)比特也可能冲突。相应地,第一配置1000趋向于不切实际且在常规系统中使用时操作性地受限。

[0111] 在第二配置1020中,相机系统具有左边相机1024和右边相机1026,左边相机1024和右边相机1026被配置成提供在组合时用来创建单个3-D图像的分开视图。一对分开的串行总线1028、1030可被用来将基带处理器1022耦合至相机1024、1026。基带处理器1022可在串行总线1028、1030上同时发出命令,从而该命令被相机1004、1006同时或并发地接收和执行。在两个相机1024、1026彼此等同且已被提供有相同SID的实例中,相机1004、1006可使用等同的SID操作而不导致冲突。

[0112] 多根串行总线的使用可导致增大的硬件和软件复杂度。第二配置1020中的基带处理器1022包括且操作至少两个串行接口,其具有硬件复杂度的相关联成本和处置通信所需的处理时间。可要求某些折衷。例如,从硬件复杂度的角度来看,支持串行总线1028和1030上的附加设备会是有利的。在支持其它设备时,有可能不同的主控设备在命令被发往相机1024、1026时可具有对总线1028、1030之一的控制。相应地,基带处理器1022可要求更复杂的资源管理处理来确保命令被同时地传送。也就是说,基带处理器1022可生成命令,确定串行总线1028、1030的可用性,维持对任何可用总线1028、1030的控制并且等待任何其余的总线变得可用。这些同步过程可影响串行总线1028、1030的吞吐量和等待时间。对宽带处理器1022的附加物理输入/输出要求(即,引脚、导线、凸块、焊盘等)、宽带处理器1022上的复制主控逻辑、以及电路板上的复制总线布线可增加相机系统的成本和复杂度。

[0113] 在第三配置1040中,相机系统具有左边相机1044和右边相机1046,左边相机1044和右边相机1046被配置成提供在组合时用来创建单个3-D图像的分开视图。主串行总线1048被基带处理器1042用于与相机1044、1046进行通信。话务控制设备1054可被提供以将主串行总线1048选择性地连接至分开的串行总线区段1050、1052,相机1044、1046连接至串行总线区段1050、1052。话务控制设备1054可被实现为桥接器、开关、路由器或其某种组合。由基带处理器1042提供的一个或多个信号1056可选择主串行总线1048到分开的串行总线区段1050、1052之间的连接模式。

[0114] 第三配置1040通过向两个成像设备1044、1046指派相同SID来促成命令和控制信

息的同时通信。当两个成像设备1044、1046具有相同SID时,基带处理器1042可操作话务控制设备1054以将两个串行总线区段1050、1052耦合至主串行总线1048,并且基带处理器1042可随后发出被成像设备1044、1046同时或并发地接收和执行的命令。在发送读命令时,基带处理器1042可操作话务控制设备1054以使得串行总线区段1050、1052之一耦合至主串行总线1048,而另一总线区段1052、1050断开连接。

[0115] 话务控制设备1054可包括复杂的逻辑,并且附加控制逻辑可在基带处理器1042中提供以支持话务控制设备1054的操作。基带处理器1042为了实现第三配置1040可遭遇较高的处理开销。在一个示例中,话务控制设备1054可采用附加逻辑来组合由成像设备1044、1046传送的ACK/NACK比特。在另一示例中,话务控制设备1054可采用附加逻辑和/或电路来管理一串行总线区段1050、1052断开连接同时另一总线区段1052、1050耦合至主串行总线1048的信令状态。虽然第三配置1040可避免冲突并促成命令和控制信息的同时通信,但主控节点或设备(在该示例中,基带处理器1042)要求附加引脚、附加设备(在该示例中,话务控制设备1054)、以及电路板上的附加总线布线。

[0116] 使用多个SID的串行总线上的通信

[0117] 根据本文所公开的某些方面,CCI或CCIE从设备可被指派多个SID。CCI或CCIE从设备可被适配成对定向到指派给从设备的多个SID中的任一个SID的命令进行响应。主控节点可被适配成管理其中某些从设备已被指派多个地址的SID指派。主控设备可选择性地地址个体地或作为群的一个或多个从设备。在一个示例中,主控节点可确定命令是否将同时定向到3-D相机系统中的两个相机并且可使用两个相机共享的SID来传送此类命令。

[0118] 现在结合根据CCIE协议操作的串行总线接口来描述本公开的某些方面。这些方面通常也可应用于根据CCI协议操作的串行总线接口,尽管在适配从设备以使得此类设备能够在CCI操作模式中对多个SID进行响应时可作出某些调整和/或妥协。例如,在向由两个从设备共享的SID地址执行I2C/CCI写操作时,CCI接口中所采用的ACK/NACK协议可导致冲突。在一些实例中,如果第二从设备响应于相同的写命令传送ACK,则主控设备可忽略来自第一从设备的NACK响应。

[0119] 图11-13解说了CCIE总线1108的操作,其中左相机1104和右相机1106已被适配成维护已被指派给或配置用于相机1104、1106的多个SID并对该多个SID进行响应。基带处理器1102用作主控节点并且在第一操作模式中可通过CCIE总线1108向两个从设备1104、1106传送和接收命令或数据而无需使用电路板上的附加设备和/或总线布线。在第二操作模式中,基带处理器1102可与从设备1104、1106中的每一个个体地通信,从而从设备1104、1106可在CCIE总线1108上传送数据和其它信息,预期在正常环境下没有冲突。

[0120] 两个相机1104、1106共享共用SID并且个体地维护唯一SID。第一相机1104可被配置成对共用SID(SID=X)和第一唯一SID(SID=Y)进行响应。第二相机1106可被配置成对共用SID(SID=X)和第二唯一SID(SID=Z)进行响应。指派给相机1104、1106的唯一SID用作个体化标识符。在一个示例中,第一相机1104可被部署为3-D相机系统中的左侧相机,而第二相机1106可被部署为3-D相机系统中的右侧相机。

[0121] 尽管被示为仅具有一个唯一地址和一个共用地址,但也可实现其它组合。例如,相机1104、1106可具有一共用SID以及两个或更多个唯一SID。另外,不同于相机1104、1106的从设备(未示出)可被提供有多个SID。从设备可根据功能性来分群。例如,所有从设备可具

有单个共用SID(例如, SID0=X), 每个从设备可具有唯一SID, 并且执行相似功能的从设备群可具有对应于共用功能的群ID。在一个示例中, 所有相机设备1104、1106可具有群SID=W, 并且所有声学传感器从设备可具有群SID=Q。也就是说, 主控设备1102可发送定址到SID=W的写, 其导致所有相机从设备进行响应。声学传感器可以是可听传感器, 其能够感测人体的听力范围内和/或超声频率处的声音。

[0122] 图11涉及其中基带处理器1102使得CCIE总线1108根据第一操作模式来操作的示例1100。在该模式中, 基带处理器1102通过将命令和数据定址到共用SID(SID=X)来向两个相机1104、1106高效地广播。在第一操作模式中, 基带处理器1102可向两个从设备1104、1106写入数据或者传送不要求来自目标从设备1104、1106的响应的命令。在CCIE交换中不发生冲突, 因为CCIE在CCIE写字格式中不使用ACK/NACK通信。相应地, 相机1104、1106都对命令或写入的数据的接收进行确收并且确保了没有数据冲突。图11涉及两个从设备1104、1106的示例, 尽管多于两个从设备1104、1106可共享共用SID。每个从设备1104、1106还可维护或响应不止一个共用SID, 由此准许从设备1104、1106的交叠群的配置而不损害CCIE总线1108操作的灵活性。CCIE协议提供了包括65,536个潜在SID的地址空间。将领会, I2C/CCI协议提供了有128个SID的受限地址空间。

[0123] 图12涉及其中基带处理器1102使得CCIE总线1108根据第二操作模式来操作的示例1200。在该示例1200中, 基带处理器1102执行向左相机1104的个体写入。基带处理器1102通过使用第一唯一SID(Y)定址左相机1104来选择左相机1104以用于写操作, 第一唯一SID(Y)被单独地指派给左相机1104。

[0124] 图13涉及其中基带处理器1102使得CCIE总线1108根据第二操作模式来操作的示例1300。在该示例1200中, 基带处理器1102执行从右相机1106的读取。基带处理器1102通过使用第二唯一SID(Z)定址右相机1106来选择右相机1106以用于写操作, 第二唯一SID(Z)被单独地指派给右相机1106。

[0125] 图14是解说被适配成支持用于从设备的多个SID的CCIE主控节点1402的某些方面的示意框图1400。主控节点1402可以实施在无线移动设备、移动电话、相机、移动计算系统、无线电话、笔记本计算机、平板计算设备、媒体播放器、游戏设备、可穿戴计算设备、设施等中的一者或多者中。在一个示例中, 主控节点1402可被配置成管理3-D或立体相机系统, 其中每个相机被实施在通过CCIE总线耦合至主控节点1402的不同从设备902、922中或受其控制。

[0126] 主控节点1402可包括处理电路和/或控制逻辑1404、一个或多个存储设备1406、数据库管理器或列表管理器1408、协议模块1410和收发机1412。处理电路和/或控制逻辑1404可包括处理器, 诸如状态机、定序器、信号处理器或通用处理器。收发机1412可包括或控制编码器、解码器、线驱动器、线接收机、定时电路、逻辑和存储电路、时钟和数据恢复电路、和/或其它设备。

[0127] 主控节点1402可使用列表管理器1408来维护SID列表1420, SID列表1420将SID与耦合至CCIE总线的已知或所标识的从设备相关联, 包括维护多个SID或对多个SID进行响应的从设备列表。主控节点1402可维护包括用于每个从设备的至少一个唯一标识符的SID列表1420。CCIE协议支持多主控环境, 其中多个主控节点1402可串行地控制CCIE总线。希望控制CCIE总线的不活跃主控设备可向当前主控节点1402发送对CCIE总线的控制的请求。该请

求由不活跃主控设备在从模式操作中时发送,因为在任何时间仅一个主控设备可控制CCIE总线。活跃主控节点1402可在发起CCIE总线上主控角色的切换期间、之前或之后将SID列表420传递给不活跃主控节点。

[0128] 当前主控节点1402可在数据库、列表、表格或某种其它数据结构中维护SID列表1420。SID列表1420可针对主控节点1402已知的每个从设备陈列至少一个SID。在一些实例中,主控节点1402可维护包括用于主控节点1402接入或者已接入的所标识的从设备的SID的SID列表1420。在后一示例中,SID列表1420可以不包括用于耦合至CCIE总线的所有从设备的SID。在一个示例中,多主控环境中的多个主控设备1402可各自有理由仅接入耦合至CCIE总线的所有从设备的小子集,并且主控节点1402可以知晓或者需要知晓从设备子集的SID。

[0129] 从设备的SID可以是固定的、可编程或其某种组合。在一个示例中,每个从设备可被提供有工厂配置的SID(SID0)1422a,其可以是预设的且不可调整的,并且从设备可被配置成维护其它可配置SID(SID1, SID2, …SIDn)1422b-1422N或对这些SID进行响应。可配置SID 1422b-1422n可通过软件编程或通过例如使用从设备上的外部引脚或跳线进行硬件操纵来配置。电子电器工程协会(IEEE)公布了可被用来在一些从设备中指派SID的标准(IEEE 1149.1标准)。在一些实例中,从设备可包括遵循eFUSE的可编程组件。在一些实例中,从设备可包括现场可编程门阵列(FPGA)或可被编程以存储和使用至少一个SID的其它可编程逻辑组件。

[0130] SID列表1420可具有或者能够容适多个设备,其在示图1400中被编号为1-m。在第一示例中,SID列表1420可标识由制造商生产且被配置有多个SID的第一设备(设备1),该多个SID包括群或共用SID(SID=X)和至少一个副SID(SID=Y)。SID列表1420可标识由同一制造商生产且被配置有多个SID的第二设备(设备2),该多个SID包括群或共用SID(SID=X)和至少一个副SID(SID=Z)。在一个示例中,特定类型和/或型号的所有设备可被配置有群或共用SID=X,并且制造商可进一步将第一批从设备配置有副SID=Y以及群或共用SID(SID=X),并且制造商可将第二批从设备配置有副SID=Z以及群或共用SID(SID=X)。在来自两批的从设备之间进行区分的能力可促成在装置中包括同一类型的正好两个从设备。换言之,包括来自两批中每一批的一个设备的一对从设备是等同的,不同之处在于它们相应的SID1 1422b具有不同值。制造商可以生产具有不同副地址的其它批的从设备,这使得相同类型的两个以上从设备能够耦合至串行总线。

[0131] 在第二示例中,从设备制造商可生产具有非固定SID的从设备。每个从设备可在该从设备被集成在装置中时和/或在被耦合至串行总线之后配置。

[0132] 从设备中配置的SID中的一个或多个可以是群ID。例如,如果从设备具有混合功能性以使得它落到两个分开的功能群定义中,则该从设备可以是两个群的部分。在所解说的SID列表1420中,设备1-4中的每一者可被配置有关于这些设备的维护为SID0 1422a的共用SID(SID=X),并且设备1-4可被配置有关于这些设备的标识为SID1 1422b的不同副SID。例如,SID列表1420可包括作为用于设备1的SID0条目1422a的共用SID(SID=X)以及作为用于设备1的SID1条目1422b的唯一SID(SID=Y),并且SID列表1420可包括作为用于设备2的SID0条目1422a的共用SID(SID=X)以及作为用于设备2的SID1条目1422b的唯一SID(SID=Z)。在该示例中,SID列表1420包括作为用于设备3的SID1条目1422b的唯一SID(SID=A)以

及作为用于设备4的SID1条目1422b的SID(SID=B),同时设备3和设备4两者均被配置有共用SID(SID=X),并且由此为具有设备1和设备2的共用群的成员。SID列表1420包括作为用于设备1和设备2的SID2条目1422c的群SID(SID=C)以及作为用于设备3和设备4的SID2条目1422c的群SID(SID=D)。相应地,设备1-4中的每一者可属于两个不同的群。

[0133] 在所解说的SID列表1420中,设备5通过作为用于设备5和设备6的SID2条目1422c的群SID(SID=G)的存在而被标识为属于还包括设备6的第三群。

[0134] 在所解说的SID列表1420中,设备7未被标识为任何群的成员,尽管为该设备记录了两个SID指派。设备8被解说为具有被记录在SID1条目1422b中的单个SID(SID=R)指派,其可指示设备8能够对定向到多个SID的通信进行响应和/或另一SID已被指派给设备8、但随后已被删除或者以其它方式不可供主控设备1402使用。设备9具有被维护为用于设备9的SID0条目1422a的单个SID(SID=T),并且设备9可以是尚未被适配或配置成对定向到多个SID的通信进行响应的常规从设备。

[0135] 所解说的SID列表1420中的最后一个设备(设备m)包括SID0条目1422a(SID=M)。在一些示例中,SID列表1420可具有足以维护用于主控节点1402已知的数个从设备的SID信息的可调整长度。也就是说,设备m可以是SID列表1420中的最后一个条目,SID列表1420具有在新从设备被主控节点1402发现时可增加的长度。在其他示例中,主控节点1402可维护预配置的固定长度的SID列表1420,其可全部或部分地在操作中填充。在一些实例中,在SID列表1420中可能不存在用于编号10到m-1(未示出)的设备的条目。在其它实例中,比编号10到m-1的所有设备少的设备可具有在SID列表1420中配置的一个或多个SID。

[0136] SID列表1420可包括用于不具有获指派或所标识的SID的设备的条目。另外,由于不同从设备可具有用于SID的不同容量,因此SID列表1420可包括和/或关联于关于在SID列表1420中标识的从设备的SID存储容量和/或能力的信息。在一个示例中,一些从设备可被指派仅两个不同SID,而另一从设备可具有保持和响应128个SID的容量。该容量信息可被包括在SID列表1420中,或者在可作为主控切换协议的一部分传输到新的主控设备的相关联列表或表格中。在另一示例中,CCIE主控设备1402可被配置成作为CCI总线主控操作并且SID列表1420或者相关联信息可标识用于一个或多个从设备的CCIE SID和CCI SID。

[0137] 处理电路的示例

[0138] 图15是解说采用可被配置成执行本文所公开的一个或多个功能的处理电路1502的装置的硬件实现的简化示例的概念图1500。例如,处理电路可被部署为图1的处理电路102、图2的设备202或设备230的至少部分、图3的处理电路312等等。根据本公开的各种方面,本文所公开的元素、或元素的任何部分、或者元素的任何组合可使用处理电路1502来实现。处理电路1502可包括一个或多个处理器1504,其由硬件和软件模块的某种组合来控制。处理器1504的示例包括:微处理器、微控制器、数字信号处理器(DSP)、现场可编程门阵列(FPGA)、可编程逻辑设备(PLD)、状态机、定序器、门控逻辑、分立的硬件电路、以及其他配置成执行本公开中通篇描述的各种功能性的合适硬件。该一个或多个处理器1504可包括执行特定功能并且可由软件模块1516之一来配置、增强或控制的专用处理器。该一个或多个处理器1504可通过在初始化期间加载的软件模块1516的组合来配置,并且通过在操作期间加载或卸载一个或多个软件模块1516来进一步配置。

[0139] 在所解说的示例中,处理电路1502可使用由总线1510一般化地表示的总线架构来

实现。取决于处理电路1502的具体应用和整体设计约束,总线1510可包括任何数目的互连总线和桥接器。总线1510将各种电路链接在一起,包括一个或多个处理器1504、和存储1506。存储1506可包括存储器设备和大容量存储设备,并且在本文可被称为计算机可读介质和/或处理器可读介质。总线1510还可链接各种其他电路,诸如定时源、定时器、外围设备、稳压器、和功率管理电路。总线接口1508可提供总线1510与一个或多个收发机1512之间的接口。收发机1512可针对处理电路所支持的每种联网技术来提供。在一些实例中,多种联网技术可共享收发机1512中找到的电路系统或处理模块中的一些或全部。每个收发机1512提供用于通过传输介质与各种其它装置通信的手段。取决于该装置的本质,也可提供用户接口1518(例如,按键板、显示器、扬声器、话筒、操纵杆),并且该用户接口1518可直接或通过总线接口1508通信地耦合至总线1510。

[0140] 处理器1504可负责管理总线1510和一般处理,包括对存储在计算机可读介质(其可包括存储1506)中的软件的执行。在这一方面,处理电路1502(包括处理器1504)可被用来实现本文所公开的方法、功能和技术中的任一种。存储1506可被用于存储处理器1504在执行软件时操纵的数据,并且该软件可被配置成实现本文所公开的方法中的任一种。

[0141] 处理电路1502中的一个或多个处理器1504可执行软件。软件应当被宽泛地解释成意为指令、指令集、代码、代码段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数、算法等,无论是用软件、固件、中间件、微代码、硬件描述语言、还是其他术语来述及皆是如此。软件可按计算机可读形式驻留在存储1506中或驻留在外部计算机可读介质中。外部计算机可读介质和/或存储1506可包括非瞬态计算机可读介质。作为示例,非瞬态计算机可读介质包括:磁存储设备(例如,硬盘、软盘、磁条)、光盘(例如,压缩碟(CD)或数字多功能碟(DVD))、智能卡、闪存存储器设备(例如,“闪存驱动器”、卡、棒、或钥匙驱动器)、随机存取存储器(RAM)、只读存储器(ROM)、可编程ROM(PROM)、可擦式PROM(EPROM)、电可擦式PROM(EEPROM)、寄存器、可移动盘、以及任何其他用于存储可由计算机访问和读取的软件和/或指令的合适介质。作为示例,计算机可读介质和/或存储1506还可包括载波、传输线、和任何其它用于传送可由计算机访问和读取的软件和/或指令的合适介质。计算机可读介质和/或存储1506可驻留在处理电路1502中、处理器1504中、在处理电路1502外部、或跨包括该处理电路1502在内的多个实体分布。计算机可读介质和/或存储1506可实施在计算机程序产品中。作为示例,计算机程序产品可包括封装材料中的计算机可读介质。本领域技术人员将认识到如何取决于具体应用和加诸于整体系统上的总体设计约束来最佳地实现本公开中通篇给出的所描述的功能性。

[0142] 存储1506可维持以可加载代码段、模块、应用、程序等来维持和/或组织的软件,其在本文中可被称为软件模块1516。软件模块1516中的每一个可包括在安装或加载到处理电路1502上并被一个或多个处理器1504执行时有助于运行时映像1514的指令和数据,运行时映像1514控制一个或多个处理器1504的操作。在被执行时,某些指令可使得处理电路1502执行根据本文所描述的某些方法、算法和过程的功能。

[0143] 软件模块1516中的一些可在处理电路1502初始化期间被加载,并且这些软件模块1516可配置处理电路1502以实现本文所公开的各种功能的执行。例如,一些软件模块1516可配置处理器1504的内部设备和/或逻辑电路1522,并且可管理对外部设备(诸如,收发机1512、总线接口1508、用户接口1518、定时器、数学协处理器等)的访问。软件模块1516可包

括控制程序和/或操作系统,其与中断处理程序和设备驱动器交互并且控制对由处理电路1502提供的各种资源的访问。这些资源可包括存储器、处理时间、对收发机1512的访问、用户接口1518等。

[0144] 处理电路1502的一个或多个处理器1504可以是多功能的,由此软件模块1516中的一些被加载和配置成执行不同功能或相同功能的不同实例。这一个或多个处理器1504可附加地被适配成管理响应于来自例如用户接口1518、收发机1512和设备驱动器的输入而发起的后台任务。为了支持多个功能的执行,这一个或多个处理器1504可被配置成提供多任务环境,由此多个功能中的每个功能按需或按期望实现为由一个或多个处理器1504服务的任务集。在一个示例中,多任务环境可使用分时程序1520来实现,分时程序1520在不同任务之间传递对处理器1504的控制权,由此每个任务在完成任何未决操作之际和/或响应于输入(诸如中断)而将对一个或多个处理器1504的控制权返回给分时程序1520。当任务具有对一个或多个处理器1504的控制权时,处理电路有效地专用于由与控制方任务相关联的功能所针对的目的。分时程序1520可包括操作系统、在循环基础上转移控制权的主循环、根据各功能的优先级化来分配对一个或多个处理器1504的控制权的功能、和/或通过对一个或多个处理器1504的控制权提供给处置功能来对外部事件作出响应的中断驱动式主循环。

[0145] 与涉及多SID从设备的通信相关的其它示例

[0146] 图16概念性地解说了用来在具有多个SID的从设备耦合至CCI_e总线时操作该总线的方法1600。

[0147] 在框1602,可维护地址列表,其中该地址列表将耦合至控制数据总线的多个从设备中的每一个从设备与多个从设备标识符相关联。该控制数据总线可包括CCI_e、CCI或I2C总线。

[0148] 在框1604,可基于该地址列表来控制对控制数据总线的接入。

[0149] 在框1606,可确定多种操作模式中的哪种模式将被用于传输。在一个示例中,将采用第一操作模式并且方法在框1608继续。在另一示例中,将采用第二操作模式并且方法在框1610继续。

[0150] 在框1606并且在操作控制数据总线的第一模式中,可使用与第一从设备和第二从设备相关联的第一群从设备标识符来进行与第一从设备和第二从设备的并发通信。

[0151] 在框1606并且在操作控制数据总线的第二模式中,可使用与第一从设备相关联且不与第二从设备相关联的唯一从设备标识符来进行与第一从设备的个体通信。

[0152] 在一个示例中,可使用第一群从设备标识符向第一多个从设备广播或以其它方式并发地传送第一写消息,并且可使用第二群从设备标识符向第二多个从设备广播或以其它方式并发地传送第二写消息。

[0153] 在另一示例中,可使用唯一从设备标识符将读命令定址到第一从设备,并且可接收和/或读取由第一从设备响应于该读命令而传送的数据。耦合至控制数据总线的其它从设备可以不对读命令进行响应。

[0154] 图17是解说采用处理电路1702的装置1700的硬件实现的示例的概念图。在该示例中,处理电路1702可被实现成具有由总线1716一般化地表示的总线架构。取决于处理电路1702的具体应用和整体设计约束,总线1716可包括任何数目的互连总线和桥接器。总线1716将包括一个或多个处理器(由处理器1712一般地表示)、能配置成在连接器或导线1720

上通信的线接口电路1720以及计算机可读介质(由处理器可读存储介质1714一般地表示)的各种电路链接在一起。总线1716还可链接各种其他电路,诸如定时源、定时器、外围设备、稳压器、和功率管理电路。总线接口1718提供总线1716与线接口电路1720之间的接口。取决于该装置的本质,也可提供用户接口1722(例如,按键板、显示器、扬声器、话筒、操纵杆)。一个或多个时钟生成电路或模块可以设在处理电路1702内或者由处理电路1702和/或一个或多个处理器1712控制。

[0155] 处理器1712负责管理总线1716和一般处理,包括对存储在处理器可读存储介质1714上的软件的执行。该软件在由处理器1712执行时使处理电路1702执行上文针对任何特定装置描述的各种功能。在一个示例中,软件被提供以配置、发起、控制和/或以其它方式管理处理电路1702的各种功能、电路和模块。处理器可读存储介质1714可被用于存储由处理器1712在执行软件时操纵的数据,包含从通过连接器或导线1720传送的码元解码得来的数据,包括从在连接器或导线1720上接收的信号解码得来的数据,连接器或导线1720可被配置为数据通道和时钟通道。

[0156] 在一种配置中,处理电路1702可包括用于在从设备上配置SID的模块和/或电路1710、SID存储和/或维护模块和/或电路1708、用于向个体从设备传送或向共享SID广播的CCIE发射机模块和/或电路1706、以及总线接口模块和/或电路1718。

[0157] 图18概念性地解说了用来操作对多个SID进行响应的CCIE从设备的方法1800。

[0158] 在框1802,在由总线主控在控制数据总线上传送的第一命令定址到第一群从设备标识符时,从设备可对第一命令进行响应。至少一个其它从设备可被配置成对定址到第一群从设备标识符的传输进行响应。该控制数据总线可以是CCIE总线、CCI总线和/或I2C总线。

[0159] 在框1802,在由总线主控在控制数据总线上传送的第二命令定址到唯一从设备标识符时,从设备可对第二命令进行响应。典型地,没有其它从设备被配置成对定址到唯一从设备标识符的传输进行响应。

[0160] 在一个示例中,从设备可在存储中维护与该从设备相关联的多个从设备标识符,并且在从控制数据总线接收到的读或写命令定址到未在该存储中维护的从设备标识符时抑制对该读或写命令进行响应。存储中所维护的多个从设备标识符可包括唯一从设备标识符以及第一群从设备标识符。

[0161] 在另一示例中,在由总线主控在控制数据总线上传送的第二命令定址到第二群从设备标识符时,从设备可在该从设备处对第二命令进行响应。第一多个从设备可被配置成对定址到第一群从设备标识符的传输进行响应,并且第二多个从设备可被配置成对定址到第二群从设备标识符的传输进行响应。

[0162] 在另一示例中,第一多个从设备中的每一个从设备执行第一功能,并且第二多个从设备中的每一个从设备执行不同于第一功能的第二功能。

[0163] 图19是解说采用处理电路1902的装置1900的硬件实现的示例的概念图。在该示例中,处理电路1902可被实现成具有由总线1916一般化地表示的总线架构。取决于处理电路1902的具体应用和整体设计约束,总线1916可包括任何数目的互连总线和桥接器。总线1916将包括一个或多个处理器(由处理器1912一般地表示)、能配置成在连接器或导线1920上通信的线接口电路1920以及计算机可读介质(由处理器可读存储介质1914一般地表示)

的各种电路链接在一起。总线1916还可链接各种其他电路,诸如定时源、定时器、外围设备、稳压器、和功率管理电路。总线接口1918提供总线1916与线接口电路1920之间的接口。取决于该装置的本质,也可提供用户接口1922(例如,按键板、显示器、扬声器、话筒、操纵杆)。一个或多个时钟生成电路或模块1912可以设在处理电路1902内或者由处理电路1902和/或一个或多个处理器1912控制。

[0164] 处理器1912负责管理总线1916和一般处理,包括对存储在处理器可读存储介质1914上的软件的执行。该软件在由处理器1912执行时使处理电路1902执行上文针对任何特定装置描述的各种功能。在一个示例中,软件被提供以配置、发起、控制和/或以其它方式管理处理电路1902的各种功能、电路和模块。处理器可读存储介质1914可被用于存储由处理器1912在执行软件时操纵的数据,包含从通过连接器或导线1920传送的码元解码得来的数据,包括从在连接器或导线1920上接收的信号解码得来的数据,连接器或导线1920可被配置为数据通道和时钟通道。

[0165] 在一种配置中,处理电路1902可包括用于在从设备上配置SID的模块和/或电路1910、SID存储和/或维护模块、电路和/或存储设备1908、被配置成在CCIE总线上传送响应的CCIE发射机模块和/或电路1906、以及总线接口模块和/或电路1918。

[0166] 附图中解说的组件、步骤、特征、和/或功能之中的一个或多个可以被重新编排和/或组合成单个组件、步骤、特征、或功能,或可以实施在数个组件、步骤或功能中。还可添加附加的元件、组件、步骤、和/或功能而不会脱离本文中所公开的新颖特征。附图中所图解的装置、设备和/或组件可以被配置成执行在这些附图中所描述的方法、特征、或步骤中的一个或多个。本文中描述的新颖算法还可以高效地实现在软件中和/或嵌入在硬件中。

[0167] 另外应注意,这些实施例可能是作为被描绘为流程图、流图、结构图、或框图的过程来描述的。尽管流程图可能会把诸操作描述为顺序过程,但是这些操作中有许多操作能够并行或并发地执行。另外,这些操作的次序可以被重新安排。过程在其操作完成时终止。过程可对应于方法、函数、规程、子例程、子程序等。当过程对应于函数时,它的终止对应于该函数返回调用方函数或主函数。

[0168] 此外,存储介质可以代表用于存储数据的一个或多个设备,包括只读存储器(ROM)、随机存取存储器(RAM)、磁盘存储介质、光学存储介质、闪存设备、和/或其他用于存储信息的机器可读介质。术语“机器可读介质”包括但不限于:便携或固定的存储设备、光学存储设备、无线信道以及能够存储、包含、或承载指令和/或数据的各种其它介质。

[0169] 此外,诸实施例可以由硬件、软件、固件、中间件、微代码、或其任何组合来实现。当在软件、固件、中间件、或微码中实现时,执行必要任务的程序代码或代码段可被存储在诸如存储介质之类的机器可读介质或其它存储中。处理器可以执行这些必要的任务。代码段可表示规程、函数、子程序、程序、例程、子例程、模块、软件包、类,或是指令、数据结构、或程序语句的任何组合。通过传递和/或接收信息、数据、自变量、参数、或存储器内容,一代码段可被耦合至另一代码段或硬件电路。信息、自变量、参数、数据等可以经由包括存储器共享、消息传递、令牌传递、网络传输等的任何合适的手段被传递、转发、或传输。

[0170] 结合本文中公开的示例描述的各个解说性逻辑块、模块、电路、元件和/或组件可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑组件、分立的门或晶体管逻辑、分立的

硬件组件、或其任何组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,该处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可以实现为计算组件的组合,例如DSP与微处理器的组合、数个微处理器、与DSP核心协作的一个或多个微处理器、或任何其他此类配置。

[0171] 结合本文中公开的示例描述的方法或算法可直接在硬件中、在能由处理器执行的软件模块中、或在这两者的组合中以处理单元、编程指令、或其他指示的形式实施,并且可包含在单个设备中或跨多个设备分布。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其他形式的存储介质中。存储介质可耦合至处理器以使得该处理器能从/向该存储介质读写信息。替换地,存储介质可以被整合到处理器。

[0172] 本领域技术人员将可进一步领会,结合本文中公开的实施例描述的各种解说性逻辑块、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、和步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。

[0173] 本文所述的本发明的各种特征可实现于不同系统中而不脱离本发明。应注意,以上实施例仅是示例,且不应被解释成限定本发明。这些实施例的描述旨在是说明性的,而并非旨在限定权利要求的范围。由此,本发明的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。

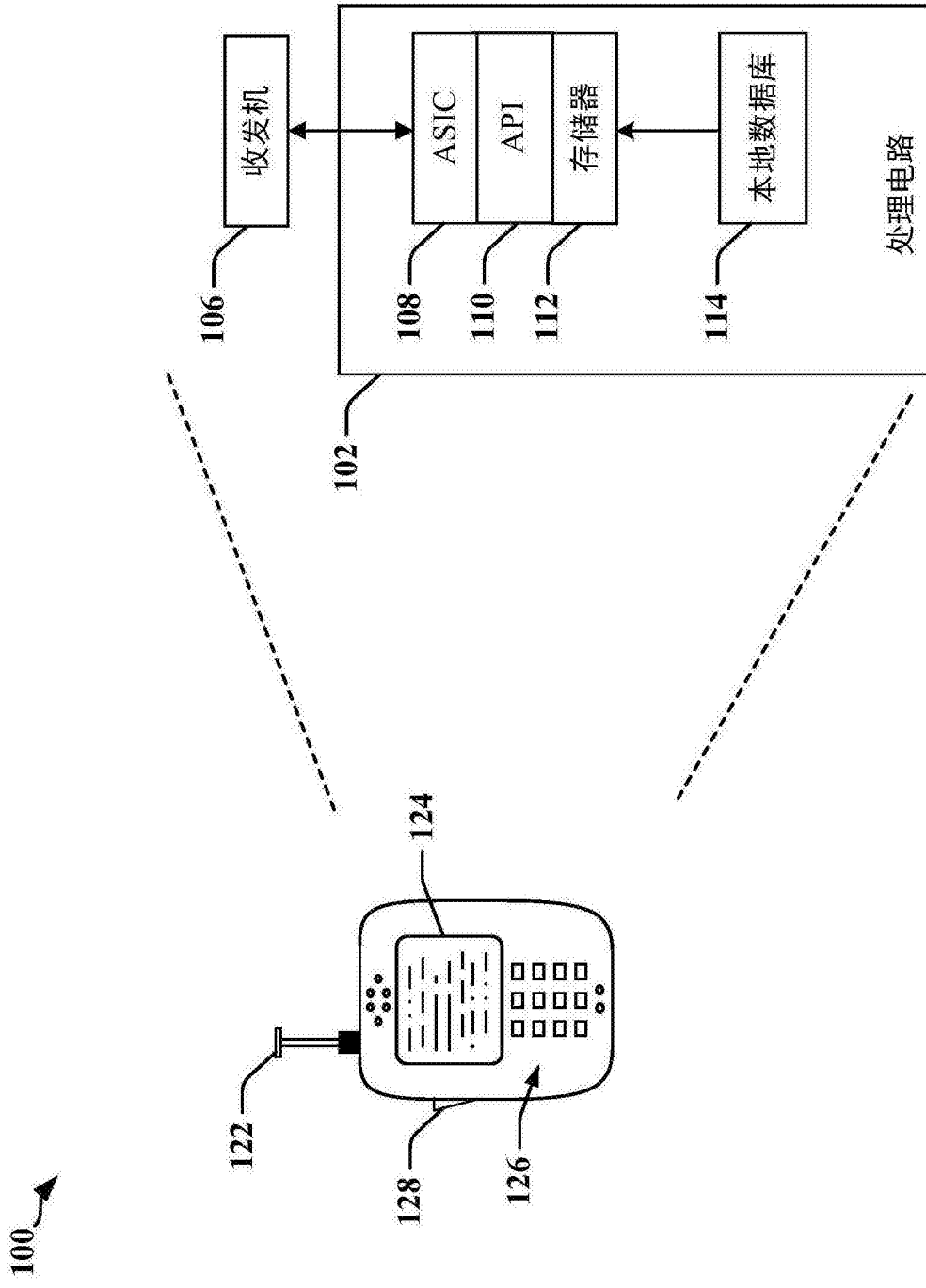


图1

200 ↗

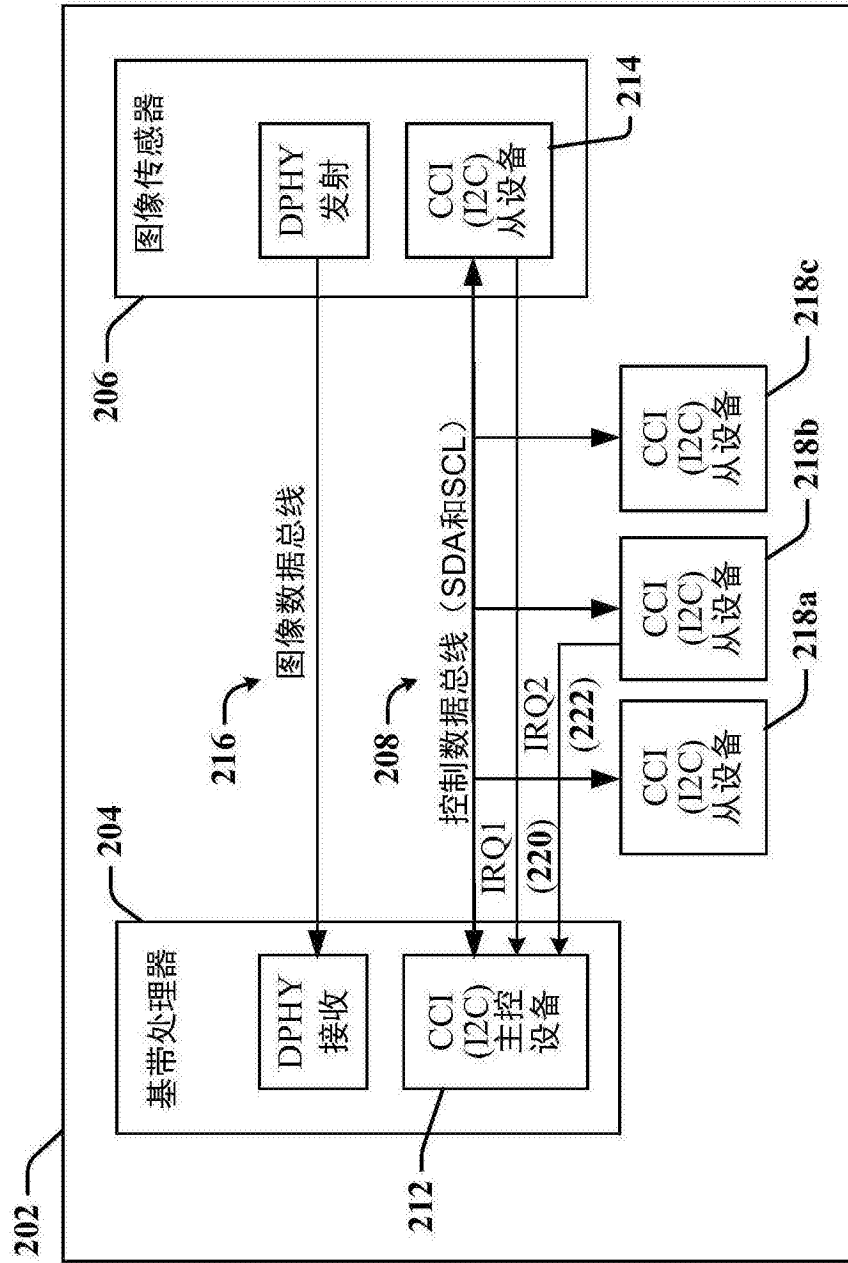


图2

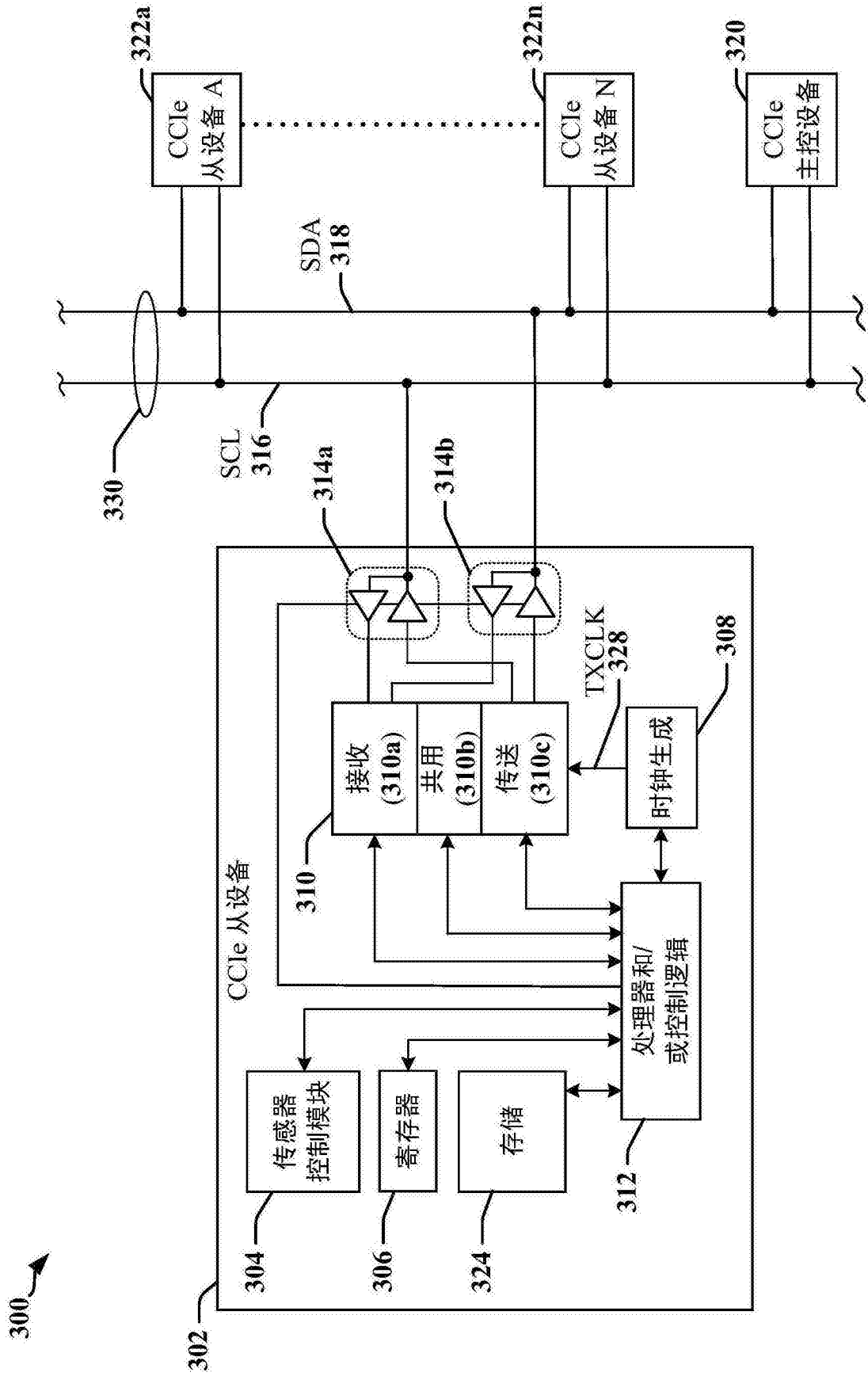
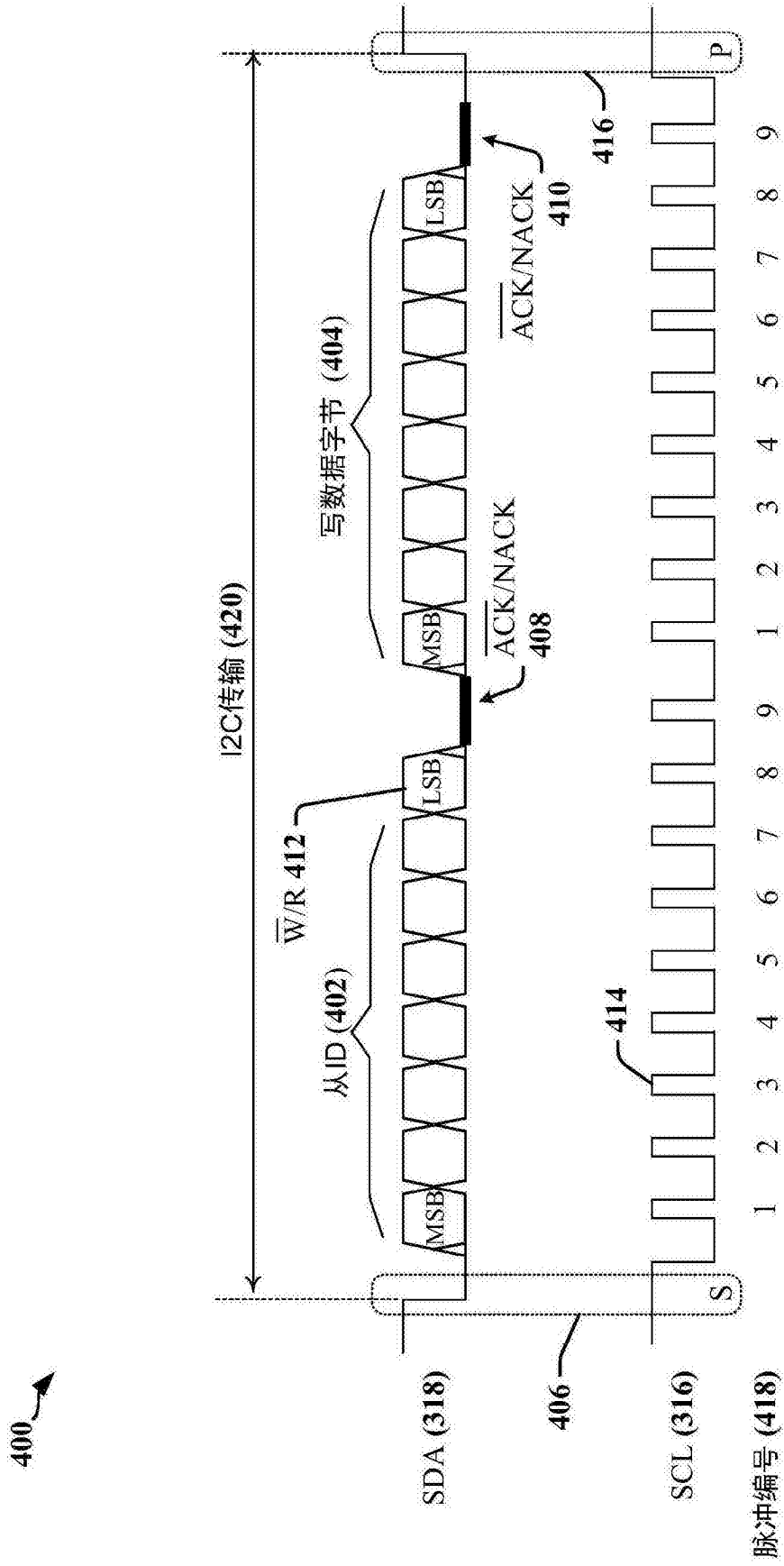


图3



400

图4

500 ↗

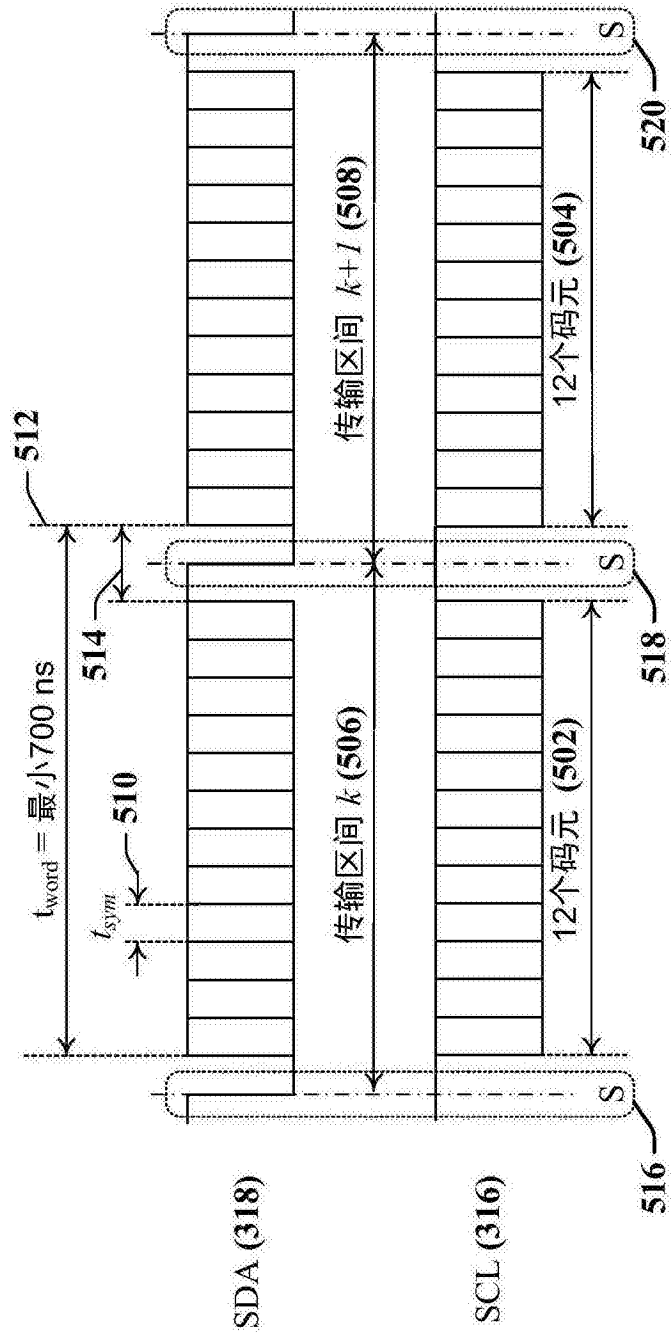


图5

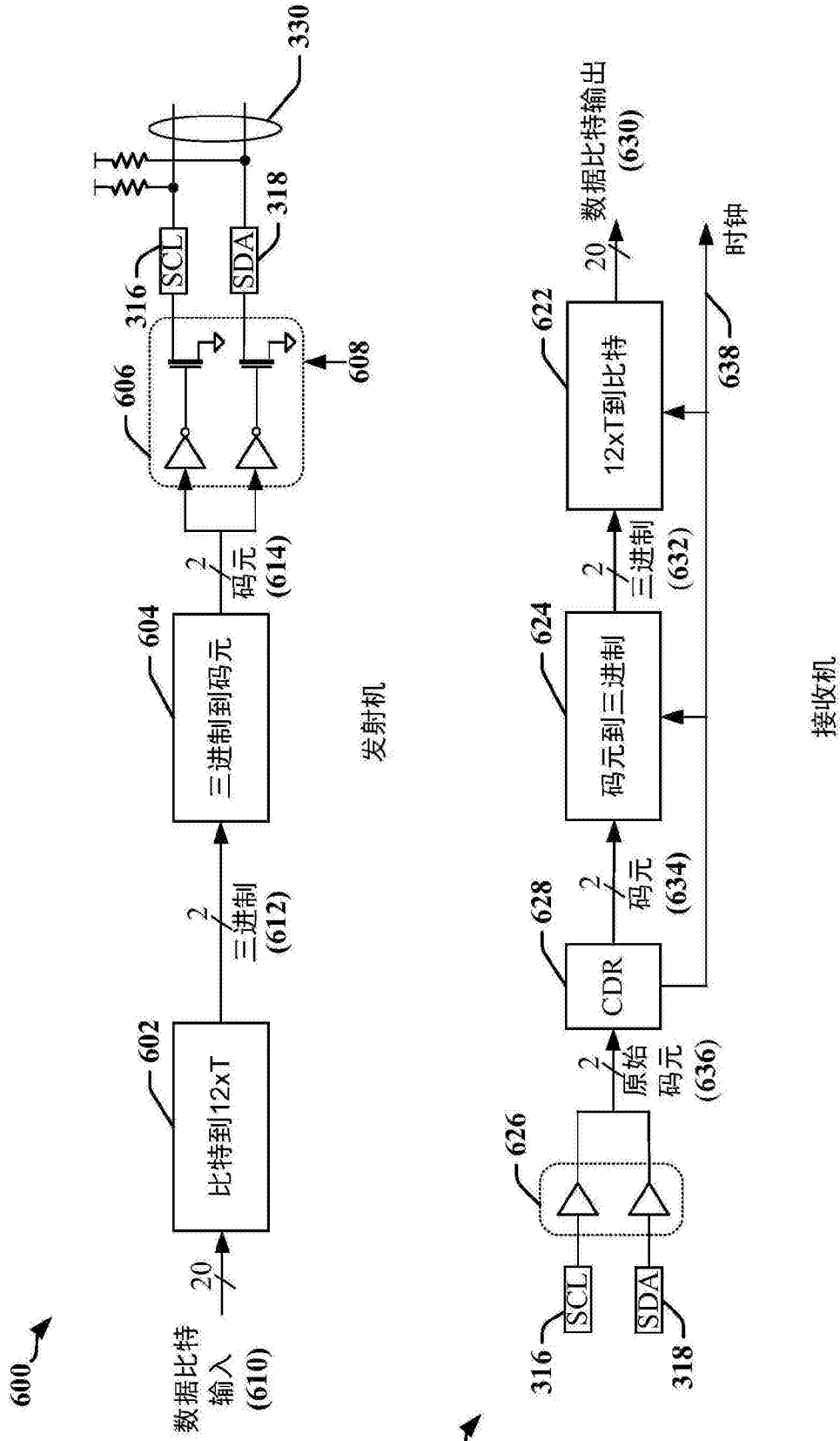


图6

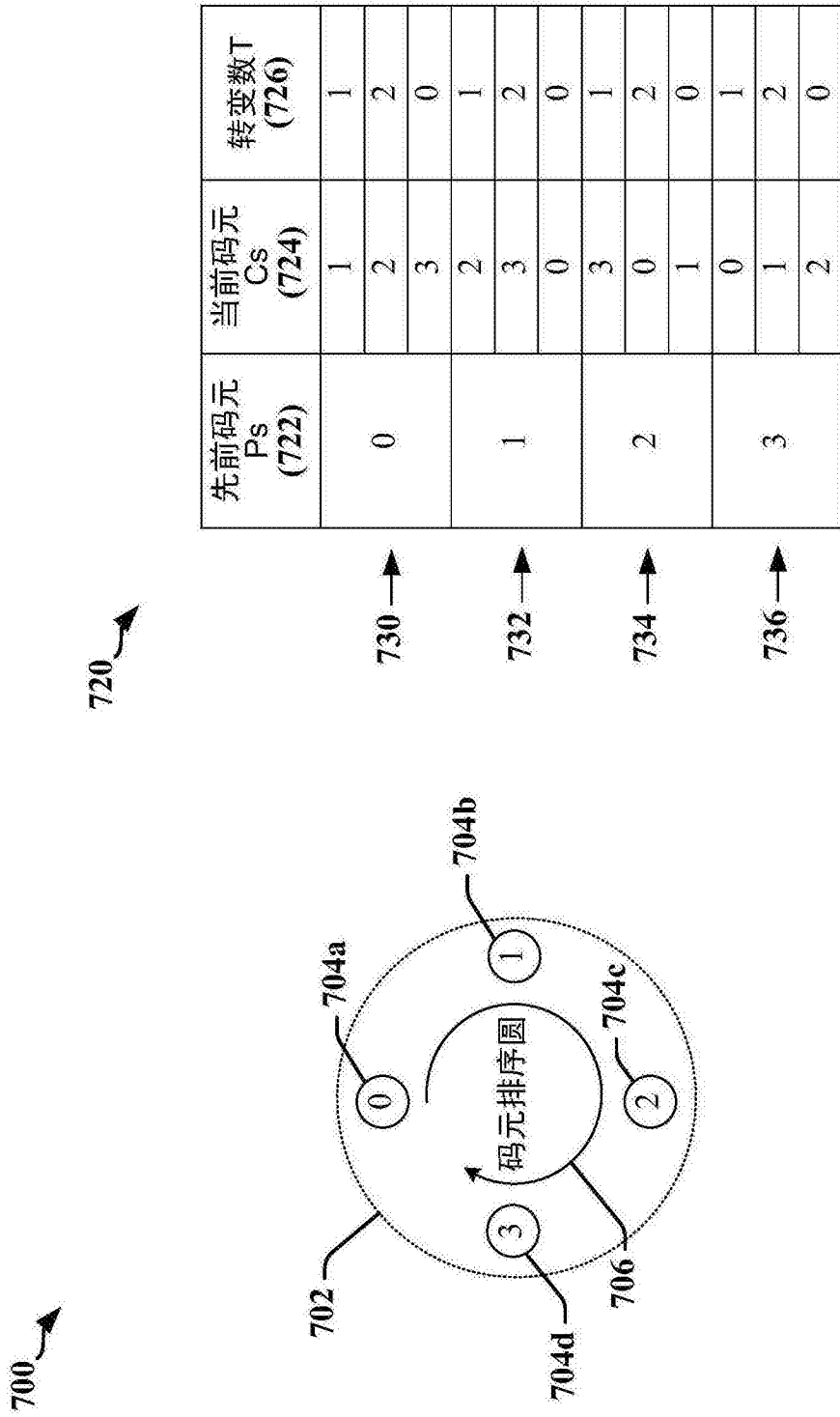


图7

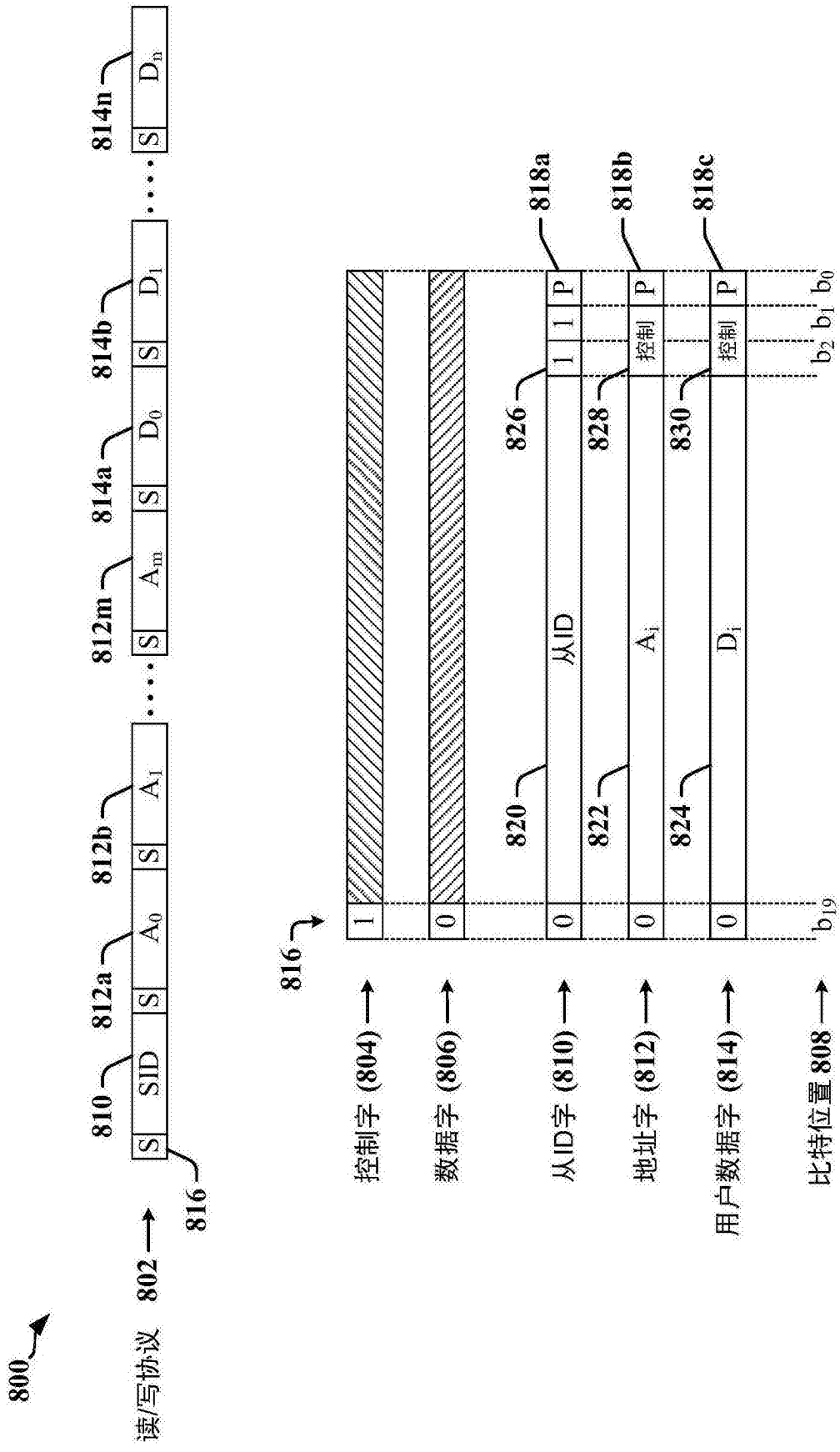


图8

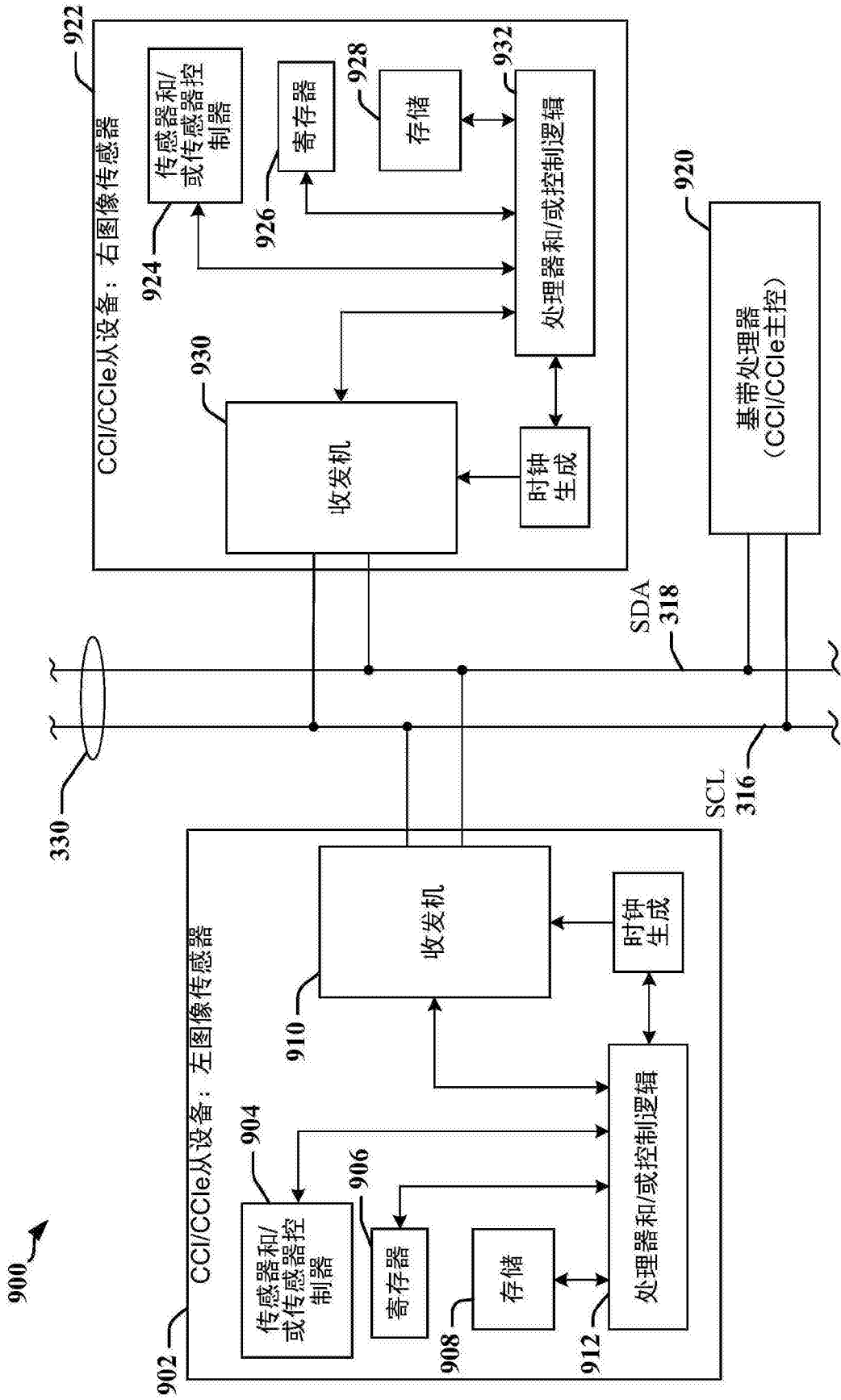


图9

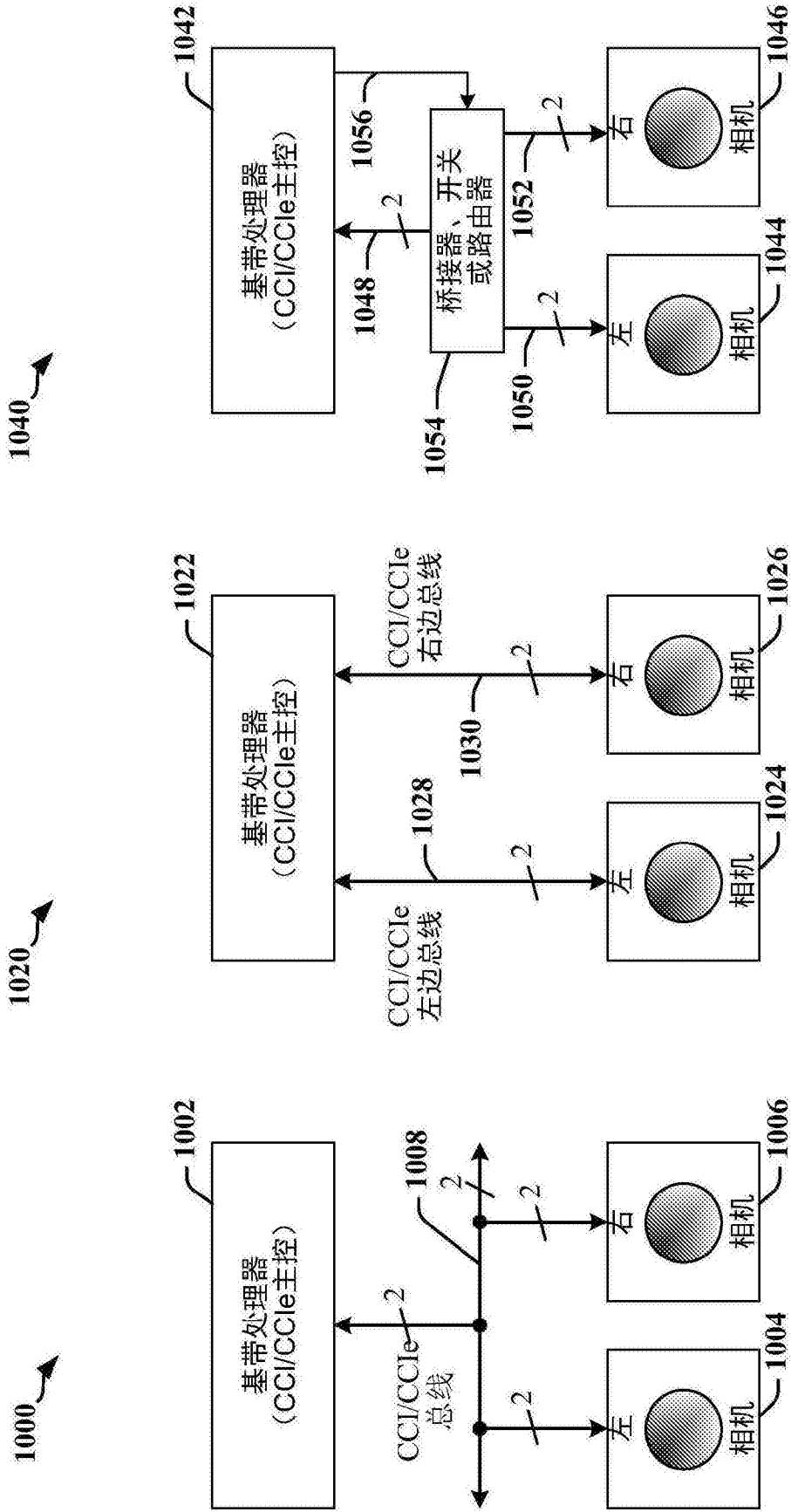


图10

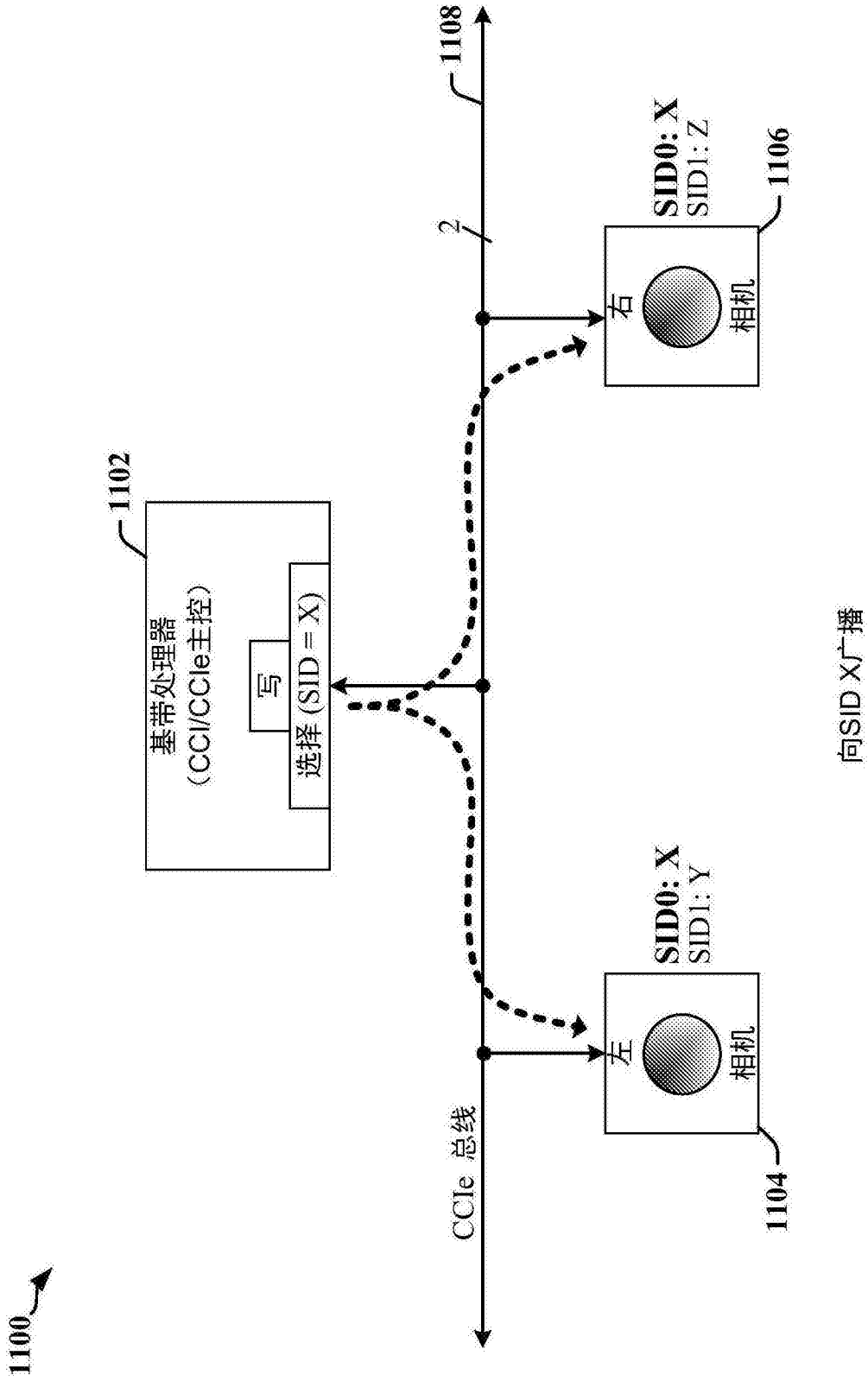


图11

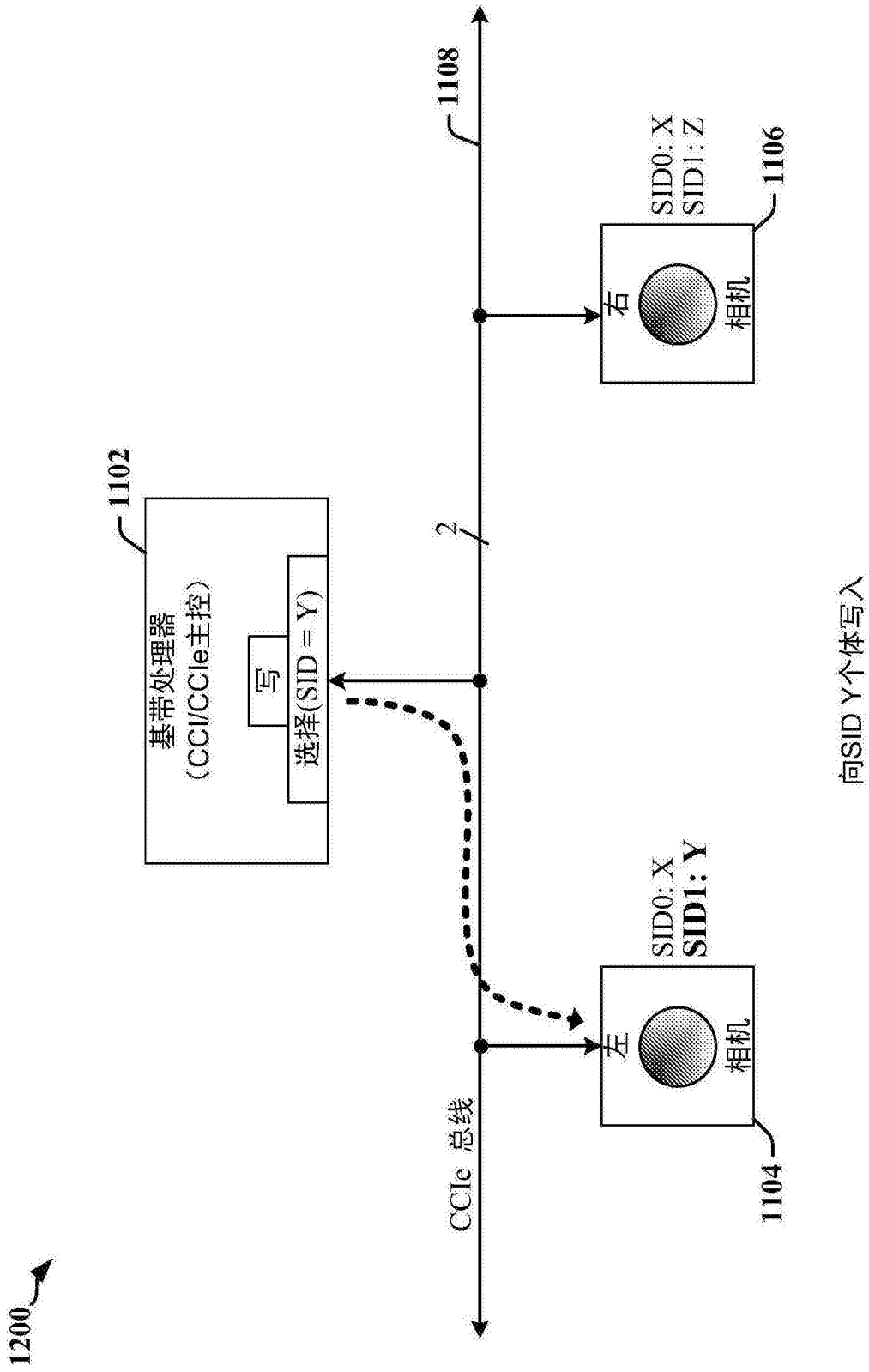


图12

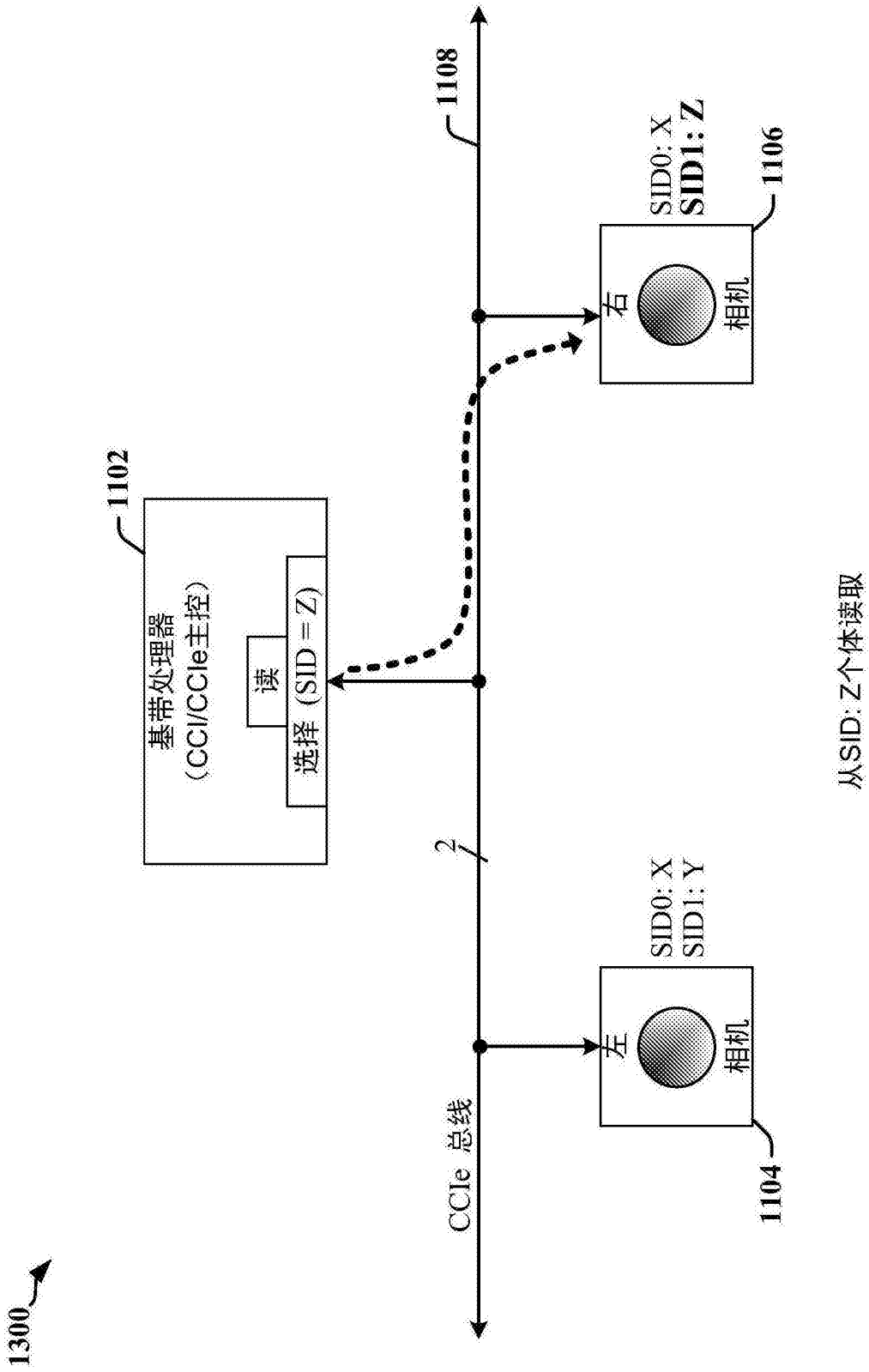


图13

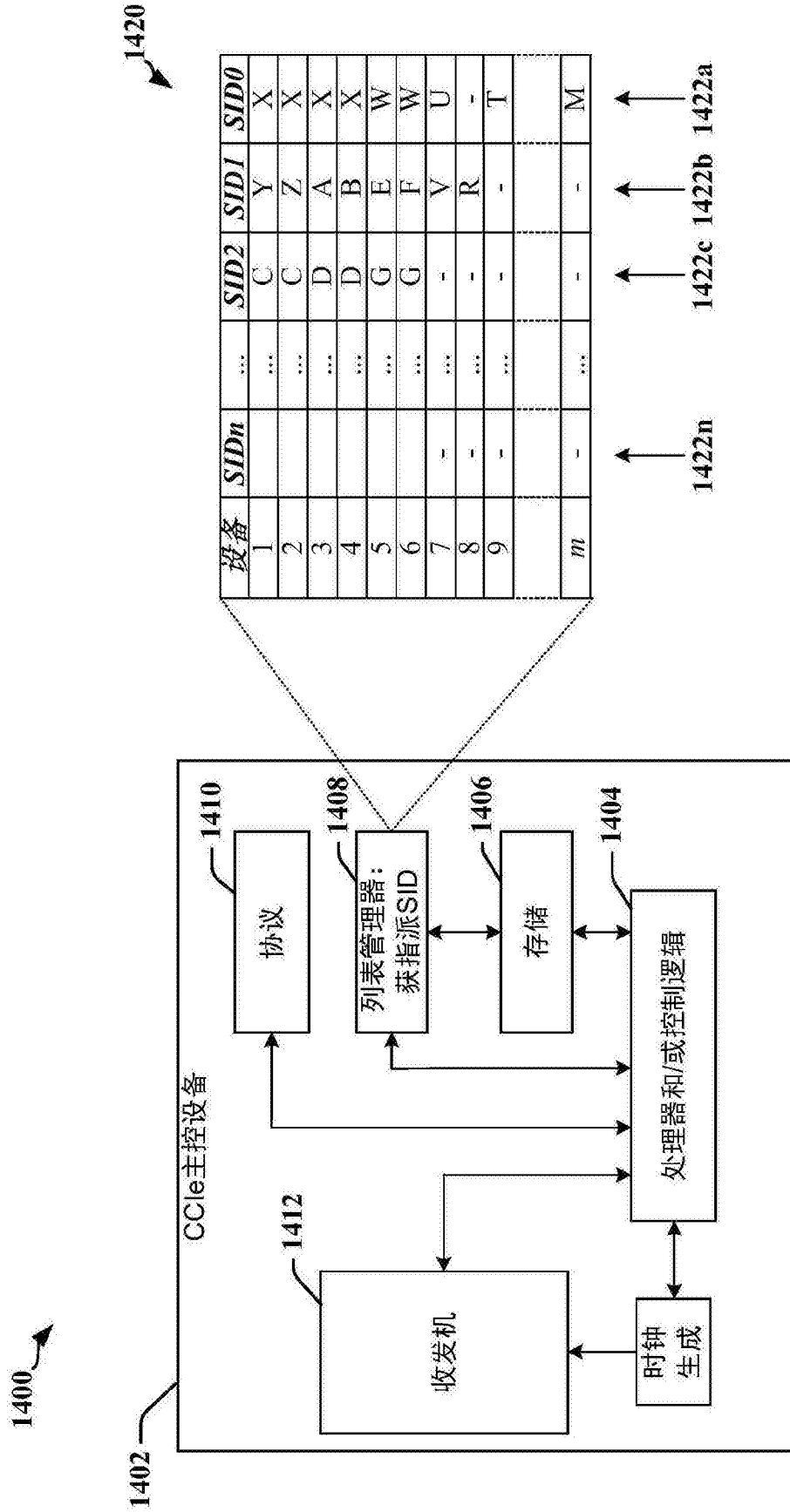


图14

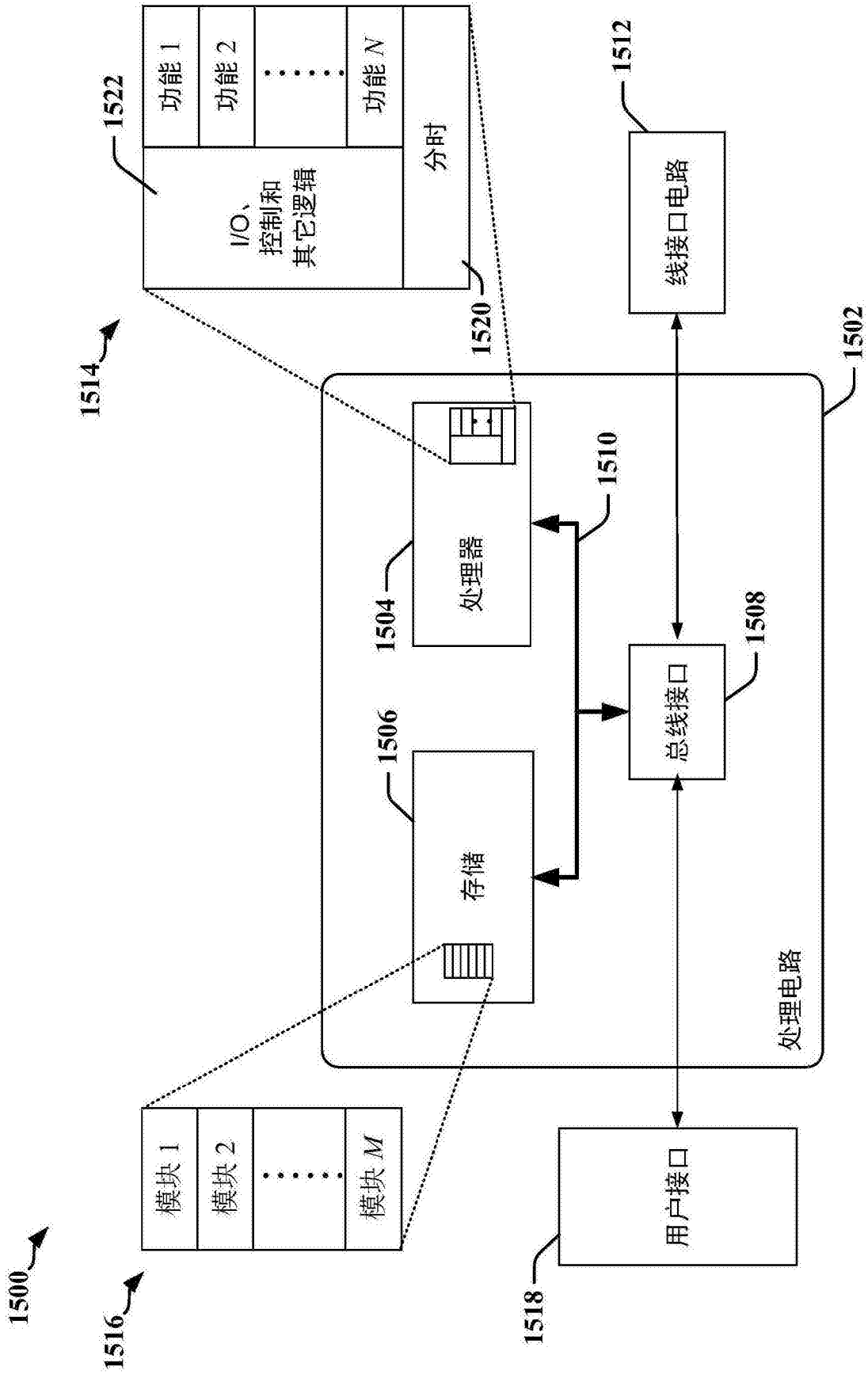


图15

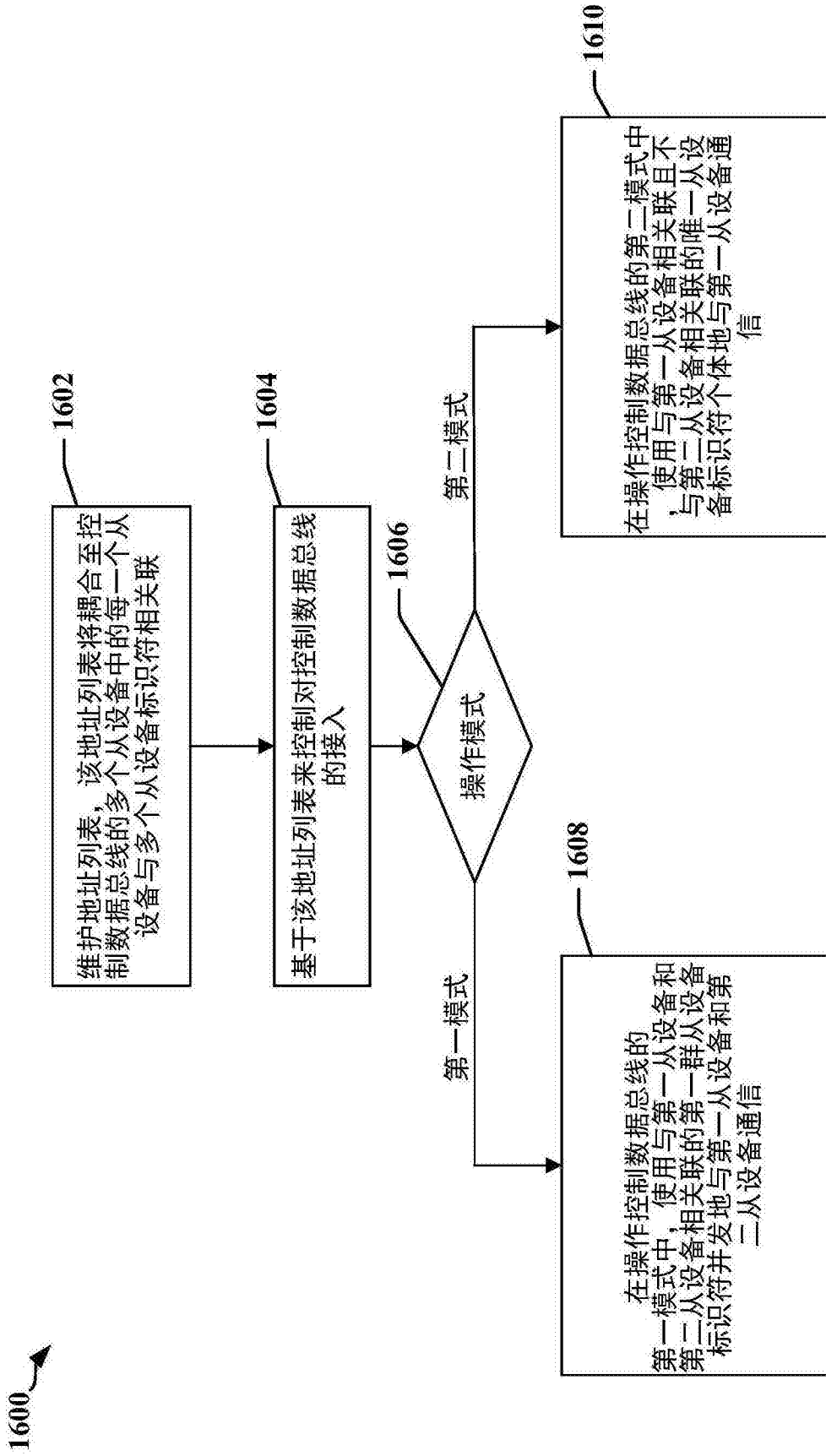


图16

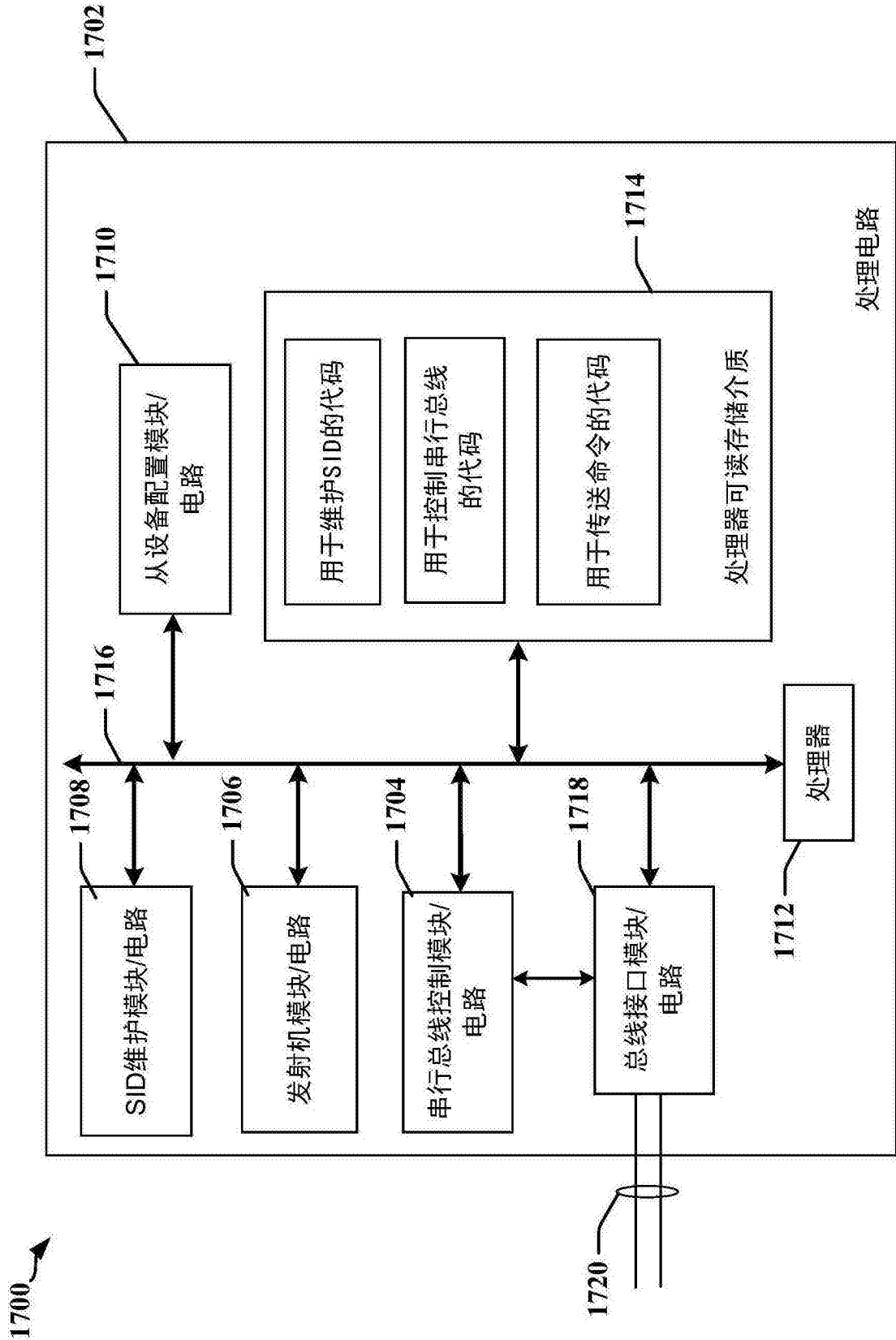


图17

1800 ↗

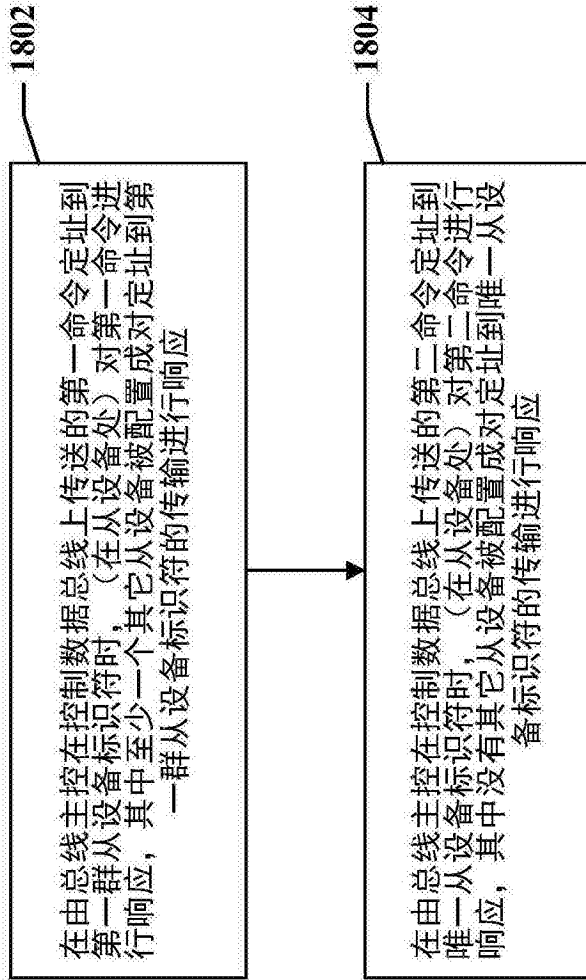


图18

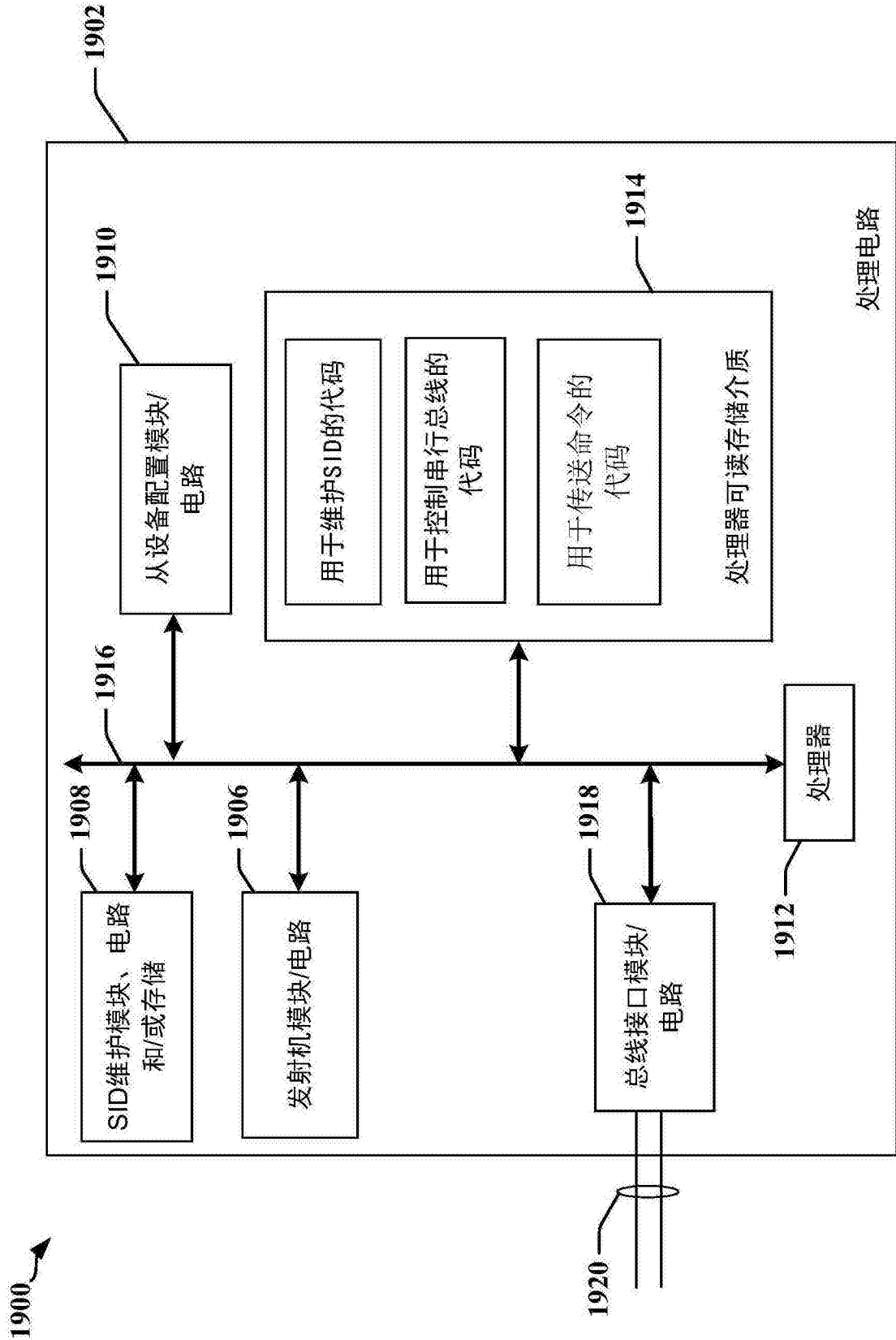


图19