



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I421872 B

(45) 公告日：中華民國 103 (2014) 年 01 月 01 日

(21) 申請案號：098109616 (22) 申請日：中華民國 98 (2009) 年 03 月 24 日

(51) Int. Cl. : G11C19/28 (2006.01) G09G3/36 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：陳勇志 CHEN, YUNG CHIH (TW)；劉俊欣 LIU, CHUN HSIN (TW)；蔡宗廷 TSAI, TSUNG TING (TW)；蘇國彰 SU, KUO CHANG (TW)

(74) 代理人：戴俊彥；吳豐任

(56) 參考文獻：

TW	200502908	TW	200617834
TW	200717437	TW	200844926
US	6426743B1	US	7310402B2
US	7310402B2	US	2003/0128180A1
US	2004/0227718A1	US	2007/0237285A1

審查人員：劉聖尉

申請專利範圍項數：28 項 圖式數：16 共 0 頁

(54) 名稱

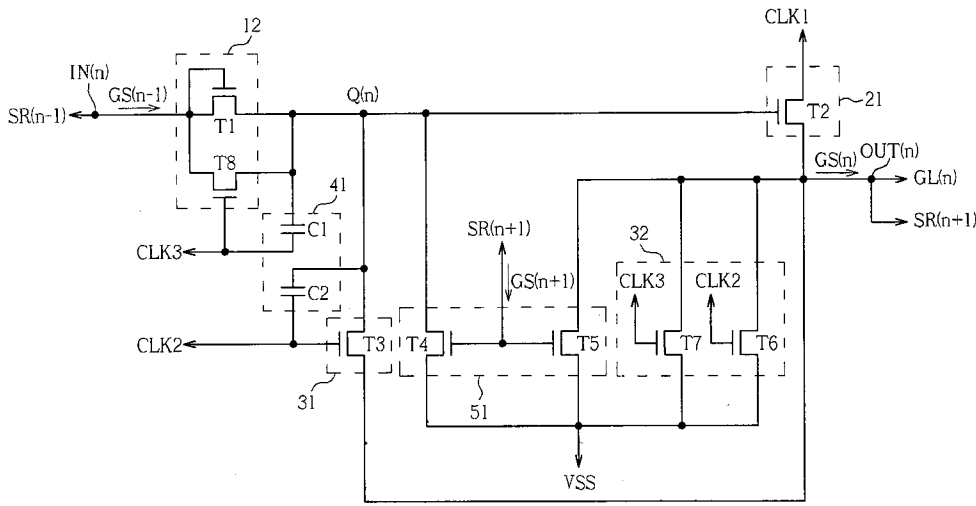
能降低耦合效應之移位暫存器

SHIFT REGISTER CAPABLE OF REDUCING COUPLING EFFECT

(57) 摘要

在一移位暫存器之複數個串接移位暫存單元中，每一移位暫存單元包含一提升電路、一輸入電路、一下拉電路、一補償電路、一輸入端、一輸出端，和一節點。每一移位暫存單元於輸入端接收一輸入電壓，並於輸出端提供一輸出電壓。輸入電路依據一第一時脈訊號來將輸入電壓傳至節點。提升電路依據一第二時脈訊號和一節點之電位提供輸出電壓。下拉電路依據一第三時脈訊號來提供一電壓至節點。補償電路耦接於輸入電路、下拉電路和節點，用來依據第二或第三時脈訊號來維持節點之電位。

A shift register has a plurality of shift register units coupled in series. Each shift register includes a pull-up circuit, an input circuit, a pull-down circuit, a compensation circuit, an input end, an output end and a node. Each shift register unit receives an input voltage at the input end and provides an output voltage at the output end. The input circuit transmits the input voltage to the node based on a first clock signal. The pull-up circuit provides the output voltage based on a second clock signal and the voltage level at the node. The pull-down circuit provides a voltage to the node based on a third clock signal. The compensation circuit is coupled to the input circuit, the pull-down circuit and the node for maintaining the voltage level of the node based on the second and third clock signals.



第10圖

- 12 . . . 輸入電路
- 21 . . . 提升電路
- 31、32 . . . 下拉電路
- 41 . . . 補償電路
- 51 . . . 預下拉電路
- GL(n) . . . 閘極線
- T1 ~ T8 . . . 電晶體開關
- C1、C2 . . . 電容
- VSS . . . 電壓源
- Q(n) . . . 端點
- IN(n) . . . 輸入端
- OUT(n) . . . 輸出端
- SR(n-1)、SR(n+1) . . . 移位暫存單元
- CLK1 ~ CLK3 . . . 時脈訊號
- GS(n-1)、GS(n) . . . 閘極驅動訊號

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98109616

※申請日： 98.3.24 ※IPC分類： G11C 19/38 (2006.01)

一、發明名稱：(中文/英文) G09G 3/36 (2006.01)

能降低耦合效應之移位暫存器/SHIFT REGISTER CAPABLE OF  
REDUCING COUPLING EFFECT

## 二、中文發明摘要：

在一移位暫存器之複數個串接移位暫存單元中，每一移位暫存單元包含一提升電路、一輸入電路、一下拉電路、一補償電路、一輸入端、一輸出端，和一節點。每一移位暫存單元於輸入端接收一輸入電壓，並於輸出端提供一輸出電壓。輸入電路依據一第一時脈訊號來將輸入電壓傳至節點。提升電路依據一第二時脈訊號和一節點之電位提供輸出電壓。下拉電路依據一第三時脈訊號來提供一電壓至節點。補償電路耦接於輸入電路、下拉電路和節點，用來依據第二或第三時脈訊號來維持節點之電位。

## 三、英文發明摘要：

A shift register has a plurality of shift register units coupled in series. Each shift register includes a pull-up circuit, an input circuit, a pull-down circuit, a compensation circuit, an

input end, an output end and a node. Each shift register unit receives an input voltage at the input end and provides an output voltage at the output end. The input circuit transmits the input voltage to the node based on a first clock signal. The pull-up circuit provides the output voltage based on a second clock signal and the voltage level at the node. The pull-down circuit provides a voltage to the node based on a third clock signal. The compensation circuit is coupled to the input circuit, the pull-down circuit and the node for maintaining the voltage level of the node based on the second and third clock signals.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(10)圖。

(二)本代表圖之元件符號簡單說明：

12	輸入電路	21	提升電路
31、32	下拉電路	41	補償電路
51	預下拉電路	GL(n)	閘極線
T1~T8	電晶體開關	C1、C2	電容
VSS	電壓源	Q(n)	端點
IN (n)	輸入端	OUT (n)	輸出端
SR (n-1)、SR (n+1)			移位暫存單元
CLK1~CLK3			時脈訊號
GS(n-1)、GS(n)			閘極驅動訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明相關於一種移位暫存器，尤指一種能降低耦合效應之移位暫存器。

### 【先前技術】

由於液晶顯示器(liquid crystal display)具有低輻射、體積小及低耗能等優點，已逐漸取代傳統的陰極射線管顯示器(cathode ray tube display)，因而被廣泛地應用在筆記型電腦、個人數位助理(personal digital assistant, PDA)、平面電視，或行動電話等資訊產品上。傳統液晶顯示器之方式是利用外部驅動晶片來驅動面板上的畫素以顯示影像，但為了減少元件數目並降低製造成本，近年來逐漸發展成將驅動電路結構直接製作於顯示面板上，例如將閘極驅動電路(gate driver)整合於液晶面板(gate on array, GOA)之技術。

請參考第1圖，第1圖為先前技術中一液晶顯示裝置100之簡化方塊示意圖。第1圖僅顯示了液晶顯示裝置100之部分結構，包含複數條閘極線GL(1)~GL(N)、一移位暫存器(shift register)110、一時脈產生器120和一電源產生器

130。時脈產生器 120 可提供移位暫存器 110 運作所需之起始脈衝訊號 VST 和兩時脈訊號 CLK1 和 CLK2，而電源產生器 130 可提供移位暫存器 110 運作所需之操作電壓 VDD 和 VSS。移位暫存器 110 包含有複數級串接之移位暫存單元 SR (1) ~ SR (N)，其輸出端分別耦接於相對應之閘極線 GL(1) ~ GL(N)。依據時脈訊號 CLK1、CLK2 和起始脈衝訊號 VST，移位暫存器 110 可分別透過移位暫存單元 SR (1) ~ SR (N) 依序輸出閘極驅動訊號 GS(1) ~ GS(N) 至相對應之閘極線 GL(1) ~ GL(N)。

請參考第 2 圖，第 2 圖為先前技術之複數級移位暫存單元 SR (1) ~ SR (N) 中一第 n 級移位暫存單元 SR (n) 之示意圖 (n 為介於 1 和 N 之間的整數)。移位暫存單元 SR (n) 包含一輸入端 IN(n)、一輸出端 OUT(n)、一輸入電路 (input circuit) 10、一提升電路 20 (pull-up circuit)、兩下拉電路 (pull-down circuit) 30 和 34，以及一維持電路 40。移位暫存單元 SR (N) 之輸入端 IN (n) 耦接於前一級移位暫存單元 SR (n-1) 之輸出端 OUT (n-1)，而移位暫存單元 SR (n) 之輸出端 OUT (n) 耦接於下一級移位暫存單元 SR (n+1) 之輸入端 IN (n+1) 和閘極線 GL(n)。

輸入電路 10 包含一電晶體開關 T1，其閘極和汲極耦接於輸入端 IN (n)，其源極耦接於端點 Q(n)，因此能依據閘

極驅動訊號  $GS(n-1)$  來控制之輸入端  $IN(n)$  和端點  $Q(n)$  之間的訊號導通路徑。提升電路 20 包含一電晶體開關 T2，其閘極耦接於端點  $Q(n)$ ，汲極耦接於時脈產生器 120 以接收時脈訊號 CLK1，而源極耦接於輸出端  $OUT(n)$ ，因此能依據端點  $Q(n)$  之電位來控制時脈訊號 CLK1 和輸出端  $OUT(n)$  之間的訊號導通路徑。

下拉電路 30 包含電晶體開關 T3~T6，串接之電晶體開關 T3 和 T4 於閘極分別接收彼此反向之時脈訊號 CLK1 和 CLK2，並依此產生控制訊號至電晶體開關 T5 和 T6 之閘極，因此電晶體開關 T5 能依據其閘極之電位來控制端點  $Q(n)$  和電壓源 VSS 之間的訊號導通路徑，而電晶體開關 T6 能依據其閘極之電位來控制輸出端  $OUT(n)$  和電壓源 VSS 之間的訊號導通路徑。下拉電路 34 包含電晶體開關 T7~T10，串接之電晶體開關 T7 和 T8 於閘極分別接收彼此反向之時脈訊號 CLK2 和 CLK1，並依此產生控制訊號至電晶體開關 T9 和 T10 之閘極，因此電晶體開關 T9 能依據其閘極之電位來控制端點  $Q(n)$  和電壓源 VSS 之間的訊號導通路徑，而電晶體開關 T10 能依據其閘極之電位來控制輸出端  $OUT(n)$  和電壓源 VSS 之間的訊號導通路徑。

維持電路 40 包含電晶體開關 T11~T13，電晶體開關 T11 之閘極耦接於輸出端  $OUT(n)$ ，用來在閘極驅動訊號  $GS(n)$



為高電位時，將電晶體開關 T5 和 T6 之閘極維持在低電位 VSS；電晶體開關 T12 之閘極耦接於輸入端 IN (n)，用來在閘極驅動訊號 GS(n-1) 為高電位時，將電晶體開關 T9 和 T10 之閘極維持在低電位 VSS；電晶體開關 T13 之閘極耦接於輸出端 OUT (n)，用來在閘極驅動訊號 GS(n) 為高電位時，將電晶體開關 T9 和 T10 之閘極維持在低電位 VSS。

請參考第 3 圖，第 3 圖為先前技術之液晶顯示裝置 100 在運作時之時序圖。在先前技術之液晶顯示裝置 100 中，時脈訊號 CLK1 和 CLK2 之工作週期(duty cycle)皆為 1/2，且具相反相位。第一級移位暫存單元 SR (1) 依據起始脈衝訊號 VST 產生第一級閘極驅動訊號 GS(1)，而第二級至第 N 級移位暫存單元 SR (2) ~ SR (N) 則分別依據前一級移位暫存單元之輸出訊號來產生第二級至第 N 級閘極驅動訊號 GS(2)~GS(N) (第 3 圖僅顯示閘極驅動訊號 GS(1)、GS(n-1) 和 GS(n))。亦即，閘極驅動訊號 GS(1)~GS(N-1) 分別為致能移位暫存單元 SR (2) ~ SR (N) 所需之起始脈衝訊號。

先前技術之液晶顯示裝置 100 於時間點 t1 至 t3 之間執行上拉動作，於時間點 t3 之後執行下拉動作。在時間點 t1 和 t2 之間，時脈訊號 CLK1 具低電位，而時脈訊號 CLK2 和閘極驅動訊號 GS(n-1) 具高電位，此時電晶體開關 T1 會被導通，端點 Q(n) 之電位會被拉高至高電位 VDD，而電晶體開

關 T2 亦會被導通。在時間點  $t_2$  時，時脈訊號 CLK1 由低電位切換至高電位，因此能透過導通之電晶體開關 T2 於時間點  $t_2$  和  $t_3$  之間（時脈訊號 CLK1 具高電位時）提供具高電位之閘極驅動訊號 GS(n)。另一方面，下拉電路 30 和 40 以互補方式運作，分別負責 50% 的下拉動作。在時間點  $t_3$  和  $t_4$  之間，時脈訊號 CLK1 為低電位，時脈訊號 CLK2 為高電位，且移位暫存單元 SR (N) 之輸入訊號（閘極驅動訊號 GS(n-1)）和輸出訊號（閘極驅動訊號 GS(n)）皆為低電位，此時電晶體開關 T5 和 T6 之閘極實質上維持在低電位 VSS，電晶體開關 T9 和 T10 之閘極實質上維持在高電位 VDD。同理，在時間點  $t_4$  和  $t_5$  之間，時脈訊號 CLK1 為高電位，時脈訊號 CLK2 為低電位，且移位暫存單元 SR (N) 之輸出訊號（閘極驅動訊號 GS(n)）為低電位，此時電晶體開關 T5 和 T6 之閘極實質上維持在高電位 VDD，電晶體開關 T9 和 T10 之閘極實質上維持在低電位 VSS。針對第 n 級移位暫存單元 SR (n) 而言，端點 Q(n) 之電位只需在時間點  $t_1$  和  $t_3$  之間有所變動，其它時間則希望能夠穩定地維持在低電位。理想情形下，電晶體開關 T2 可被完全地關閉，此時時脈訊號 CLK1 不會影響端點 Q(n) 之電位。然而在實際情形下，時脈訊號 CLK1 會透過電晶體開關 T2 之寄生電容耦合到端點 Q(n)，使得端點 Q(n) 之電位會隨著時脈訊號 CLK1 而產生波動（例如在時間點  $t_4$ 、 $t_5$  和  $t_6$  時），因此會影響液晶顯示裝置 100 的運作。

## 【發明內容】

本發明提供一種能降低耦合效應之移位暫存器，其包含複數個串接之移位暫存單元，其中每一移位暫存單元包含一輸入端，用來接收一輸入電壓；一輸出端，用來提供一輸出電壓；一節點；一輸入電路，用來依據一第三時脈訊號來將該輸入電壓傳至該節點；一提升電路，用來依據一第一時脈訊號和該節點之電位於該輸出端提供該輸出電壓；一第一下拉電路，用來依據一第二時脈訊號來提供一第一電壓至該節點；及一補償電路，耦接於該輸入電路、該第一下拉電路和該節點，用來依據該第二或該第三時脈訊號來維持該節點之電位。

## 【實施方式】

請參考第 4 圖，第 4 圖為本發明中一液晶顯示裝置 200 之簡化方塊示意圖。第 4 圖顯示了液晶顯示裝置 200 之複數條閘極線  $GL(1) \sim GL(N)$ 、移位暫存器 210、時脈產生器 220 和電源產生器 230。時脈產生器 220 可提供移位暫存器 210 運作所需之起始脈衝訊號 VST 和複數組時脈訊號  $CLK1 \sim CLKM$ ，而電源產生器 230 可提供移位暫存器 210 運作所需之操作電壓 VDD 和 VSS。移位暫存器 210 包含有複數級串

接之移位暫存單元  $SR(1) \sim SR(N)$ ，其輸出端分別耦接於相對應之閘極線  $GL(1) \sim GL(N)$ 。依據時脈訊號  $CLK1 \sim CLKM$  和起始脈衝訊號  $VST$ ，移位暫存器 210 可透過移位暫存單元  $SR(1) \sim SR(N)$  分別輸出閘極驅動訊號  $GS(1) \sim GS(N)$  至相對應之閘極線  $GL(1) \sim GL(N)$ 。第一級移位暫存單元  $SR(1)$  依據起始脈衝訊號  $VST$  產生第一級閘極驅動訊號  $GS(1)$ ，而第二級至第  $N$  級移位暫存單元  $SR(2) \sim SR(N)$  則分別依據前一級移位暫存單元所產生之訊號來產生第二級至第  $N$  級閘極驅動訊號  $GS(2) \sim GS(N)$ 。

請參考第 5 圖，第 5 圖為本發明第一實施例中一第  $n$  級移位暫存單元  $SR(n)$  的電路架構示意圖。移位暫存單元  $SR(n)$  包含一輸入端  $IN(n)$ 、一輸出端  $OUT(n)$ 、一輸入電路 11、一提升電路 21、一下拉電路 31，以及一補償電路 41。移位暫存單元  $SR(N)$  之輸入端  $IN(n)$  耦接於前一級移位暫存單元  $SR(N-1)$  之輸出端  $OUT(n-1)$ ，而移位暫存單元  $SR(N)$  之輸出端  $OUT(n)$  則耦接於下一級移位暫存單元  $SR(n+1)$  之輸入端  $IN(n+1)$ 。本發明第一實施例使用三組時脈訊號  $CLK1 \sim CLK3$  來驅動每一移位暫存單元。

輸入電路 11 包含一電晶體開關  $T1$ ，其閘極和汲極皆耦接於輸入端  $IN(n)$  以接收閘極驅動訊號  $GS(n-1)$ ，而源極耦接於端點  $Q(n)$ ，因此能依據閘極驅動訊號  $GS(n-1)$  來控制

之輸入端 IN (n) 和端點 Q(n)之間的訊號導通路徑。提升電路 21 包含一電晶體開關 T2，其閘極耦接於端點 Q(n)，汲極耦接於時脈產生器 220 以接收時脈訊號 CLK1，而源極耦接於輸出端 OUT (n)，因此能依據端點 Q(n)之電位來控制時脈訊號 CLK1 和輸出端 OUT (n) 之間的訊號導通路徑。下拉電路 31 包含電晶體開關 T3，其閘極耦接於時脈產生器 220 以接收時脈訊號 CLK2，汲極耦接於端點 Q(n)，而源極耦接於輸出端 OUT (n)，因此能依據時脈訊號 CLK2 之電位來控制電壓源 VSS 和端點 Q(n)之間的訊號導通路徑。補償電路 41 包含兩電容 C1 和 C2，耦接於輸入電路 11、下拉電路 31 和端點 Q(n)。電容 C1 耦接於時脈產生器 220 和端點 Q(n)之間，以依據時脈訊號 CLK3 來維持端點 Q(n)之電位。電容 C2 耦接於電晶體開關 T3 之閘極和端點 Q(n)之間，以依據時脈訊號 CLK2 來維持端點 Q(n)之電位。

請參考第 6 圖，第 6 圖為本發明第一實施例之液晶顯示裝置 200 在運作時之時序圖。此時本發明使用三組時脈訊號 CLK1~CLK3 來驅動每一級移位暫存單元，時脈訊號 CLK1~CLK3 之工作週期皆不大於 1/3，每一時脈訊號在其週期內維持在高電位的時間和起始脈衝訊號 VST 維持在高電位的時間相同。第一級移位暫存單元 SR (1) 依據起始脈衝訊號 VST 產生第一級閘極驅動訊號 GS(1)，而第二級至第 N 級移位暫存單元 SR (2) ~SR (N) 則分別依據前一級移位暫存

單元之輸出訊號來產生第二級至第 N 級閘極驅動訊號 GS(2) ~ GS(N) (第 6 圖僅顯示閘極驅動訊號 GS(1)、GS(n-1)和 GS(n))。亦即，閘極驅動訊號 GS(1) ~ GS(N-1)分別為致能移位暫存單元 SR (2) ~ SR (N) 所需之起始脈衝訊號。

本發明之液晶顯示裝置 200 在時脈訊號 CLK1 或 CLK3 具高電位的期間執行上拉運作。舉例來說，在時間點 t1 和 t2 之間，時脈訊號 CLK1 和 CLK2 具低電位，而時脈訊號 CLK3 和閘極驅動訊號 GS(n-1)具高電位，此時電晶體開關 T1 會被導通，端點 Q(n)之電位會被拉高至高電位 VDD，而電晶體開關 T2 亦會被導通。在時間點 t2 時，時脈訊號 CLK1 由低電位切換至高電位，此時 Q 點電壓由於電晶體開關 T2 之寄生電容的緣故被進一步抬高，於是此時電晶體開關 T2 為導通。因此能透過導通之電晶體開關 T2 於時間點 t2 和 t3 之間（時脈訊號 CLK1 具高電位時）提供具高電位之閘極驅動訊號 GS(n)。

本發明之液晶顯示裝置 200 在時脈訊號 CLK2 具高電位的期間執行下拉運作。舉例來說，在時間點 t3 和 t4 之間，時脈訊號 CLK2 具高電位，此時電晶體開關 T3 會被導通，端點 Q(n)之電位會被拉低至低電位 VSS。在完成下拉動作後，本發明使用補償電路 41 來抵銷端點 Q(n)之電位隨著時脈訊號波動的情形，將端點 Q(n)之電位穩定地維持在低電

位。舉例來說，在時間點  $t_4$  時，時脈訊號 CLK2 由高電位切換至低電位，而時脈訊號 CLK3 由低電位切換至高電位，此時會透過電容 C1 和 C2 來互相抵銷端點 Q(n) 的電位波動；在時間點  $t_5$  時，時脈訊號 CLK1 由低電位切換至高電位，而時脈訊號 CLK3 由高電位切換至低電位，此時會透過電容 C1 來抵銷端點 Q(n) 的電位波動；在時間點  $t_6$  時，時脈訊號 CLK1 由高電位切換至低電位，而時脈訊號 CLK2 由低電位切換至高電位，此時會透過電容 C2 來抵銷端點 Q(n) 的電位波動。

請參考第 7 圖，第 7 圖為本發明第二實施例中一第  $n$  級移位暫存單元 SR ( $n$ ) 的電路架構示意圖。第二實施例之移位暫存單元 SR ( $n$ ) 包含一輸入端 IN ( $n$ )、一輸出端 OUT ( $n$ )、輸入電路 11、提升電路 21、下拉電路 31、補償電路 41，以及一預下拉電路 51。本發明第二實施例和第一實施例結構類似，不同之處在於本發明第二實施例另包含預下拉電路 51。預下拉電路 51 包含電晶體開關 T4 和 T5：電晶體開關 T4 之閘極耦接於下一級移位暫存單元 SR ( $n+1$ ) 之輸出端 OUT ( $n+1$ ) 以接收閘極驅動訊號 GS ( $n+1$ )，汲極耦接於端點 Q( $n$ )，而源極耦接於電壓源 VSS，因此能依據閘極驅動訊號 GS ( $n+1$ ) 之電位來控制電壓源 VSS 和端點 Q( $n$ ) 之間的訊號導通路徑；電晶體開關 T5 之閘極耦接於下一級移位暫存單元 SR ( $n+1$ ) 之輸出端 OUT ( $n+1$ ) 以接收閘極驅

動訊號  $GS(n+1)$ ，汲極耦接於輸出端  $OUT(n)$ ，而源極耦接於電壓源  $VSS$ ，因此能依據閘極驅動訊號  $GS(n+1)$  之電位來控制電壓源  $VSS$  和輸出端  $OUT(n)$  之間的訊號導通路徑。本發明第二實施例和第一實施例之運作原理類似，同樣可由第 6 圖所示之時序圖來作說明。同時，本發明第二實施例另可透過預下拉電路 51 來維持端點  $Q(n)$  和輸出端  $OUT(n)$  之準位，例如在閘極驅動訊號  $GS(n+1)$  具高電位時將端點  $Q(n)$  和輸出端  $OUT(n)$  維持在  $VSS$  之準位。

請參考第 8 圖，第 8 圖為本發明第三實施例中一第  $n$  級移位暫存單元  $SR(n)$  的電路架構示意圖。第三實施例之移位暫存單元  $SR(n)$  包含一輸入端  $IN(n)$ 、一輸出端  $OUT(n)$ 、輸入電路 11、提升電路 21、兩下拉電路 31 和 32，以及補償電路 41。本發明第三實施例和第一實施例結構類似，不同之處在於本發明第三實施例另包含下拉電路 32。下拉電路 32 包含電晶體開關  $T6$  和  $T7$ ；電晶體開關  $T6$  之閘極耦接於時脈產生器 220 以接收時脈訊號  $CLK2$ ，汲極耦接於輸出端  $OUT(n)$ ，而源極耦接於電壓源  $VSS$ ，因此能依據時脈訊號  $CLK2$  之電位來控制電壓源  $VSS$  和輸出端  $OUT(n)$  之間的訊號導通路徑；電晶體開關  $T7$  之閘極耦接於時脈產生器 220 以接收時脈訊號  $CLK3$ ，汲極耦接於輸出端  $OUT(n)$ ，而源極耦接於電壓源  $VSS$ ，因此能依據時脈訊號  $CLK3$  之電位來控制電壓源  $VSS$  和輸出端  $OUT(n)$  之間的訊號導通路



徑。本發明第三實施例和第一實施例之運作原理類似，同樣可由第 6 圖所示之時序圖來作說明。同時，本發明第三實施例另可透過下拉電路 32 來維持輸出端  $OUT(n)$  之準位，例如分別在時脈訊號  $CLK2$  和  $CLK3$  具高電位時將輸出端  $OUT(n)$  維持在  $VSS$  之準位。

請參考第 9 圖，第 9 圖為本發明第四實施例中一第  $n$  級移位暫存單元  $SR(n)$  的電路架構示意圖。第四實施例之移位暫存單元  $SR(n)$  包含一輸入端  $IN(n)$ 、一輸出端  $OUT(n)$ 、一輸入電路 12、提升電路 21、下拉電路 31，以及補償電路 41。本發明第四實施例和第一實施例結構類似，不同之處在於本發明第四實施例之輸入電路 12 包含兩電晶體開關  $T1$  和  $T8$ 。電晶體開關  $T1$  之閘極和汲極皆耦接於輸入端  $IN(n)$  以接收閘極驅動訊號  $GS(n-1)$ ，而源極耦接於端點  $Q(n)$ ，因此能依據閘極驅動訊號  $GS(n-1)$  來控制之輸入端  $IN(n)$  和端點  $Q(n)$  之間的訊號導通路徑；電晶體開關  $T8$  之閘極耦接於時脈產生器 220 以接收時脈訊號  $CLK3$ ，汲極耦接於輸入端  $IN(n)$  以接收閘極驅動訊號  $GS(n-1)$ ，而源極耦接於端點  $Q(n)$ ，因此能依據時脈訊號  $CLK3$  之電位來控制輸入端  $IN(n)$  和端點  $Q(n)$  之間的訊號導通路徑。本發明第四實施例和第一實施例之運作原理類似，同樣可由第 6 圖所示之時序圖來作說明。同時，本發明第四實施例另可透過輸入電路 12 之電晶體開關  $T8$  來維持端點  $Q(n)$  之準位，例如在時

脈訊號 CLK3 具高電位時將端點 Q(n)維持在閘極驅動訊號 GS(n-1)之準位。

請參考第 10 圖，第 10 圖為本發明第五實施例中一第 n 級移位暫存單元 SR (n) 的電路架構示意圖。第五實施例之移位暫存單元 SR (n) 包含一輸入端 IN (n)、一輸出端 OUT (n)、輸入電路 12、提升電路 21、兩下拉電路 31 和 32、補償電路 41，以及預下拉電路 51。本發明第五實施例和第一實施例結構類似，不同之處在於本發明第五實施例另包含下拉電路 32 和預下拉電路 51，且本發明第五實施例之輸入電路 12 包含兩電晶體開關 T1 和 T8。輸入電路 12、下拉電路 32 和預下拉電路 51 之結構如第 7 圖～第 9 圖所示。本發明第五實施例和第一實施例之運作原理類似，同樣可由第 6 圖所示之時序圖來作說明。同時，本發明第五實施例另可透過預下拉電路 51 來維持端點 Q(n)和輸出端 OUT (n) 之準位，另可透過下拉電路 32 來維持輸出端 OUT (n) 之準位，且另可透過輸入電路 12 之電晶體開關 T8 來維持端點 Q(n)之準位。

請參考第 11 圖，第 11 圖為本發明第六實施例中一第 n 級移位暫存單元 SR (n) 的電路架構示意圖。本發明第六實施例和第五實施例結構相同，不同之處在於本發明第六實施例使用四組時脈訊號 CLK1～CLK4 來驅動移位暫存單元 SR (n)。輸入電路 12 依據時脈訊號 CLK4 來運作，提升電路

21 依據時脈訊號 CLK1 來運作，下拉電路 32 依據時脈訊號 CLK2、CLK3 來運作，而下拉電路 31 依據時脈訊號 CLK2 來運作。本發明第六實施例之移位暫存單元 SR (n) 同樣能透過補償電路 41 來維持端點 Q(n) 之電位。

請參考第 12 圖，第 12 圖為本發明第六實施例在運作時之時序圖。此時本發明使用四組時脈訊號 CLK1~CLK4 來驅動每一級移位暫存單元，時脈訊號 CLK1~CLK4 之工作週期皆不大於 1/4，每一時脈訊號在其週期內維持在高電位的時間和起始脈衝訊號 VST 維持在高電位的時間相同。本發明第六實施例之液晶顯示裝置 200 在時脈訊號 CLK1、CLK2 或 CLK4 具高電位的期間執行上拉運作。舉例來說，在時間點 t1 和 t2 之間，時脈訊號 CLK1~CLK3 具低電位，而時脈訊號 CLK4 和閘極驅動訊號 GS(n-1) 具高電位，此時電晶體開關 T1 和 T6 會被導通，端點 Q(n) 之電位會被拉高至高電位 VDD，而電晶體開關 T2 亦會被導通。在時間點 t2 時，時脈訊號 CLK1 由低電位切換至高電位，因此能透過導通之電晶體開關 T2 於時間點 t2 和 t3 之間（時脈訊號 CLK1 具高電位時）提供具高電位之閘極驅動訊號 GS(n)。在時間點 t3 時，時脈訊號 CLK2 由低電位切換至高電位，因此能透過導通之電晶體開關 T6 拉低輸出端 OUT(n) 之電位。

接著，本發明第六實施例之液晶顯示裝置 200 在時脈訊

號 CLK3 具高電位的期間執行下拉運作。舉例來說，在時間點 t3 和 t4 之間，時脈訊號 CLK3 由低電位切換至高電位，此時電壓源 VSS 會透過導通之電晶體開關 T3 拉低端點 Q(n) 之電位。在完成下拉動作後，本發明使用補償電路 41 來抵銷端點 Q(n) 之電位隨著時脈訊號波動的情形，將端點 Q(n) 之電位穩定地維持在低電位。舉例來說，在時間點 t4 時，時脈訊號 CLK2 由高電位切換至低電位，而時脈訊號 CLK3 由低電位切換至高電位，此時會透過電容 C2 來抵銷端點 Q(n) 的電位波動；在時間點 t5 時，時脈訊號 CLK3 由高電位切換至低電位，而時脈訊號 CLK4 由低電位切換至高電位，此時會透過電容 C1 和 C2 來抵銷端點 Q(n) 的電位波動；在時間點 t6 時，時脈訊號 CLK1 由低電位切換至高電位，而時脈訊號 CLK4 由高電位切換至低電位，此時會透過電容 C1 來抵銷端點 Q(n) 的電位波動。

在前述本發明第一至第六實施例中，輸入電路 11 和 12 之電晶體開關 T1 為二極體連接方式之薄膜電晶體(thin film transistor, TFT)，其汲極和閘極互相連接。然而，本發明輸入電路 11 和 12 中之電晶體開關 T1 亦可採用其它架構，如第 13a~13d 圖所示。在第 13a~13c 圖的實施例中，電晶體開關 T1 之汲極耦接至輸入端 IN (n) 以接收閘極驅動訊號 GS(n-1)，源極耦接至端點 Q (n)，而閘極則耦接於時脈產生器 220 以接收對應於閘極驅動訊號 GS(n-1) 之時脈訊號

CLK1、CLK2 或 CLK3。在第 13d 圖的實施例中，電晶體開關 T1 之汲極耦接至輸入端 IN (n) 以接收閘極驅動訊號 GS(n-1)，源極耦接至端點 Q (n)，而閘極則耦接至具高電位之電壓源 VDD。

第 5 圖至第 10 圖所示為使用三組時脈訊號 CLK1~CLK3 之實施例，第 11 圖和第 12 圖所示為使用四組時脈訊號 CLK1~CLK4 之實施例，然而本發明亦可使用更多組時脈訊號來驅動每一移位暫存單元。前述實施例之電晶體開關 T1~T8 可包含薄膜電晶體開關或其它類似功能之元件。本發明透過補償電路 41 來維持端點 Q(n) 之電位，可消除時脈訊號對移位暫存單元之耦合效應，具有結構簡單和高抗雜訊能力等優點。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖為先前技術中一液晶顯示裝置之簡化方塊示意圖。

第 2 圖為先前技術之複數級移位暫存單元中一第 n 級移位暫存單元之示意圖。

第 3 圖為先前技術之液晶顯示裝置在運作時之時序圖。

第 4 圖為本發明中一液晶顯示裝置之簡化方塊示意圖。

第 5 圖為本發明第一實施例中一第  $n$  級移位暫存單元之示意圖。

第 6 圖為本發明第一實施例之液晶顯示裝置在運作時之時序圖。

第 7 圖為本發明第二實施例中一第  $n$  級移位暫存單元之示意圖。

第 8 圖為本發明第三實施例中一第  $n$  級移位暫存單元之示意圖。

第 9 圖為本發明第四實施例中一第  $n$  級移位暫存單元之示意圖。

第 10 圖為本發明第五實施例中一第  $n$  級移位暫存單元之示意圖。

第 11 圖為本發明第六實施例中一第  $n$  級移位暫存單元之示意圖。

第 12 圖為本發明第六實施例在運作時之時序圖。

第 13a~13d 圖為本發明輸入電路實施例之示意圖。

#### 【主要元件符號說明】

100、200	液晶顯示裝置	10~12	輸入電路	110、210
	移位暫存器	20、21	提升電路	
120、220	時脈產生器	30~34	下拉電路	130、230

	電源產生器	40	維持電路
CLK1~CLKM		時脈訊號	41 補償電路
VST	起始脈衝訊號	51	預下拉電路 T1~T8
	電晶體開關	C1、C2	電容
VSS、VDD	電壓源	t1~t6	時間點
Q(n)	端點	IN (n)	輸入端
OUT (n)、OUT (1) ~ OUT (N)			輸出端
GL(n)、GL(1)~GL(N)			閘極線
SR (n-1)、SR (n)、SR (n+1)、 SR (1) ~ SR (N)			移位暫存單元
GS(n-1)、GS(n)、GS(1) ~ GS(N)			閘極驅動訊號

## 七、申請專利範圍：

1. 一種能降低耦合效應之移位暫存器，其包含複數個串接之移位暫存單元，其中每一移位暫存單元包含：
  - 一輸入端，用來接收一輸入電壓；
  - 一輸出端，用來提供一輸出電壓；
  - 一節點；
  - 一提升電路，用來依據一第一時脈訊號和該節點之電位於該輸出端提供該輸出電壓；
  - 一輸入電路，用來依據一第二時脈訊號來將該輸入電壓傳至該節點；
  - 一第一下拉電路，用來依據一第三時脈訊號來提供一第一電壓至該節點；
  - 一預下拉電路 (pre-pull-down circuit)，用來依據一回授電壓來提供一第二電壓至該輸出端或該節點；及
  - 一補償電路，耦接於該輸入電路、該第一下拉電路和該節點，用來依據該第二或該第三時脈訊號來維持該節點之電位。
  
2. 如請求項 1 所述之移位暫存器，其中該提升電路包含一第一開關，該第一開關包含：
  - 一第一端，用來接收該第一時脈訊號；
  - 一第二端，耦接於該輸出端；及



一控制端，耦接於該節點。

3. 如請求項 2 所述之移位暫存器，其中該第一開關係包含一薄膜電晶體(thin film transistor, TFT)。

4. 如請求項 1 所述之移位暫存器，其中該輸入電路包含：  
一第一開關，其包含：

- 一第一端，耦接於該輸入端；
- 一第二端，耦接於該節點；及
- 一控制端，耦接於該輸入端。

5. 如請求項 4 所述之移位暫存器，其中：

該輸入電路另依據該第三時脈訊號來將該輸入電壓傳至  
該節點；且

該輸入電路另包含：

一第二開關，其包含：

- 一第一端，耦接於該輸入端；
- 一第二端，耦接於該節點；及
- 一控制端，用來接收該第三時脈訊號。

6. 如請求項 5 所述之移位暫存器，其中該補償電路包含：

一第一電容，耦接於該節點和該第二開關之控制端之

間，用來依據該第三時脈訊號來維持該節點之電位。

7. 如請求項 5 所述之移位暫存器，其中該第一和第二開關係包含薄膜電晶體。
8. 如請求項 1 所述之移位暫存器，其中：  
該輸入電路另依據該第一時脈訊號或該第三時脈訊號來將該輸入電壓傳至該節點；且  
該輸入電路包含：
  - 一第一開關，其包含：
    - 一第一端，耦接於該輸入端；
    - 一第二端，耦接於該節點；及
    - 一控制端，用來接收該第一時脈訊號、該第二時脈訊號，或該第三時脈訊號。
9. 如請求項 8 所述之移位暫存器，其中該輸入電路另包含：
  - 一第二開關，其包含：
    - 一第一端，耦接於該輸入端；
    - 一第二端，耦接於該節點；及
    - 一控制端，用來接收該第三時脈訊號。
10. 如請求項 9 所述之移位暫存器，其中該補償電路包含：
  - 一第一電容，耦接於該節點和該第二開關之控制端之間，用來依據該第三時脈訊號來維持該節點之電位。

11. 如請求項 9 所述之移位暫存器，其中該第一和第二開關係包含薄膜電晶體。
12. 如請求項 1 所述之移位暫存器，其中：  
該第一下拉電路另依據該第二時脈訊號來提供該第一電壓至該節點；且  
該第一下拉電路包含一第一開關，該第一開關包含：
  - 一第一端，耦接於該節點；
  - 一第二端，用來接收該第一電壓；及
  - 一控制端，用來接收該第二時脈訊號。
13. 如請求項 12 所述之移位暫存器，其中該補償電路包含：
  - 一第一電容，耦接於該節點和該第一開關之控制端之間，用來依據該第二時脈訊號來維持該節點之電位。
14. 如請求項 12 所述之移位暫存器，其中該第一開關係包含一薄膜電晶體。
15. 如請求項 1 所述之移位暫存器，另包含一第二下拉電路，用來依據該第二或該第三時脈訊號來提供一第三電壓或一第四電壓至該輸出端。

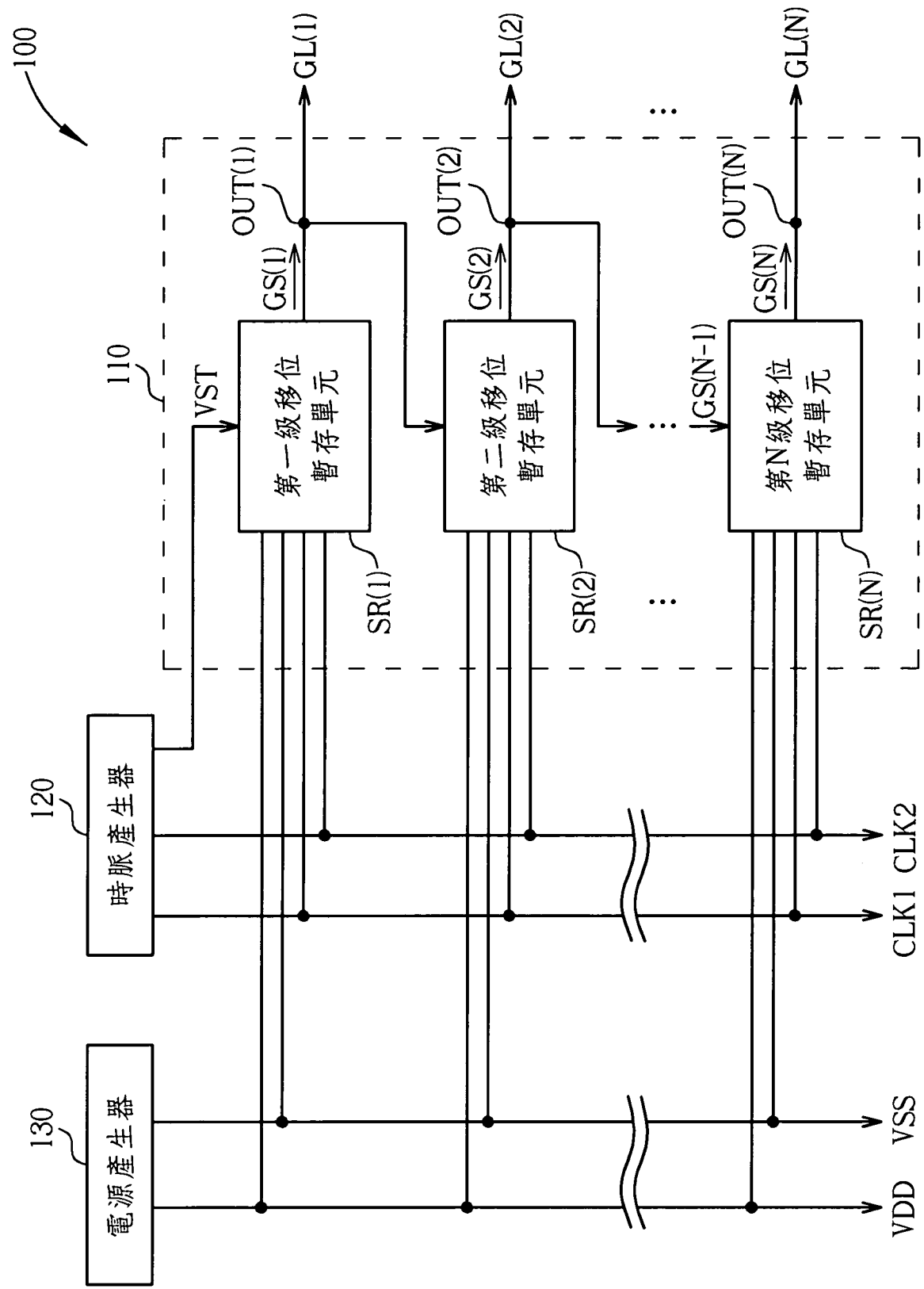
16. 如請求項 15 所述之移位暫存器，其中該第二下拉電路包含：
- 一第一開關，其包含：
    - 一第一端，耦接於該輸出端；
    - 一第二端，用來接收該第三電壓；及
    - 一控制端，用來接收該第二時脈訊號；及
  - 一第二開關，其包含：
    - 一第一端，耦接於該輸出端；
    - 一第二端，用來接收該第四電壓；及
    - 一控制端，用來接收該第三時脈訊號。
17. 如請求項 16 所述之移位暫存器，其中該第一、第三和第四電壓實質上具相等電位。
18. 如請求項 17 所述之移位暫存器，其中該第一和第二開關係包含薄膜電晶體。
19. 如請求項 1 所述之移位暫存器，其中該回授電壓係為該複數個串接之移位暫存單元中一下一級移位暫存單元之輸出電壓。
20. 如請求項 1 所述之移位暫存器，其中該預下拉電路包含：
- 一第一開關，其包含：

- 一 第一端，耦接於該輸出端；
  - 一 第二端，用來接收該第二電壓；及
  - 一 控制端，用來接收該回授電壓；及
  - 一 第二開關，其包含：
    - 一 第一端，耦接於該節點；
    - 一 第二端，用來接收該第二電壓；及
    - 一 控制端，用來接收該回授電壓。
21. 如請求項 20 所述之移位暫存器，其中該第一電壓和該第二電壓實質上具相等電位。
22. 如請求項 20 所述之移位暫存器，其中該第一和第二開關係包含薄膜電晶體。
23. 如請求項 1 所述之移位暫存器，其中該補償電路包含：
  - 一 第一電容，耦接於該輸入電路和該節點，用來依據該第三時脈訊號來維持該節點之電位；及
  - 一 第二電容，耦接於該第一下拉電路和該節點，用來依據該第二時脈訊號來維持該節點之電位。
24. 如請求項 1 所述之移位暫存器，其中每一時脈訊號維持在低準位的時間長於維持在高準位的時間。

25. 如請求項 1 所述之移位暫存器，其中每一時脈訊號之工作週期(duty cycle)皆不大於  $1/3$ 。
26. 如請求項 1 所述之移位暫存器，其中每一時脈訊號維持在高準位的時間彼此相等。
27. 如請求項 1 所述之移位暫存器，其中該移位暫存單元之輸入電壓係為一前一級移位暫存單元之輸出電壓。
28. 一種能降低耦合效應之移位暫存器，其包含複數個串接之移位暫存單元，其中每一移位暫存單元包含：
- 一輸入端，用來接收一輸入電壓；
  - 一輸出端，用來提供一輸出電壓；
  - 一節點；
  - 一提升電路，用來依據一第一時脈訊號和該節點之電位於該輸出端提供該輸出電壓；
  - 一輸入電路，用來依據一第二時脈訊號來將該輸入電壓傳至該節點；
  - 一下拉電路，用來依據一第三時脈訊號來提供一第一電壓至該節點；及
  - 一補償電路，耦接於該輸入電路、該下拉電路和該節點，用來依據該第二或該第三時脈訊號來維持該節點之電位，該補償電路包含：

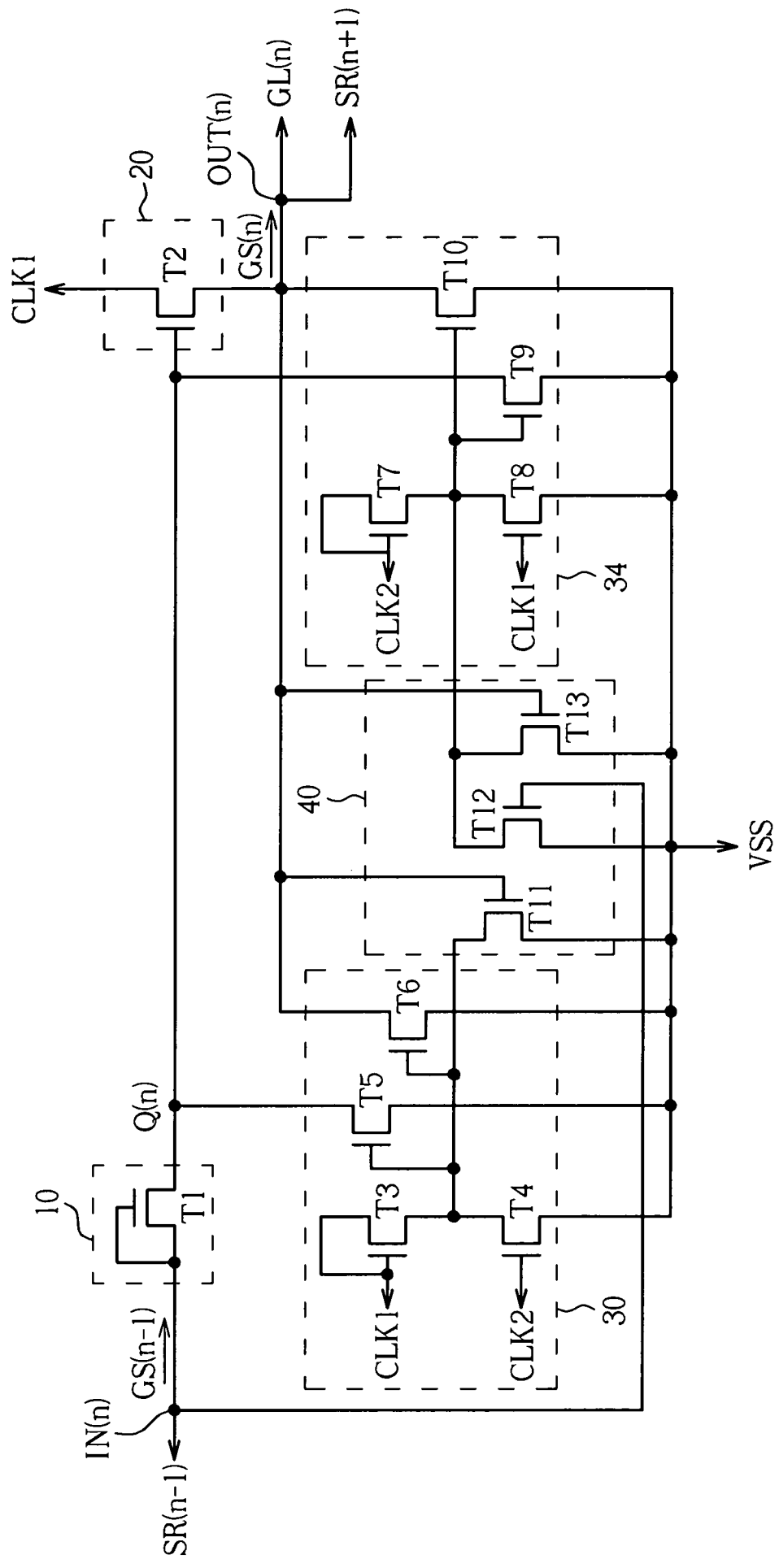
- 一 第一電容，耦接於該輸入電路和該節點，用來依據該第三時脈訊號來維持該節點之電位；及
- 一 第二電容，耦接於該下拉電路和該節點，用來依據該第二時脈訊號來維持該節點之電位。

#### 八、圖式：

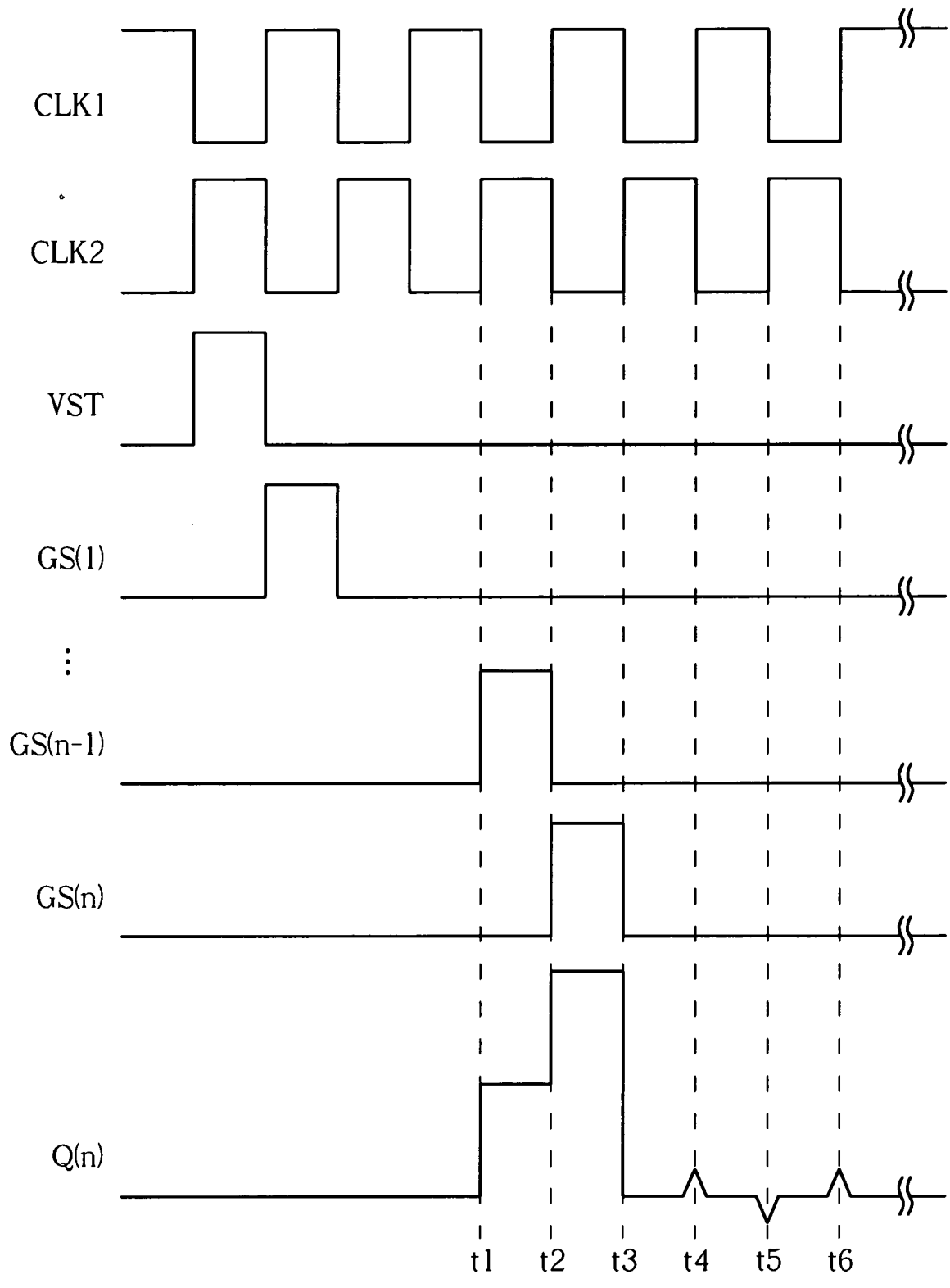


第1圖

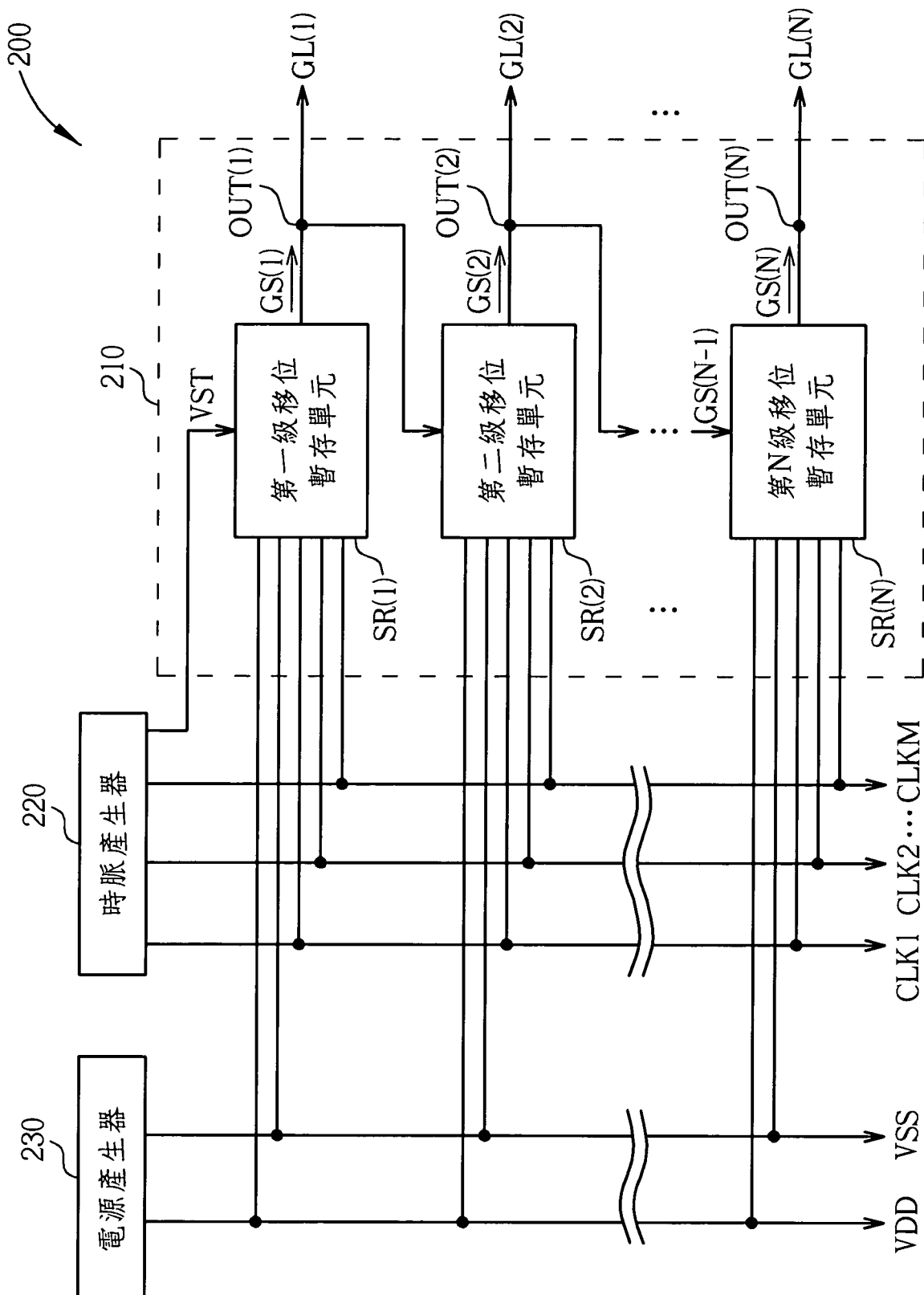




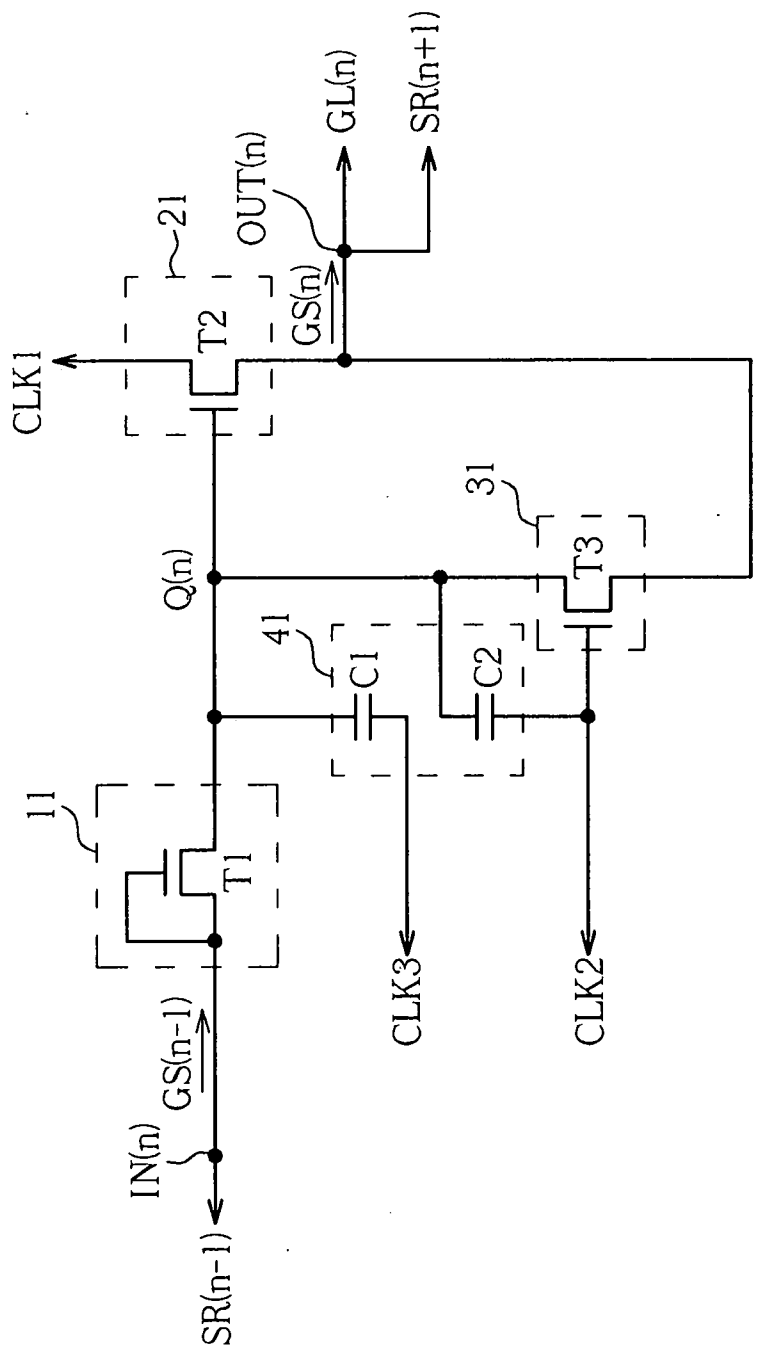
第2圖



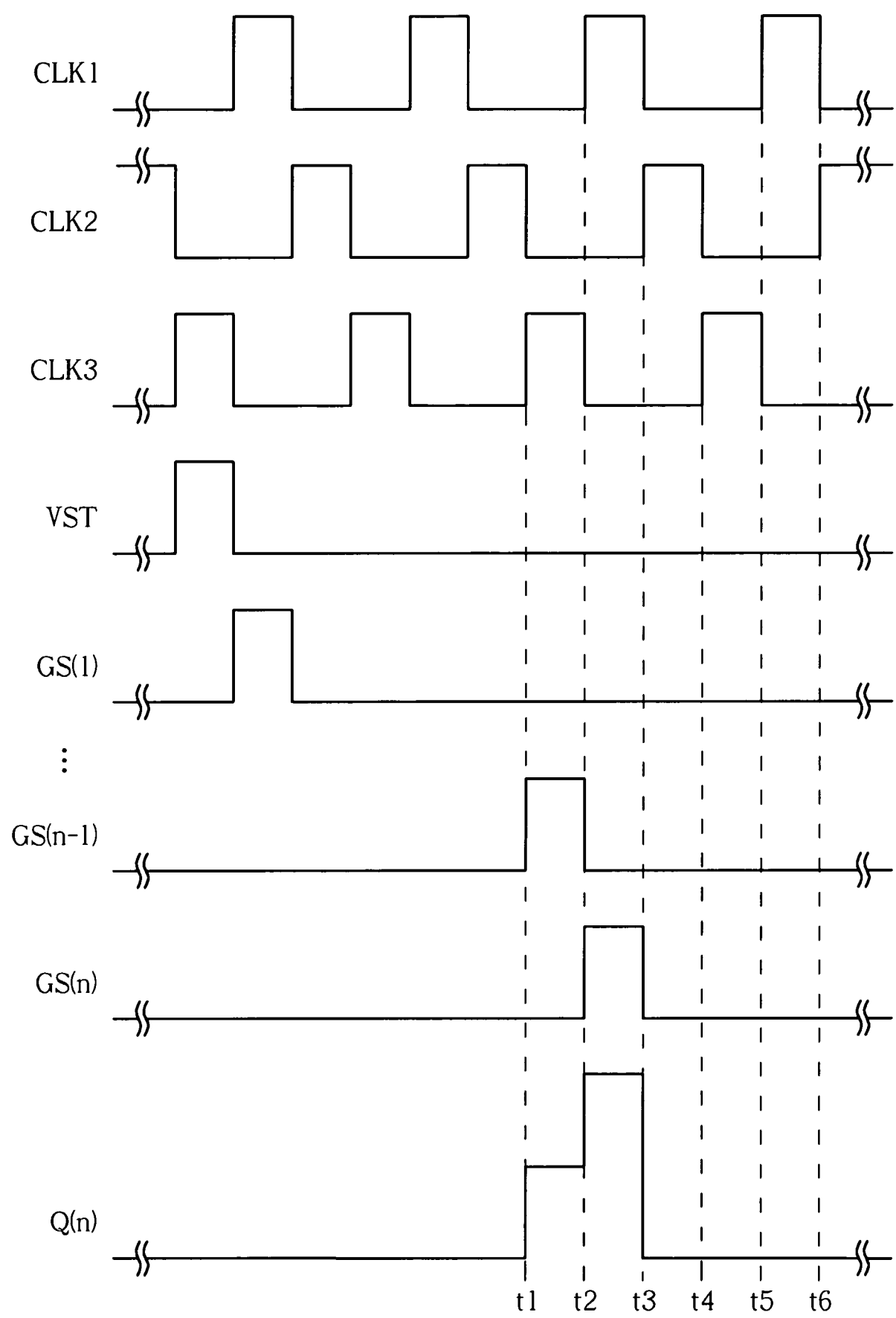
第3圖



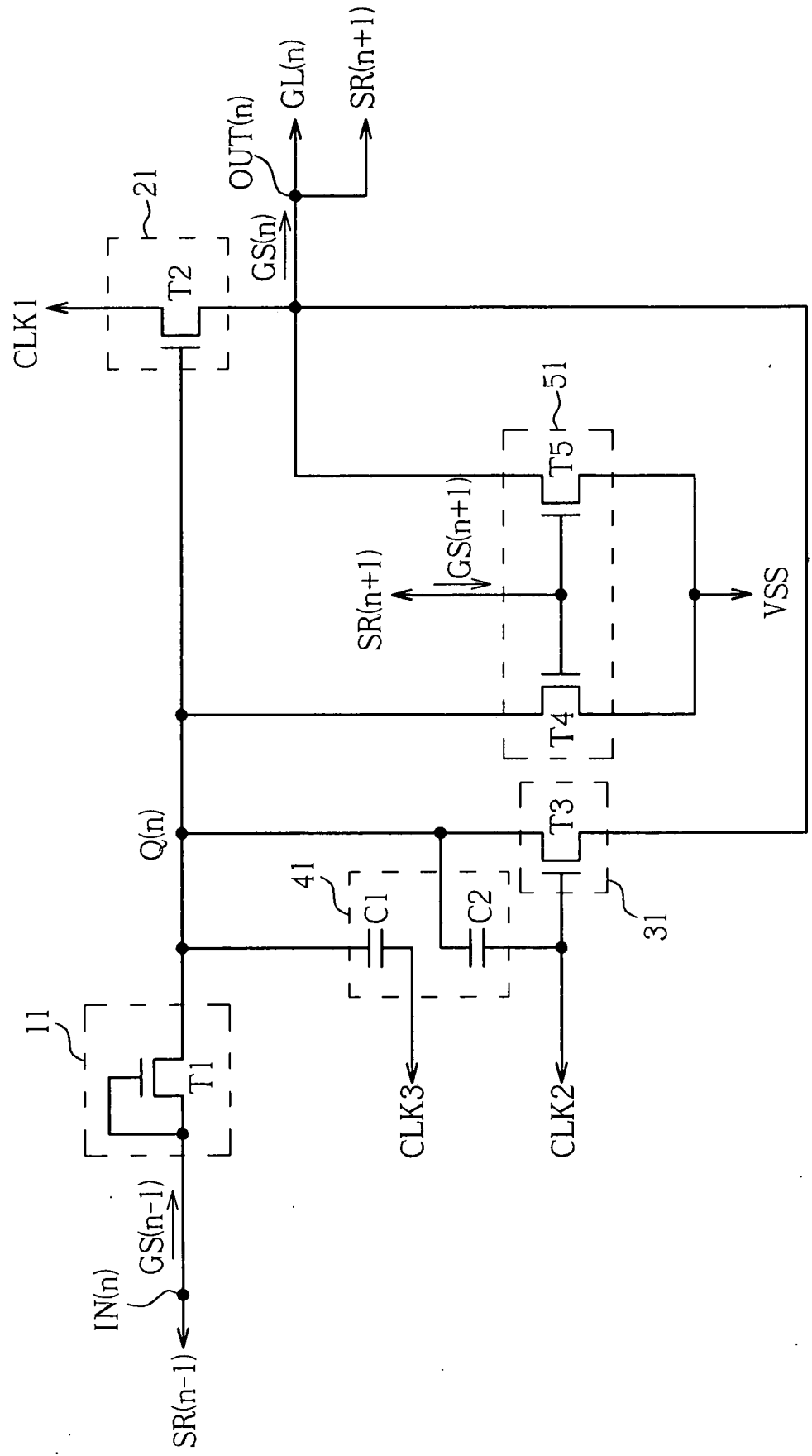
第4圖



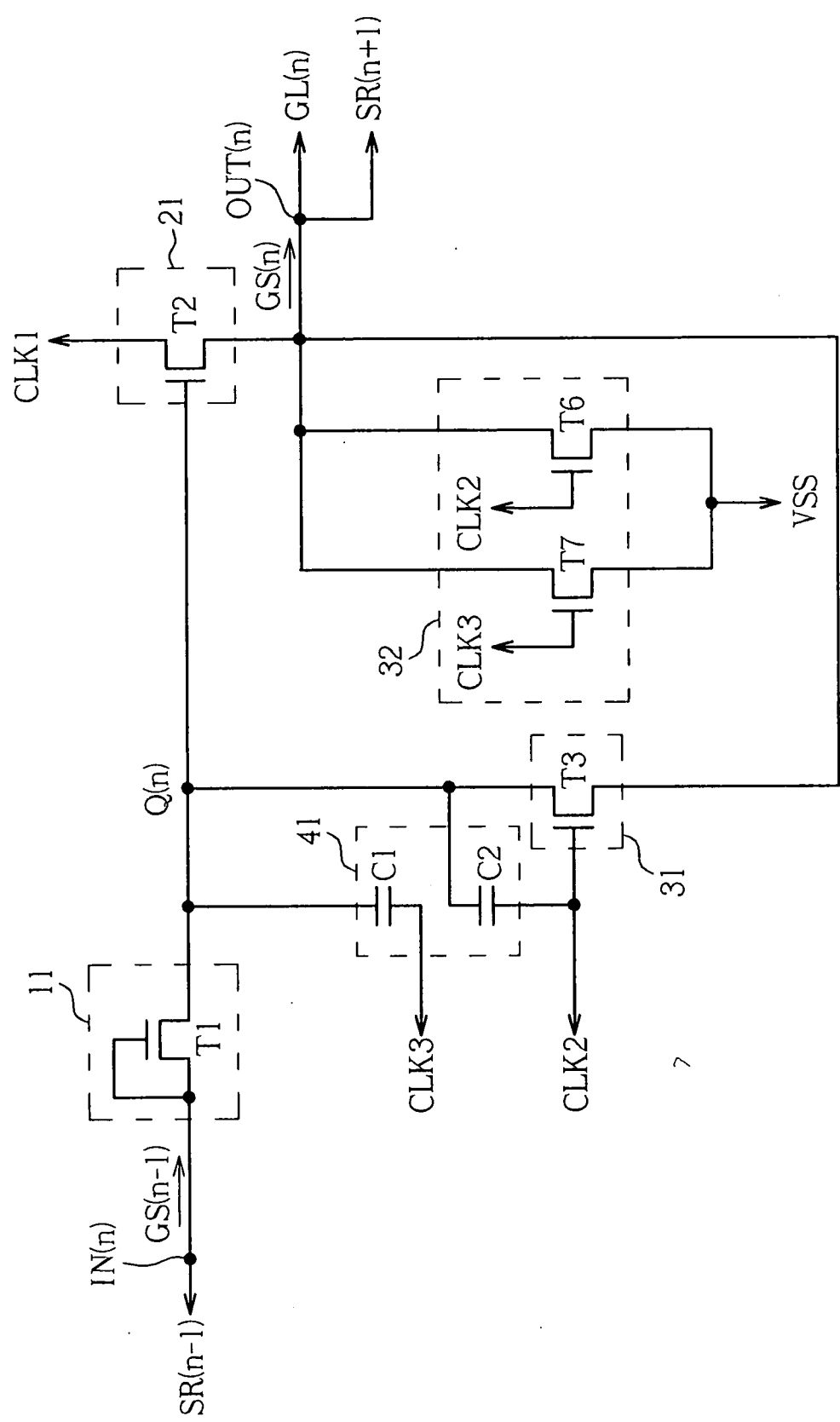
第5圖



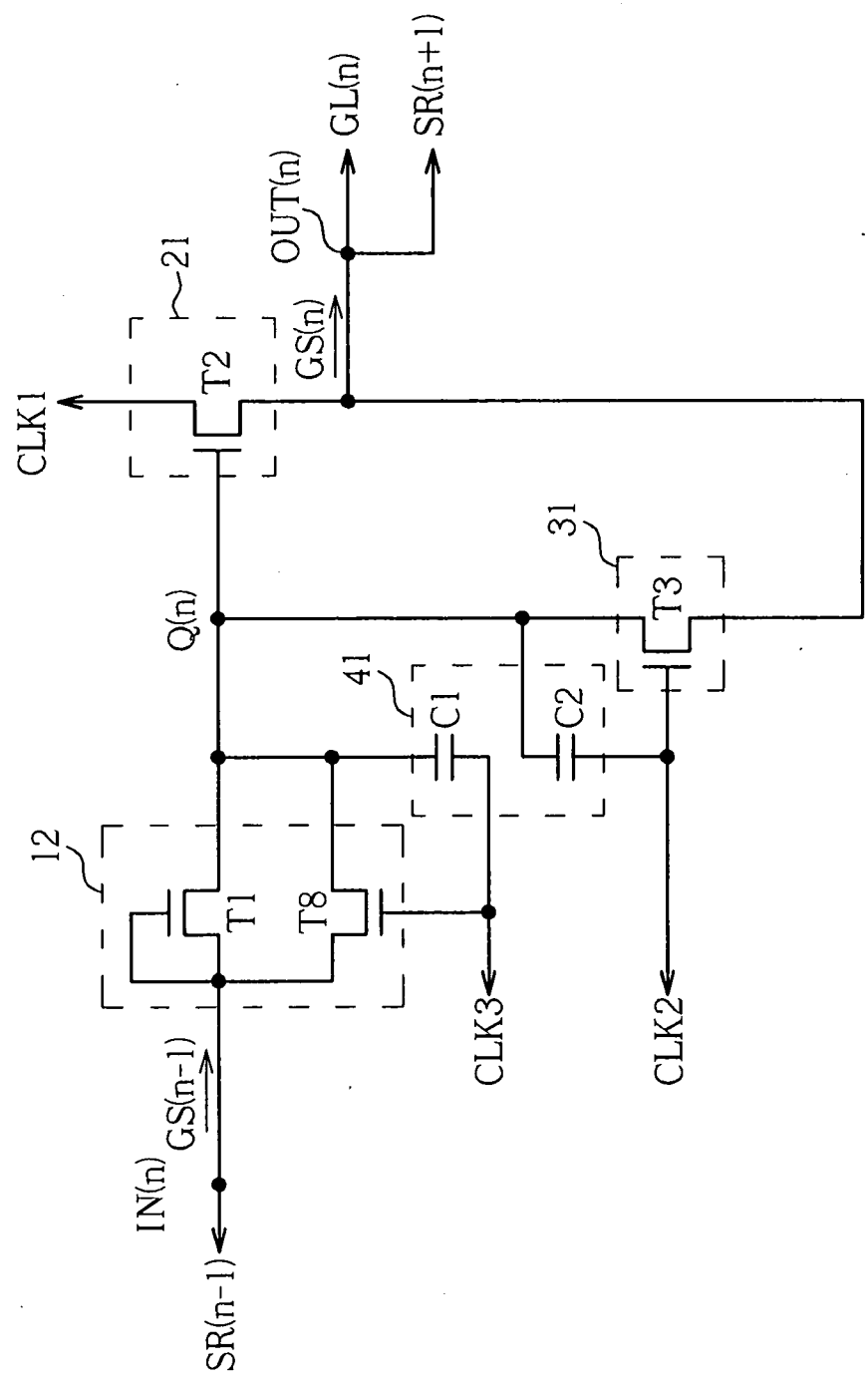
第6圖



第7圖

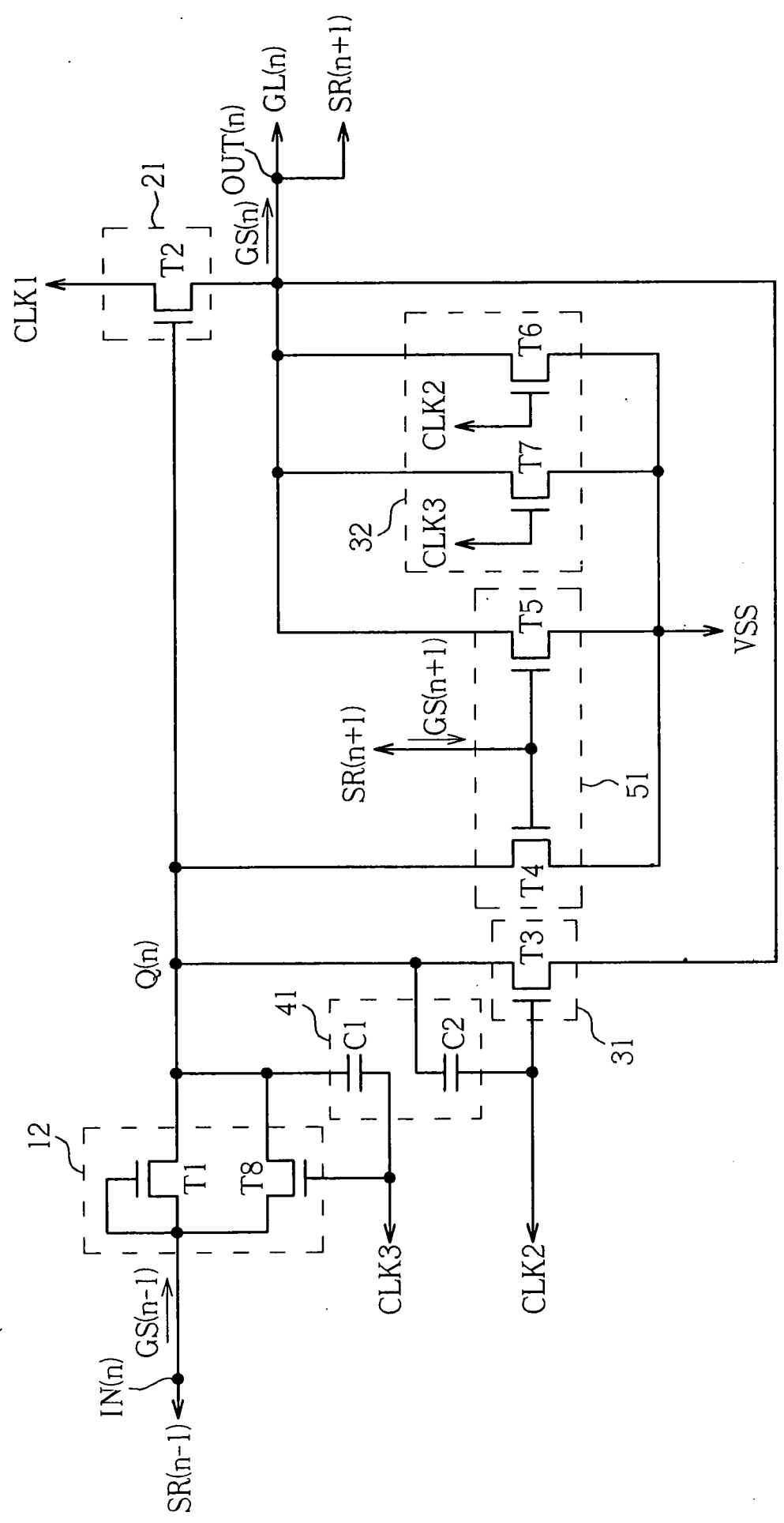


第8圖

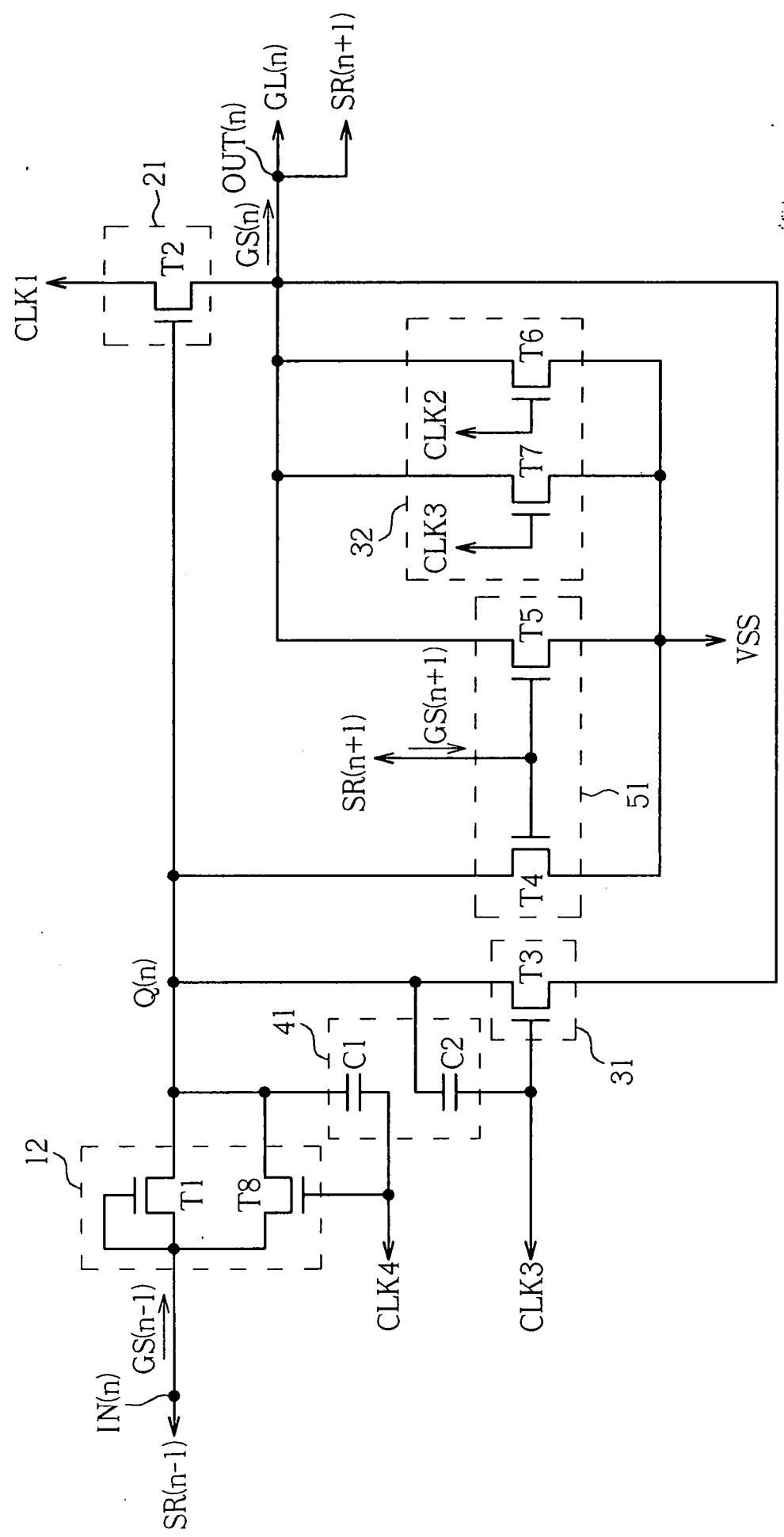


第9圖

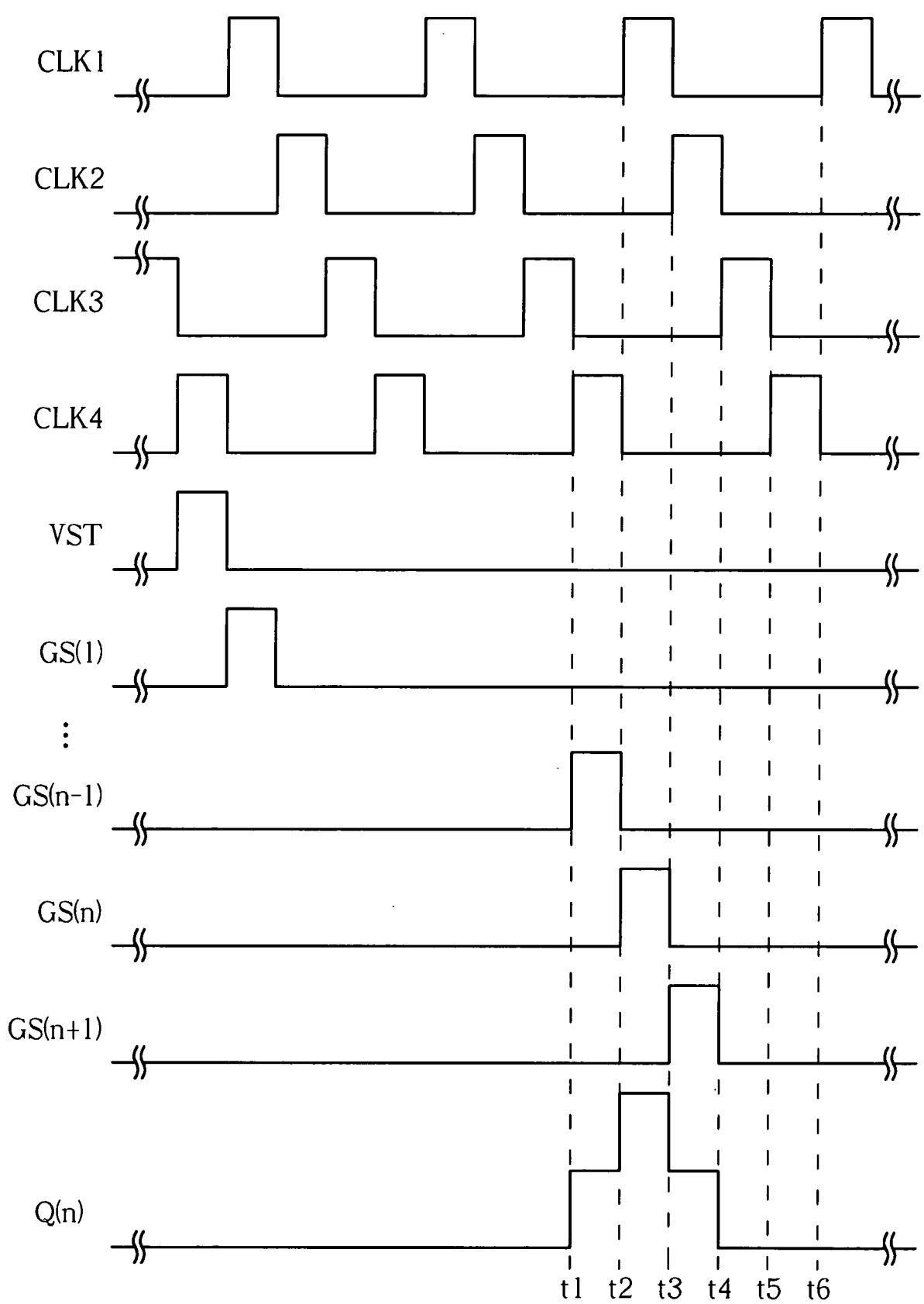




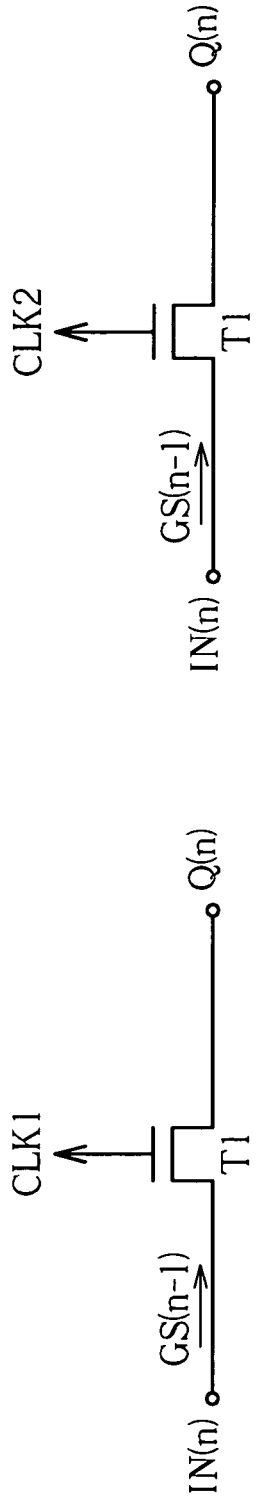
第10圖



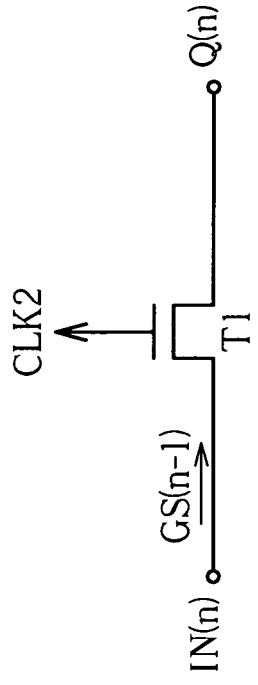
第11圖



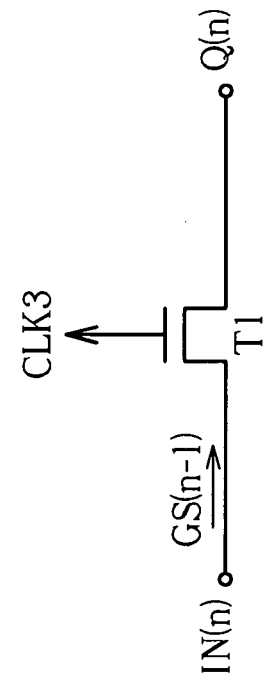
第12圖



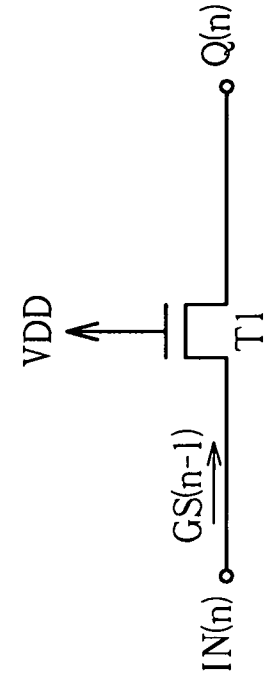
第13a圖



第13b圖



第13c圖



第13d圖