



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월04일
 (11) 등록번호 10-1131559
 (24) 등록일자 2012년03월22일

(51) 국제특허분류(Int. Cl.)
 G11C 16/34 (2006.01) G11C 16/24 (2006.01)
 G11C 16/08 (2006.01) G11C 16/06 (2006.01)
 (21) 출원번호 10-2010-0051363
 (22) 출원일자 2010년05월31일
 심사청구일자 2010년05월31일
 (65) 공개번호 10-2011-0131763
 (43) 공개일자 2011년12월07일
 (56) 선행기술조사문헌
 KR1020060112201 A*
 KR1020000050309 A
 KR1020010065790 A
 KR1020040015897 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 하이닉스반도체
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
 최원범
 서울특별시 동작구 동작대로29길 115, 우성 아파트 304동 1402호 (사당동)
 (74) 대리인
 김성남

전체 청구항 수 : 총 4 항

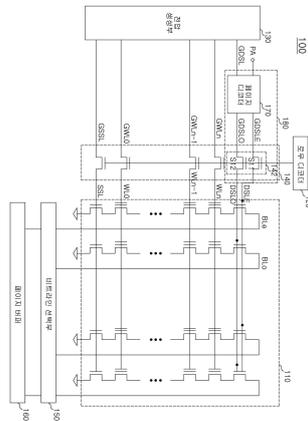
심사관 : 이병수

(54) 발명의 명칭 **비휘발성 메모리 장치**

(57) 요약

복수의 메모리 셀 스트링에 각각 접속되는 드레인 선택 스위치 및 페이지 어드레스 및 글로벌 드레인 선택 신호에 응답하여, 짝수번째 비트라인에 접속되는 드레인 선택 스위치 또는 홀수번째 비트라인에 접속되는 드레인 선택 스위치를 선택적으로 구동하는 드레인 선택 스위치 제어부를 포함하는 비휘발성 메모리 장치를 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

복수의 메모리 셀 스트링에 각각 접속되는 드레인 선택 스위치;

페이지 어드레스 및 글로벌 드레인 선택 신호에 응답하여, 짝수번째 비트라인에 접속되는 드레인 선택 스위치 또는 홀수번째 비트라인에 접속되는 드레인 선택 스위치를 선택적으로 구동하는 드레인 선택 스위치 제어부;

상기 드레인 선택 스위치와 각각 접속되는 비트라인; 및

상기 메모리 셀 스트링에 대한 검증 또는 리드 동작시 선택된 비트라인 및 미선택된 상기 비트라인을 지정된 전위로 프리차지시키는 비트라인 선택부;

를 포함하는 비휘발성 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 드레인 선택 스위치 제어부는,

상기 페이지 어드레스 및 상기 글로벌 드레인 선택 신호에 응답하여, 글로벌 이븐 드레인 선택신호 및 글로벌 오드 드레인 선택 신호를 출력하는 페이지 디코더; 및

상기 글로벌 이븐 드레인 선택신호에 응답하여 상기 짝수번째 비트라인에 접속되는 드레인 선택 스위치를 구동하기 위한 이븐 드레인 선택신호를 출력하고, 상기 글로벌 오드 드레인 선택신호에 응답하여 상기 홀수번째 비트라인에 접속되는 드레인 선택 스위치를 구동하기 위한 오드 드레인 선택신호를 출력하는 드레인 선택 스위치 구동부;

를 포함하는 비휘발성 메모리 장치.

청구항 3

삭제

청구항 4

직렬 접속되는 복수의 메모리 셀을 포함하는 셀 스트링과 비트라인 간에 각각 접속되는 드레인 선택 스위치;

상기 셀 스트링에 대한 검증 또는 리드 명령에 응답하여 글로벌 이븐 드레인 선택신호 및 글로벌 오드 드레인 선택 신호를 출력하는 페이지 디코더;

상기 글로벌 이븐 드레인 선택신호 및 상기 글로벌 오드 드레인 선택 신호에 응답하여 짝수번째 비트라인 또는 홀수번째 비트라인을 선택하는 드레인 선택 스위치 구동부;

상기 셀 스트링에 대한 검증 또는 리드 동작시 선택된 비트라인 및 미선택된 상기 비트라인을 지정된 전위로 프리차지시키는 비트라인 선택부를 더 포함하는 비휘발성 메모리 장치.

를 포함하는 비휘발성 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 드레인 선택 스위치 구동부는, 상기 글로벌 이븐 드레인 선택신호에 응답하여 상기 짝수번째 비트라인에 접속되는 드레인 선택 스위치를 구동하기 위한 이븐 드레인 선택신호를 출력하는 제 1 스위칭 소자; 및

상기 글로벌 오드 드레인 선택신호에 응답하여 상기 홀수번째 비트라인에 접속되는 드레인 선택 스위치를 구동하기 위한 오드 드레인 선택신호를 출력하는 제 2 스위칭 소자;

를 포함하는 비휘발성 메모리 장치.

청구항 6

삭제

명세서

기술분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로, 보다 구체적으로는 비휘발성 메모리 장치에 관한 것이다.

배경기술

[0002] 플래시 메모리 장치는 전기적으로 프로그램 및 소거가 가능하며, 리프레쉬 동작이 불필요한 비휘발성 메모리 장치의 일종이다. 특히, 낸드(NAND) 타입 플래시 메모리 장치는 드레인 또는 소스를 공유하는 복수의 메모리 셀이 직렬 접속되어 하나의 셀 스트링을 구성하기 때문에 대용량의 정보를 저장할 수 있는 장점이 있다.

[0003] 일반적으로, 플래시 메모리 장치에 데이터를 프로그램할 때에는 원하는 데이터가 정확히 기록되었는지 확인하는 검증(verify) 과정이 수반되며, 이러한 검증 과정은 리드(read) 동작과 유사하게 이루어진다.

[0004] 플래시 메모리 장치의 검증 또는 리드 동작시 전압 레벨 기반의 센싱 방식을 이용할 수 있으며, 이 경우 짝수번째 비트라인(even bit line)에 접속된 셀 스트링과 홀수번째 비트라인(odd bit line)에 접속된 셀 스트링을 구분하여 검증 또는 리드 동작이 이루어진다.

[0005] 도 1은 일반적인 플래시 메모리 장치에서의 검증 또는 리드 방법을 설명하기 위한 도면이다.

[0006] 도 1을 참조하면, 일반적인 플래시 메모리 장치(10)는 메모리 셀 블럭(12), 비트라인 선택부(14) 및 페이지 버퍼(16)를 포함한다.

[0007] 메모리 셀 블럭(12)은 드레인 선택 신호(DSL)에 의해 구동되는 복수의 드레인 선택 스위치와, 메모리 셀 어레이(121), 그리고 소스 선택 신호(SSL)에 의해 구동되는 복수의 소스 선택 스위치를 포함한다.

[0008] 드레인 선택 스위치, 드레인 선택 스위치에 직렬 접속되는 n+1개의 메모리 셀, 및 직렬 접속된 마지막 메모리 셀의 소스 단자에 접속되는 소스 선택 스위치는 하나의 셀 스트링을 이루며, 하나의 워드라인(WL)에 접속되는 메모리 셀은 하나의 페이지를 이룬다.

[0009] 비트라인(BLe, BLo)은 각 드레인 선택 스위치의 드레인 단자로부터 연장되어 비트라인 선택부(14)에 접속된다.

[0010] 이러한 플래시 메모리 장치의 검증 또는 리드 동작은 이븐 비트라인(BLe) 및 오드 비트라인(BLo)에 접속된 메모리 셀 별로 나누어 이루어진다.

[0011] 예를 들어, 이븐 비트라인(BLe)에 접속된 메모리 셀에 대한 검증 또는 리드 동작시, 검증전압 인가 단자(VIRPWR)에는 접지전압(VSS)이 인가된다. 그리고, 이븐 디스차지 신호(DISCHE)가 디스에이블되는 한편, 이븐 비트라인 선택신호(SELBLE) 및 센싱 제어신호(PBSENSE)가 인에이블된다. 아울러, 오드 디스차지 신호(DISCHO)가 인에이블되는 한편, 오드 비트라인 선택 신호(SELBLO)는 디스에이블된다.

[0012] 이와 유사하게, 오드 비트라인(BLo)에 접속된 메모리 셀에 대한 검증 또는 리드 동작시에는 검증전압 인가 단자(VIRPWR)에 접지전압(VSS)을 인가한다. 그리고, 오드 디스차지 신호(DISCHO)를 디스에이블시키는 한편, 오드 비트라인 선택신호(SELBLO) 및 센싱 제어신호(PBSENSE)를 인에이블시키고, 이븐 디스차지 신호(DISCHE)를 인에이블시키는 한편, 이븐 비트라인 선택신호(SELBLE)를 디스에이블시킨다. 이에 따라, 이븐 비트라인(BLe)에는 접지전압(VSS)이 인가되고, 오드 비트라인(BLo)은 일정 전위로 프리차지된다.

[0013] 이븐 비트라인(BLe)에 대한 검증 또는 리드 동작시 결국, 오드 비트라인(BLo)은 접지단자에 접속되고, 페이지 버퍼(16)의 프리차지 전압에 의해 검증 또는 리드하고자 하는 메모리 셀이 연결된 이븐 비트라인(BLe)에 일정 전위가 인가되어, 페이지 버퍼(16)의 래치에 데이터가 저장된다.

[0014] 즉, 이븐 비트라인(BLe)에는 프리차지 전압이 인가되는 반면, 오드 비트라인(BLo)에는 접지전압이 인가된다. 따라서, 프리차지된 비트라인이 갖고 있는 캐패시턴스에 해당하는 기생 캐패시턴스가 발생하며, 도 2를 참조하여 구체적으로 설명하면 다음과 같다.

[0015] 도 2는 도 1에 도시한 플래시 메모리 장치에서 기생 캐패시턴스의 영향을 설명하기 위한 도면이다.

[0016] 예시적으로, 도 2에는 이븐 비트라인(BLe)이 선택되어 프리차지 전압이 인가되고, 미선택된 오드 비트라인(BLo)에 접지전압(VSS)이 인가된 경우의 기생 캐패시턴스를 모식화하였다. 이븐 비트라인(BLe)과 접지단자(VSS) 간에 발생하는 기생 캐패시턴스(Cg1), 오드 비트라인(BLo)과 접지단자(VSS) 간에 발생하는 기생 캐패시턴스(Cg2) 외에, 이븐 비트라인(BLe)과 이와 인접한 오드 비트라인(BLo) 간의 기생 캐패시턴스(Cc)가 존재함을 알 수 있다. 이러한 상황에서, 이븐 비트라인(BLe)과 인접 오드 비트라인(BLo) 간의 기생 캐패시턴스(Cc)는 전체 기생 캐패시턴스의 90% 정도로 매우 큰 비중을 차지한다.

[0017] 기생 캐패시턴스는 플래시 메모리 장치의 동작 전류를 증가시키는 원인이 되며, 이에 따라 플래시 메모리 장치의 동작 효율이 저하되는 문제가 있다.

[0018] 플래시 메모리 장치의 집적도가 증가하면서 하나의 칩에서 소모하는 전류 소모량 또한 점점 증가하고 있으며, 특히 비트라인에서 소모하는 전류량은 하나의 칩에서 소모하는 전류량의 50%에 이르고 있다. 따라서, 프리차지된 비트라인과 접지된 비트라인 간의 기생 캐패시턴스는 전체 플래시 메모리 장치의 전류 소모량을 결정하는 요인으로 작용한다.

발명의 내용

해결하려는 과제

[0019] 본 발명은 검증 또는 리드 동작시 인접 비트라인 간의 기생 캐패시턴스를 줄일 수 있는 비휘발성 메모리 장치를 제공하는 데 그 기술적 과제가 있다.

[0020] 본 발명의 다른 기술적 과제는 검증 또는 리드 동작시의 전류 소모량을 최소화할 수 있는 비휘발성 메모리 장치를 제공하는 데 있다.

과제의 해결 수단

[0021] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 비휘발성 메모리 장치는 복수의 메모리 셀 스트링에 각각 접속되는 드레인 선택 스위치; 및 페이지 어드레스 및 글로벌 드레인 선택 신호에 응답하여, 짝수번째 비트라인에 접속되는 드레인 선택 스위치 또는 홀수번째 비트라인에 접속되는 드레인 선택 스위치를 선택적으로 구동하는 드레인 선택 스위치 제어부;를 포함한다.

[0022] 한편, 본 발명의 다른 실시예에 의한 비휘발성 메모리 장치는 직렬 접속되는 복수의 메모리 셀을 포함하는 셀 스트링과 비트라인 간에 각각 접속되는 드레인 선택 스위치; 상기 셀 스트링에 대한 검증 또는 리드 명령에 응답하여 글로벌 이븐 드레인 선택신호 및 글로벌 오드 드레인 선택 신호를 출력하는 페이지 디코더; 및 상기 글로벌 이븐 드레인 선택신호 및 상기 글로벌 오드 드레인 선택 신호에 응답하여 짝수번째 비트라인 또는 홀수번째 비트라인을 선택하는 드레인 선택 스위치 구동부;를 포함한다.

발명의 효과

[0023] 본 발명에서는 드레인 선택 스위치를 이븐 드레인 선택 스위치와 오드 드레인 선택 스위치로 나누어 선택적으로 구동한다. 그리고, 검증 또는 리드 동작시 선택된 비트라인 및 미선택된 인접 비트라인을 동일한 전위로 프리차지시킨다.

[0024] 따라서, 검증 또는 리드 동작시 인접 비트라인 간의 전위차로 인한 기생 캐패시턴스의 영향을 최소화할 수 있어 전류 소모량을 현저히 절감할 수 있다.

[0025] 본 발명에서, 검증 또는 리드 동작시 미선택 비트라인을 프리차지 시켜도, 드레인 선택 스위치가 이븐 드레인 선택 스위치 및 오드 드레인 선택 스위치로 구별되어 별도의 신호에 의해 구동되기 때문에, 짝수번째 비트라인에 접속된 메모리 셀 및 홀수번째 비트라인에 접속된 메모리 셀 별로 구분된 검증 및 리드 동작이 여전히 가능하다.

[0026] 즉, 본 발명에 의하면 비트라인 선택 신호가 아닌 드레인 선택 스위치에 의해 짝수번째 비트라인 및 홀수번째 비트라인을 선택하고, 인접하는 비트라인을 동일 전위로 프리차지 시킴으로써, 기생 캐패시턴스에 의한 영향을 현저히 줄일 수 있어 플래시 메모리 장치의 전체적인 동작 전류를 최소화할 수 있다.

[0027] 이와 같이, 검증 또는 리드 동작시 모든 비트라인을 프리차지시켜 두면, 미선택된 비트라인을 선택하여 검증 또는 리드 동작을 수행할 때 발생하는 피크 전류(Peak current)에 의해 파워 레벨이 저하되고, 이로 인해 플래시

메모리 칩이 불안정하게 동작하는 현상을 방지할 수 있을 뿐 아니라, 비트라인을 프리차지하는 데 소요되는 시간 또한 감소시킬 수 있다.

도면의 간단한 설명

- [0028] 도 1은 일반적인 플래시 메모리 장치에서의 검증 또는 리드 방법을 설명하기 위한 도면,
- 도 2는 도 1에 도시한 플래시 메모리 장치에서 기생 캐패시턴스의 영향을 설명하기 위한 도면,
- 도 3은 본 발명의 일 실시예에 의한 비휘발성 메모리 장치의 구성도,
- 도 4는 도 3에 도시한 페이지 디코더의 구성도,
- 도 5는 도 3에 도시한 비트라인 선택부의 구성도,
- 도 6은 도 3에 도시한 비휘발성 메모리 장치에서 기생 캐패시턴스의 영향을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 구체적으로 설명한다.
- [0030] 도 3은 본 발명의 일 실시예에 의한 비휘발성 메모리 장치의 구성도이다.
- [0031] 도 3을 참조하면, 본 발명의 일 실시예에 의한 비휘발성 메모리 장치는 플래시 메모리 장치(100)를 예로 들 수 있으며 메모리 셀 블럭(110), 로우 디코더(120), 전압 생성부(130), 블럭 선택부(140), 비트라인 선택부(150), 페이지 버퍼(160) 및 페이지 디코더(170)를 포함한다.
- [0032] 로우 디코더(120)는 블럭 선택 신호를 생성한다. 그리고 블럭 선택부(140)는 로우 디코더(120)에서 생성되는 블럭 선택 신호에 따라 전압 생성부(130)에서 생성된 전위를 메모리 셀 블럭(110)에 인가한다.
- [0033] 비트라인 선택부(150)는 프로그램/검증/리드 동작시 원하는 비트라인을 선택하며, 페이지 버퍼(160)는 비트라인 선택부(150)에 의해 선택된 비트라인을 통해 메모리 셀로 데이터를 전송하거나 선택된 메모리 셀에 저장된 데이터를 전달받아 저장한다.
- [0034] 아울러, 페이지 디코더(170)는 전압 생성부(130)에서 생성되는 글로벌 드레인 선택 신호(GDSL) 및 페이지 어드레스(PA)에 응답하여 글로벌 이븐 드레인 선택 신호(GDSLE) 및 글로벌 오드 드레인 선택 신호(GDSL0)를 출력한다.
- [0035] 한편, 블럭 선택부(140)는 드레인 선택 스위치 구동부(142)를 포함하며, 드레인 선택 스위치 구동부(142)는 로우 디코더(120)로부터 출력되는 블럭 선택 신호에 따라 구동되고 글로벌 이븐 드레인 선택 신호(GDSLE)를 입력받아 이븐 드레인 선택 신호(DSLE)를 출력하는 제 1 스위칭 소자(S11) 및 로우 디코더(120)로부터 출력되는 블럭 선택 신호에 따라 구동되고 글로벌 오드 드레인 선택 신호(GDSL0)를 입력받아 오드 드레인 선택 신호(DSLO)로 출력하는 제 2 스위칭 소자(S12)를 포함한다.
- [0036] 페이지 디코더(170) 및 드레인 선택 스위치 구동부(142)는 이븐 비트라인 또는 오드 비트라인에 접속된 드레인 선택 스위치의 구동 여부를 결정하며, 이러한 의미에서 드레인 선택 스위치 제어부(180)라 지칭할 수 있다.
- [0037] 현재의 플래시 메모리 장치에서는 검증 또는 리드 동작시 하나의 글로벌 드레인 선택 신호(GDSL)에 의해 모든 드레인 선택 스위치가 턴온되었으며, 미선택 비트라인에 대한 제어는 비트라인 선택부(150)에서 이루어졌다.
- [0038] 이와 달리, 본 발명에서는 글로벌 드레인 선택 신호(GDSL)와 검증/리드할 비트라인을 선택하기 위한 신호인 페이지 어드레스(PA)에 응답하여, 글로벌 이븐 드레인 선택신호(GDSLE) 및 글로벌 오드 드레인 선택신호(GDSL0)를 각각 생성한다. 그리고, 이를 이용하여 검증 또는 리드하고자 하는 비트라인에 접속된 드레인 선택 스위치를 구동한다. 한편, 비트라인 선택부(150)에서는 선택된 비트라인과 미선택된 비트라인 모두를 프리차지 시킴으로써, 인접 비트라인 간에 기생 캐패시턴스가 발생하지 않도록 한다.
- [0039] 도 4는 도 3에 도시한 페이지 디코더의 구성도이다.
- [0040] 도시한 것과 같이, 페이지 디코더(170)는 페이지 어드레스(PA) 및 그 반전 신호에 따라 구동되고 글로벌 드레인 선택 신호(GDSL)를 입력받아 글로벌 이븐 드레인 선택 신호(GDSLE)를 출력하는 제 1 전송 게이트(172) 및 페이지 어드레스(PA) 및 그 반전 신호에 따라 구동되고 글로벌 드레인 선택 신호(GDSL)를 입력받아 글로벌 오드 드

라인 선택 신호(GDSL0)를 출력하는 제 2 전송 게이트(174)를 포함한다.

- [0041] 예를 들어, 이븐 비트라인(BLe)에 연결된 메모리 셀에 대한 검증 또는 리드 동작시 페이지 어드레스(PA)는 로우 레벨로 인에이블될 수 있으며, 이 경우 제 1 전송 게이트(172)를 통해 글로벌 이븐 드레인 선택신호(GDSL0)가 출력되게 된다. 아울러, 로우 디코더(120)의 블럭 선택 신호에 의해 제 1 스위치(S11)가 구동되어 이븐 드레인 선택 신호(DSLE)가 인에이블되어 이븐 드레인 선택 스위치가 턴온된다.
- [0042] 한편, 오드 비트라인(BLo)에 연결된 메모리 셀에 대한 검증 또는 리드 동작시에는 제 2 전송 게이트(174)를 통해 글로벌 오드 드레인 선택신호(GDSL0)가 출력되어 제 2 스위치(S12)에 의해 오드 드레인 선택 신호(DSLO)가 인에이블되고 오드 드레인 선택 스위치가 턴온되게 된다.
- [0043] 도 5는 도 3에 도시한 비트라인 선택부의 구성도이다.
- [0044] 도 5에 도시한 비트라인 선택부(150)는 어떠한 비트라인이 선택되는지에 무관하게, 리드 또는 검증 동작시 인접하는 비트라인을 일정 전위로 프리차지시킨다.
- [0045] 도시한 것과 같이, 비트라인 선택부(150)는 이븐 비트라인(BLe)과 검증전압 인가 단자(VIRPWR) 간에 접속되어 이븐 디스차지 신호(DISCHE_VR)에 의해 구동되는 제 1 스위칭 소자(N11), 검증전압 인가 단자(VIRPWR)와 오드 비트라인(BLo) 간에 접속되어 오드 디스차지 신호(DISCHO_VR)에 의해 구동되는 제 2 스위칭 소자(N12), 이븐 비트라인(BLe)과 제 1 노드(K11) 간에 접속되어 이븐 비트라인 선택신호(SELBLE_VR)에 의해 구동되는 제 3 스위칭 소자(N13), 오드 비트라인(BLo)과 제 1 노드(K11) 간에 접속되어 오드 비트라인 선택신호(SELBLO_VR)에 의해 구동되는 제 4 스위칭 소자(N14) 및 제 1 노드(K11)와 페이지 버퍼(160) 간에 접속되어 센싱 제어신호(PBSENSE)에 의해 구동되는 제 5 스위칭 소자(N15)를 포함한다.
- [0046] 예를 들어, 이븐 비트라인(BLe)에 접속된 메모리 셀에 대한 검증 또는 리드 동작시, 검증전압 인가 단자(VIRPWR)에는 접지전압(VSS)이 인가된다. 그리고, 이븐 디스차지 신호(DISCHE_VR) 및 오드 디스차지 신호(DISCHO_VR)가 모두 디스에이블되는 한편, 이븐 비트라인 선택신호(SELBLE_VR), 오드 비트라인 선택신호(SELBLO_VR) 및 센싱 제어신호(PBSENSE)가 인에이블된다. 따라서, 검증 또는 리드하고자 하는 메모리 셀이 접속된 이븐 비트라인(BLe)뿐 아니라 미선택된 오드 비트라인(BLo) 또한 일정 전위로 프리차지된다.
- [0047] 이와 유사하게, 오드 비트라인(BLo)에 접속된 메모리 셀에 대한 검증 또는 리드 동작시에는 검증전압 인가 단자(VIRPWR)에 접지전압(VSS)을 인가한다. 그리고, 오드 디스차지 신호(DISCHO_VR) 및 이븐 디스차지 신호(DISCHE_VR)를 디스에이블시키는 한편, 오드 비트라인 선택신호(SELBLO), 이븐 비트라인 선택신호(SELBLE) 및 센싱 제어신호(PBSENSE)를 인에이블시킨다. 이에 따라, 오드 비트라인(BLo)뿐 아니라 이븐 비트라인(BLe) 또한 일정 전위로 프리차지된다.
- [0048] 즉, 어떠한 비트라인이 선택되든지 이븐/오드 디스차지 신호(DISCHE_VR, DISCHO_VR), 이븐/오드 비트라인 선택신호(SELBLE_VR, SELBLO_VR) 및 센싱 제어신호(PBSENSE)를 인에이블시켜, 인접 비트라인을 프리차지시킴으로써, 전위차로 인한 기생 캐패시턴스의 발생을 방지할 수 있게 된다.
- [0049] 이를 위해, 이븐/오드 디스차지 신호(DISCHE_VR, DISCHO_VR) 및 이븐/오드 비트라인 선택신호(SELBLE_VR, SELBLO_VR)는 예를 들어, 도 1에 도시한 이븐/오드 디스차지 신호(DISCHE, DISCHO), 이븐/오드 비트라인 선택신호(SELBLE, SELBLO)로부터 생성할 수 있다. 즉, 기존의 비트라인 선택부의 경우 검증 또는 리드 동작시 선택 비트라인을 프리차지시키기 위한 디스차지 신호와 비트라인 선택신호와, 미선택 비트라인에 접지전위를 인가하기 위한 디스차지 신호와 비트라인 선택신호가 상호적으로 인가된다.
- [0050] 이와 달리, 본 발명에서는 선택, 미선택 비트라인이 모두 프리차지되므로, 기존의 이븐/오드 비트라인 선택신호(SELBLE, SELBLO)를 논리 합 연산하여 이븐/오드 비트라인 선택신호(SELBLE_VR, SELBLO_VR)을 생성하고, 기존의 이븐/오드 디스차지 신호(DISCHE, DISCHO)를 논리 합 연산하여 이븐/오드 디스차지 신호(DISCHE_VR, DISCHO_VR)를 생성하는 것이다. 이를 위해, 비트라인 선택부는 이븐/오드 비트라인 선택신호(SELBLE, SELBLO)를 논리 합 연산하여 각각 이븐/오드 비트라인 선택신호(SELBLE_VR, SELBLO_VR)를 출력하는 제 1 및 제 2 OR 게이트(OR11, OR12)와, 이븐/오드 디스차지 신호(DISCHE, DISCHO)를 논리 합 연산하여 이븐/오드 디스차지 신호(DISCHE_VR, DISCHO_VR)를 출력하는 제 3 및 제 4 OR 게이트(OR13, OR14)를 포함한다.
- [0051] 도 6은 도 3에 도시한 비휘발성 메모리 장치에서 기생 캐패시턴스의 영향을 설명하기 위한 도면이다.
- [0052] 이븐 비트라인(BLe) 선택시, 또는 오드 비트라인(BLo) 선택시에 모든 비트라인이 일정 전위로 프리차지되므로, 인접 비트라인 간에 기생 캐패시턴스가 발생하는 현상을 억제할 수 있다. 단지, 이븐 비트라인(BLe)과 접지단

자(VSS) 간에 발생하는 기생 캐패시턴스(Cg1), 오드 비트라인(BLo)과 접지단자(VSS) 간에 발생하는 기생 캐패시턴스(Cg2)만 존재할 뿐이며, 이러한 기생 캐패시턴스(Cg1, Cg2)는 비트라인에서 발생하는 캐패시턴스의 10% 정도에 불과하므로 비트라인의 전류 소모량을 대폭 감소시킬 수 있다.

[0053] 플래시 메모리 장치는 비트라인의 전류 소모량이 전체의 50% 정도를 차지할 만큼 비중이 높는데, 본 발명에서와 같이 인접 비트라인 간에 발생하는 기생 캐패시턴스를 억제함으로써, 플래시 메모리 장치의 소모 전류량을 획기적으로 감소시킬 수 있다.

[0054] 또한, 특정 비트라인을 선택하여 검증 또는 리드 동작을 수행한 후, 미선택 비트라인을 선택하여 검증 또는 리드 동작을 수행할 때 프리차지에 소요되는 시간을 감소시킬 수 있다.

[0055] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

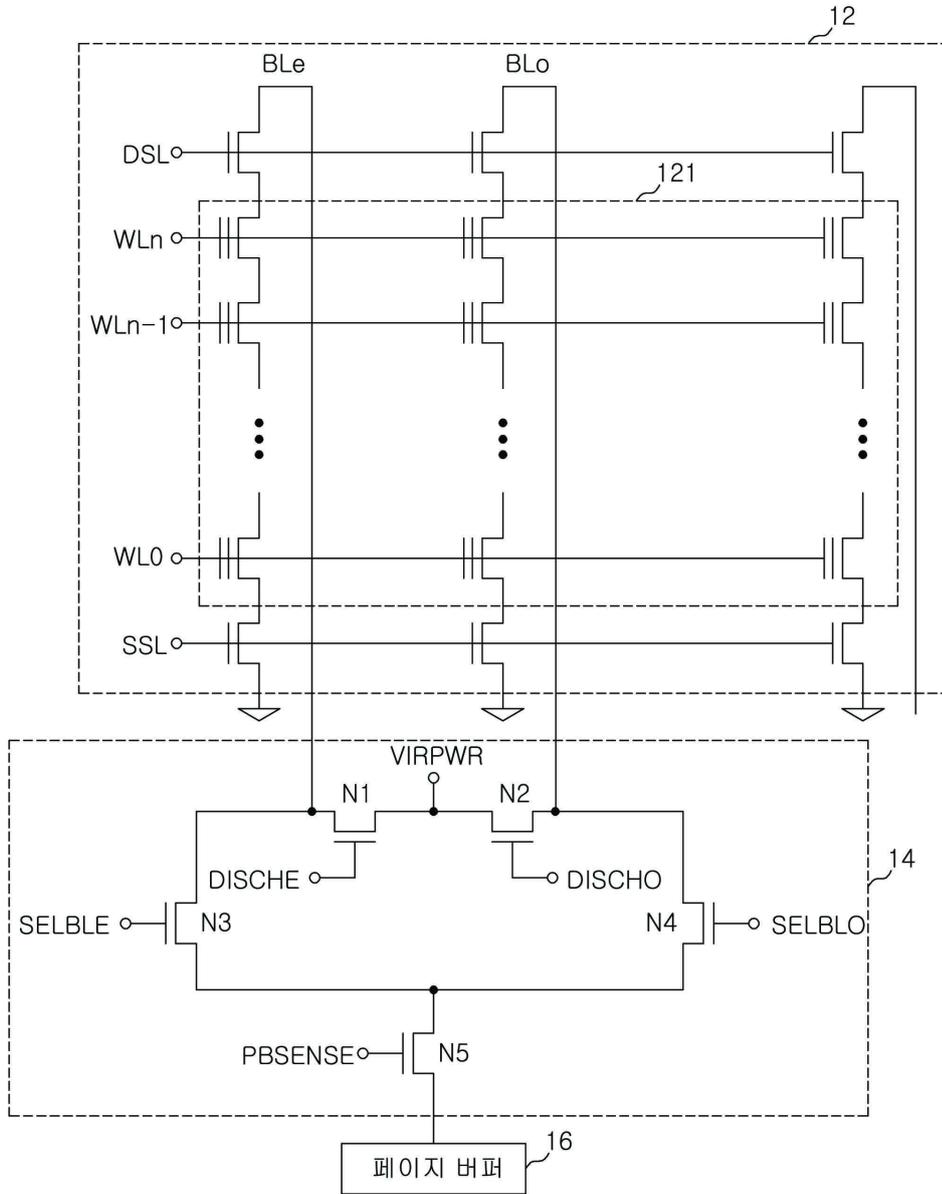
부호의 설명

- [0056] 110 : 메모리 셀 블록
 120 : 로우 디코더
 130 : 전압 생성부
 140 : 블록 선택부
 150 : 비트라인 선택부
 160 : 페이지 버퍼
 170 : 페이지 디코더

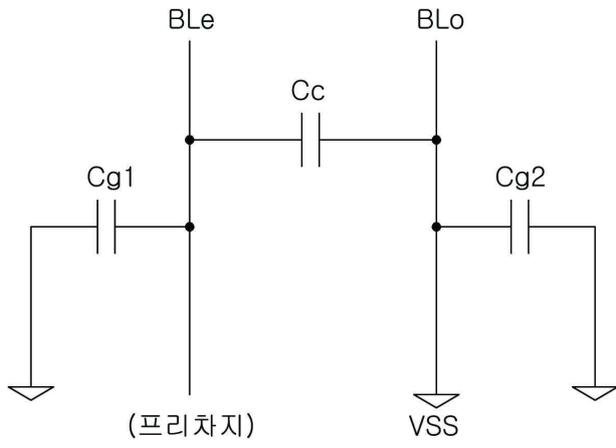
도면

도면1

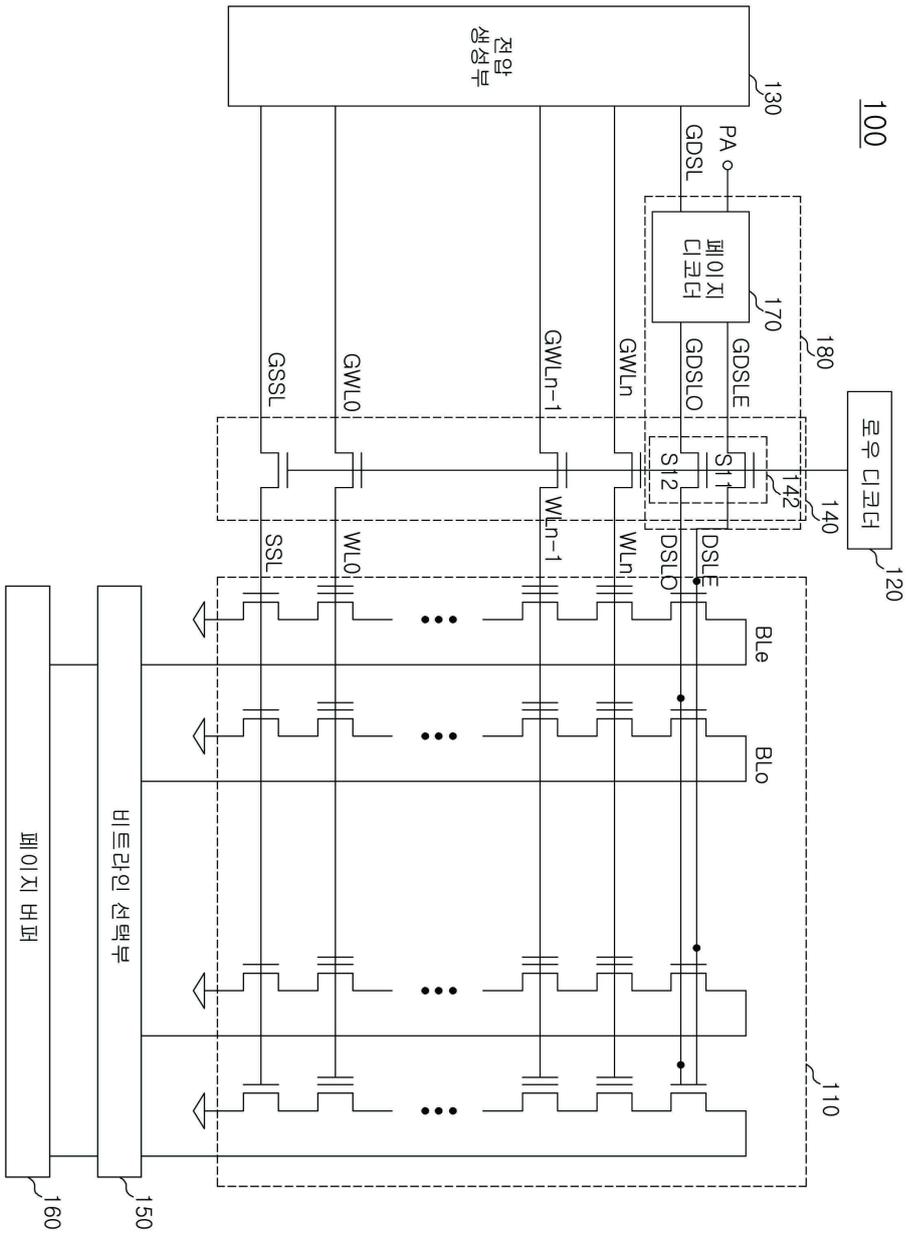
10



도면2

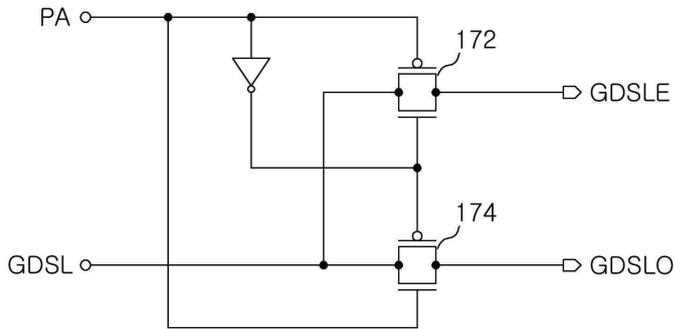


도면3



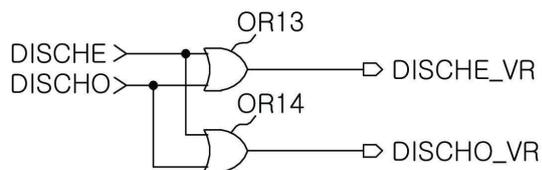
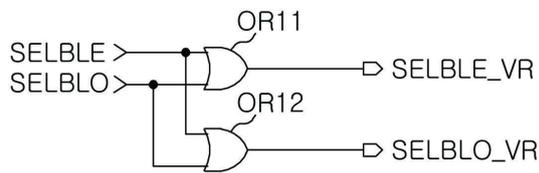
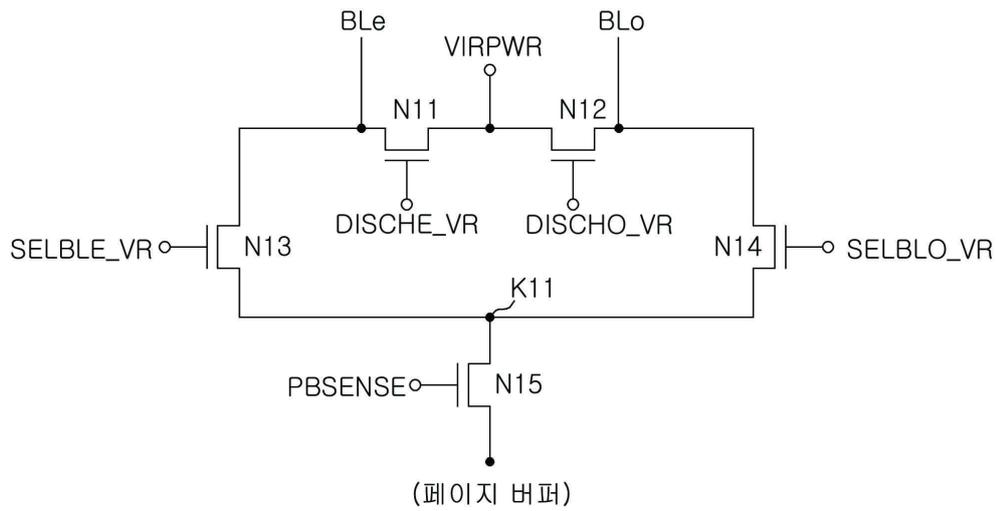
도면4

170



도면5

150



도면6

