

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷ (45) 공고일자 2005년10월04일
H01L 21/8247 (11) 등록번호 10-0518577

(24) 등록일자 2005년09월26일

(21) 출원번호 10-2003-0033346

(65) 공개번호 10-2004-0101657

(22) 출원일자 2003년05월26일

(43) 공개일자 2004년12월03일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 구정모
경기도남양주시금곡동미라보아파트101-1208

오희선
경기도용인시기홍읍신일아파트101-402

(74) 대리인 리엔목특허법인

심사관 : 반성원

(54) 원 타임 프로그래머블 메모리 소자 및 이를 포함하는반도체 집적회로와 그 제조방법

요약

원 타임 프로그래머블(one time programmable) 메모리 소자 및 이를 포함하는 반도체 집적회로와 그 제조방법에 관하여 개시한다. 본 발명은 원 타임 프로그래머블 메모리 소자의 플로팅 게이트와 컨트롤 게이트를 형성하기 위한 별도의 포토리소그래피 공정의 추가없이, 기 공정에서 사용되고 있는 폴리실리콘-유전막-폴리실리콘 구조 또는 금속-유전막-금속 구조의 커패시터 제조 공정을 그대로 이용하여 원 타임 프로그래머블 메모리 소자를 구현한다. 또한, 본 발명은 원 타임 프로그래머블 메모리 소자와 모스(MOS) 트랜지스터가 포함된 반도체 집적회로 제조시 모스 트랜지스터의 게이트 산화막의 신뢰성을 높일 수 있는 방법을 제공한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 일반적인 원 타임 프로그래머블 메모리 소자의 레이아웃(layout)이다.

도 2는 도 1의 II-II' 단면을 도시한 것이다.

도 3은 도 1의 III-III' 단면을 도시한 것이다.

도 4는 본 발명의 실시예에 따른 원 타임 프로그래머블 메모리 소자의 레이아웃이다.

도 5는 도 4의 V-V' 단면을 도시한 것이다.

도 6은 도 4의 VI-VI' 단면을 도시한 것이다.

도 7은 도 4의 VII-VII' 단면을 도시한 것이다.

도 8은 본 발명의 다른 실시예에 따른 반도체 집적회로의 단면도이다.

도 9 내지 도 15는 본 발명의 다른 실시예에 따라 반도체 집적회로를 제조하는 방법을 공정 순서에 따라 도시한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 원 타임 프로그래머블(One Time Programmable : 이하 'OTP'라 함) 메모리 소자 및 그 제조방법에 관한 것이다.

비휘발성 메모리 소자는 전원이 공급되지 않아도 데이터가 지워지지 않는 소자이며, 사용자의 필요에 의해 선택적으로 프로그램하기 위하여 사용되고 있다. 그 중에서도 OTP 메모리 소자는 최초의 한번만 프로그램한 후 데이터의 소거나 추가적인 프로그램없이 사용되는 것이며, 그에 대한 수요는 점차 증가되고 있다.

현재 사용되고 있는 OTP 메모리 소자의 셀은 일반적으로 도 1과 같은 레이아웃을 가지고 있다. 도 2와 도 3은 각각 도 1의 II-II' 단면과 III-III' 단면을 도시한 것이다. 도 1 내지 도 3을 참조하여 종래 OTP 메모리 소자의 셀 구조 및 제조방법을 설명하면 다음과 같다.

도 2 및 도 3에 잘 나타나 있듯이, 종래 OTP 메모리 소자의 셀은 소자분리막(5)이 형성된 기판(1) 상에 하측에서부터 상측으로 터널 산화막(tunnel oxide)(15), 플로팅 게이트(floating gate)(20), 유전막(40), 및 컨트롤 게이트(control gate)(50)가 순차 형성되어 있는 스택(stack) 구조이다. 컨트롤 게이트(50) 양측으로 기판(1) 내에는 소오스(60)와 드레인(65) 영역이 형성되어 있다. 이러한 구조의 OTP 메모리 소자에서는, 약 100Å의 얇은 터널 산화막(15)으로 강한 전기장에 의해 전자가 이동하면서 셀의 문턱전압을 변화시켜 프로그램 기능을 수행한다. 터널 산화막(15)은 OTP 메모리 소자의 게이트 산화막으로, 그 내부를 전자가 이동한다는 점에서 터널 산화막이라고 부른다.

이러한 OTP 메모리 소자는 여러 반도체 제품의 기능을 보조하는 데에 사용되고 있다. 예를 들어, OTP 메모리 소자는 LDI(LCD Driver IC)에 삽입(embed)되어 여러 정보를 기입할 목적으로 사용되고 있다. 하지만 도 1 내지 도 3에 도시한 바와 같은 스택 구조의 OTP 메모리 소자의 셀을 기존의 집적회로에 추가 삽입하려면 별도의 공정이 필요해진다. 이 때문에 제조 공정수가 증가하고 공정이 복잡해지며 제조 단가가 상승하는 문제가 있다.

한편, 일반적으로 OTP 메모리 소자는 모스(MOS : metal-oxide-semiconductor) 트랜지스터들과 함께 반도체 기판 상에 집적되어 집적회로를 구성하는데, 그 제조방법은 기판(1)에 두꺼운 산화막, 예를 들면 모스 트랜지스터의 게이트 산화막을 먼저 형성하고, 포토리소그래피 공정을 통하여 OTP 메모리 소자가 형성될 영역에서 이 두꺼운 산화막을 일부 제거하거나, 모두 제거한 다음 다시 얇은 터널 산화막(15)을 형성하는 방법을 통해서 형성한다. 이후 플로팅 게이트(20), 유전막(40) 및 컨트롤 게이트(50)를 형성하기 위한 막질을 차례로 증착한 후 한꺼번에 패터닝한다. 이어서, 활성영역(10)에 이온주입을 실시하여 소오스(60)와 드레인(65) 영역을 형성한다.

상기한 방법에서와 같이 포토리소그래피 공정을 통하여 OTP 메모리 소자가 형성될 영역에서 두꺼운 게이트 산화막을 일부 제거하거나, 모두 제거하고 다시 얇은 터널 산화막을 형성하는 방법에 의할 경우, 포토레지스트를 형성하고 제거하는

동안에 게이트 산화막이 케미컬에 노출되어 모스 트랜지스터의 신뢰성이 열화되는 문제점이 있다. 특히 고내압 트랜지스터 및 저내압 트랜지스터와 같은 다양한 용도를 위해, 모스 트랜지스터의 게이트 산화막을 두께가 서로 다른 막을 사용하는 경우에는 이러한 문제가 악화된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 추가적인 포토리소그라피 공정을 필요로 하지 않으면서 반도체 집적회로에 삽입하기 용이한 구조의 OTP 메모리 소자를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 OTP 메모리 소자와 모스 트랜지스터가 포함된 반도체 집적회로의 제조에 있어서 OTP 메모리 소자의 터널 산화막과 모스 트랜지스터의 게이트 산화막의 두께를 독립적으로 제어 가능하고 모스 트랜지스터의 게이트 산화막의 신뢰성이 향상된 반도체 집적회로 제조방법을 제공하는 것이다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 제조방법으로 구현되어 모스 트랜지스터의 게이트 산화막의 신뢰성이 향상된 반도체 집적회로의 구조를 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 OTP 메모리 소자는, 소자분리막으로 기관의 활성영역이 정의된 위에 터널 산화막이 형성되어 있고, 상기 활성영역과 상기 소자분리막 상에 플로팅 게이트가 형성되어 있다. 상기 플로팅 게이트 상에는 게이트간 유전막을 개재하여 컨트롤 게이트가 형성되어 있으며, 상기 컨트롤 게이트 양측의 활성영역에는 소오스 영역과 드레인 영역이 형성되어 있다.

여기서, 상기 플로팅 게이트는 상기 활성영역 상에 형성된 부분의 폭이 상기 소자분리막 상에 형성된 부분의 폭보다 좁은 것일 수 있다. 상기 컨트롤 게이트는 상기 플로팅 게이트 상부에만 형성되거나, 상기 플로팅 게이트 측벽을 감싸도록 형성될 수 있다. 상기 게이트간 유전막은 실리콘 질화막을 포함하는 것이 바람직하는데, 예컨대 실리콘 산화막과 실리콘 질화막의 복합막(NO막)으로 구성되거나, 실리콘 산화막, 실리콘 질화막 및 상기 실리콘 질화막의 상부에 형성된 실리콘 산화막의 복합막(ONO막)으로 구성된다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 집적회로 제조방법은 OTP 메모리 소자와 모스 트랜지스터가 포함된 반도체 집적회로의 제조방법으로서, OTP 메모리 셀 영역에 터널 산화막을 형성하고 나서 플로팅 게이트를 형성한다. 플로팅 게이트 상에 게이트간 유전막을 형성한 다음, 모스 트랜지스터의 게이트 산화막을 형성한다. 이어서, OTP 메모리 소자의 컨트롤 게이트를 형성하는 동안 모스 트랜지스터의 게이트를 형성한다. 이와 같이, OTP 메모리 소자의 터널 산화막을 형성한 다음에 모스 트랜지스터의 게이트 산화막을 형성하므로, 두 산화막의 두께를 독립적으로 제어할 수 있고, 모스 트랜지스터의 게이트 산화막의 신뢰성 열화를 방지할 수 있게 된다.

바람직한 실시예에서, 기관의 제 1 활성영역 및 제 2 활성영역을 정의하는 다수의 소자분리막을 형성한다. 상기 기관의 제 1 활성영역 상에 터널 산화막을 형성한 다음, 상기 터널 산화막이 형성된 기관의 전면에 플로팅 게이트 물질을 형성하고 패터닝하여 플로팅 게이트를 형성한다. 상기 플로팅 게이트가 형성된 상기 기관의 전면에 적어도 실리콘 산화막과 실리콘 질화막의 복합막으로 이루어진 유전막을 형성한다. 상기 유전막이 형성된 상기 기관의 상기 제 2 활성영역 상에 형성된 상기 유전막을 식각한 후, 상기 제 2 활성영역 상에 상기 터널 산화막보다 두꺼운 고내압 트랜지스터용 게이트 산화막을 형성한다. 상기 고내압 트랜지스터용 게이트 산화막이 형성된 상기 기관의 상부에 컨트롤 게이트와 고내압 트랜지스터용 게이트막으로 사용될 도전물질을 형성하고 패터닝하여 상기 컨트롤 게이트와 고내압 트랜지스터용 게이트를 형성한다. 상기 컨트롤 게이트와 고내압 트랜지스터용 게이트를 형성한 기관의 전면에 콘택홀을 가지는 층간절연막을 형성하고 나서, 상기 콘택홀을 통하여 상기 컨트롤 게이트와 접촉하는 금속배선을 형성한다.

이 때, 상기 기관은 제 3 활성영역을 추가로 구비하며, 상기 제 2 활성영역의 게이트 산화막을 형성한 다음, 상기 제 3 활성영역 상에 형성된 상기 유전막을 식각한 후, 상기 제 3 활성영역 상에 상기 터널 산화막의 두께와 같거나 이보다 얇은 저내압 트랜지스터용 게이트 산화막을 형성하는 단계를 추가로 구비하고, 상기 컨트롤 게이트와 고내압 트랜지스터용 게이트막으로 사용될 도전물질을 형성하고 패터닝하는 단계에서 상기 제 3 활성영역의 상부에도 저내압 트랜지스터용 게이트를 동시에 형성하는 단계를 추가로 구비할 수 있다.

상기 컨트롤 게이트와 고내압 트랜지스터용 게이트를 형성하는 단계 또는 상기 저내압 트랜지스터용 게이트까지 형성하는 단계를 진행한 후에는, 상기 제 1 내지 제 3 활성영역의 소오스와 드레인 영역을 형성하는 단계를 추가로 구비할 수 있으며, 상기 플로팅 게이트와 컨트롤 게이트 중 적어도 어느 하나는 귀금속(noble metal), 귀금속의 산화물, 전도성 산화물 및 이들의 조합으로 이루어진 군으로부터 선택된 어느 하나로 형성할 수 있다.

상기 또 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 집적회로는, 기판의 활성영역을 정의하는 소자분리막, 상기 활성영역 상에 형성된 터널 산화막, 상기 활성영역과 상기 소자분리막 상에 형성된 플로팅 게이트, 상기 플로팅 게이트 상에 형성된 게이트간 유전막, 상기 게이트간 유전막 상에 형성된 컨트롤 게이트, 및 상기 컨트롤 게이트 양측의 활성영역에 형성된 소오스와 드레인 영역을 포함하는 OTP 메모리 소자뿐만 아니라, 제 1 게이트 산화막을 개재하여 형성된 제 1 게이트와 상기 제 1 게이트 양측의 상기 활성영역에 형성된 제 1 소오스와 드레인 영역을 가지는 고내압 트랜지스터, 및 상기 제 1 게이트 산화막보다 얇은 제 2 게이트 산화막을 개재하여 형성된 제 2 게이트와 상기 제 2 게이트 양측의 활성영역에 형성된 제 2 소오스와 드레인 영역을 가지는 저내압 트랜지스터를 더 포함한다.

여기서, 상기 제 2 게이트 산화막의 두께는 상기 터널 산화막보다 얇고, 상기 제 1 게이트 산화막의 두께는 상기 터널 산화막 및 상기 제 2 게이트 산화막의 두께보다 두꺼운 것일 수 있으며, 상기 제 1 게이트와 상기 제 2 게이트는 상기 컨트롤 게이트와 동일한 물질로 형성된다. 대신에, 상기 제 2 게이트 산화막의 두께는 상기 터널 산화막의 두께와 같고, 상기 제 1 게이트 산화막의 두께는 상기 터널 산화막 및 상기 제 2 게이트 산화막의 두께보다 두꺼울 수 있는데, 이 때에도 상기 제 1 게이트와 상기 제 2 게이트는 상기 컨트롤 게이트와 동일한 물질로 형성된다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 본 발명은 기술된 예로 제한되지 않으며, 당업자라면 본 발명의 범주 내에서 다양한 변경을 행할 수 있을 것이다. 예컨대 본 발명은 소오스와 드레인 영역이 실리사이드로 된 실시예에도 유리하게 사용될 수 있다.

(제 1 실시예)

도 4는 본 발명의 실시예에 따른 OTP 메모리 소자의 레이아웃이다. 도 5는 도 4에 따라 제조한 소자에서 도 4의 V-V' 단면에 해당하는 단면도이고, 도 6은 도 4의 VI-VI' 단면에 해당하는 단면도이며, 도 7은 도 4의 VII-VII' 단면에 해당하는 단면도이다.

도 4 내지 도 7에 의하면, 본 발명에 따른 OTP 메모리 소자는 기존 구조인 도 1에서 스택 구조로 있던 플로팅 게이트(20)-유전막(40)-컨트롤 게이트(50)의 구조를 A 영역의 트랜지스터와 B 영역의 커패시터로 분리한 것임을 알 수 있다.

먼저 도 4를 참조하면, 플로팅 게이트(120a)는 활성영역(110) 상에서의 폭이 소자분리막(105) 상에서의 폭보다 좁게 형성되어 T자 형태를 가진다. 이하 설명의 편리함을 위하여 폭이 좁은 부분을 "다리 부분", 폭이 넓은 부분을 "머리 부분"이라 한다. 컨트롤 게이트(150a)는 상기 T자의 머리 부분 위에 놓여진다.

도 4와 도 5를 참조하면, 본 발명에 따른 OTP 메모리 소자는 반도체 기판(100)의 활성영역(110)을 정의하는 소자분리막(105)을 가진다. 활성영역(110) 위에는 터널 산화막(115a)이 형성되어 있으며, 소자분리막(105) 위에는 컨트롤 게이트(150a)가 형성되어 있다. 그리고, 플로팅 게이트(120a)가 게이트간 유전막(140a)을 사이에 두고 컨트롤 게이트(150a)와 중첩되면서 활성영역(110) 위에까지 일체로 연속적으로 형성되어 있다. 즉, T자 모양의 플로팅 게이트(120a) 중 머리 부분은 소자분리막(105) 위에 형성되고, 다리 부분은 활성영역(110) 위에 놓여 있다. 플로팅 게이트(120a) 다리 부분의 양측 활성영역(110)에는 소오스(160)와 드레인(162) 영역이 형성되어 있다. 소오스(160)와 드레인(162) 영역에는 도 4에서와 같이 전원 공급을 위한 콘택(183, 184)이 마련될 수 있다.

게이트간 유전막(140a)은 실리콘 질화막을 포함하는 것이 바람직한데, 예컨대 실리콘 산화막과 실리콘 질화막의 복합막(NO막)으로 구성되거나, 실리콘 산화막, 실리콘 질화막 및 상기 실리콘 질화막의 상부에 형성된 실리콘 산화막의 복합막(ONO막)으로 구성된 것일 수 있다. 이 때, 플로팅 게이트(120a)와 컨트롤 게이트(150a)는 도프트 폴리실리콘층으로 이루어질 수 있다. 게이트간 유전막(140a)으로서 ONO보다 수백 내지 수백배 큰 유전율을 갖는 물질, 예를 들어, Ta₂O₅와

TaON, Al₂O₃ 등의 금속 산화물과, 페로브스카이트(perovskite) 구조의 (Ba, Sr)TiO₃(BST), SrTiO₃, BaTiO₃, (Pb, Zr)TiO₃(PZT) 또는 (Pb, La, Zr)TiO₃(PLZT) 등과 같은 고유전 물질을 적용할 수도 있다. 이 경우에는, 플로팅 게이트(120a)와 컨트롤 게이트(150a) 중 적어도 어느 하나는 귀금속, 귀금속의 산화물, 전도성 산화물 및 이들의 조합으로 이루어진 군으로부터 선택된 어느 하나로 형성하는 것이 바람직하다. 예를 들어, Pt, Ru, Ir, Rh 등의 귀금속 또는 이들의 산화물인 PtO, RuO₂, IrO₂와, (La, Sr)CoO₃, TiN, BaSrRuO₃ 또는 SrRuO₃ 등의 전도성 산화물로 형성한다.

또한, 컨트롤 게이트(150a) 상에는 예를 들면 상압 CVD(Chemical Vapor Deposition) 혹은 플라즈마 CVD 방법으로 형성된 PSG(Phosphorus Silicate Glass), BPSG(Boron Phosphorus Silicate Glass) 또는 USG(Undoped Silicate Glass) 등으로 형성된 층간절연막(170)이 형성되어 있다. 상기 층간절연막(170)에는 컨트롤 게이트(150a)의 전원 공급을 위한 콘택(181)이 형성되어 있고 이 콘택(181)을 통하여 컨트롤 게이트(150a)가 금속배선(180)과 연결되며, 금속배선(180) 상에는 보호막(190)이 형성되어 있다.

본 실시예에서, 컨트롤 게이트(150a)는 T자의 머리 부분 위에만 놓여 있는 형태이다. 그러나, 컨트롤 게이트(150a)는 플로팅 게이트(120a)의 다리 부분의 반대편으로 상기 머리 부분을 지나서까지 소자분리막(110) 상으로 연장되어 플로팅 게이트(120a)의 측벽을 감싸고 있는 형태로 구성하는 것도 가능하다. 그럴 경우, 콘택(181)을 상기 T자의 다리 부분 반대편으로 상기 머리 부분을 지나서 연장된 부분에 형성하는 것도 가능하다. 이 때는 콘택홀 형성을 위한 층간절연막(170)의 식각 공정에서 발생할 수도 있는 셀 특성의 열화를 방지할 수 있는 장점이 있다.

보호막(190)은 일반적인 절연막질, 예를 들면 산화막(192), 질화막(194), 또는 이의 적층 물질로 형성하는 것이 바람직하다. 물론 금속배선(180)은 보호막(190)에 형성된 패드 오프닝 영역(미도시)을 통하여 외부 도전물질, 예를 들면 본딩 와이어, 범프(bump), 및 리드(lead)와 연결될 수 있게 된다. 이 때 셀의 특성 열화를 방지하기 위하여 보호막의 상부에 폴리이미드 등의 코팅막을 추가로 형성하는 것도 가능하다.

A 영역의 단면에 해당하는 도 6을 참조하면, 플로팅 게이트(120a) 양측의 활성영역에 소오스(160)와 드레인(162) 영역이 개재되어 있어, 트랜지스터 모양을 이루고 있음을 알 수 있다. 또한 B 영역의 단면에 해당하는 도 7을 참조하면, 플로팅 게이트(120a) 위에 게이트간 유전막(140a)과 컨트롤 게이트(150a)가 위치함으로써, 커패시터 모양을 이루고 있음을 알 수 있다. 상기 컨트롤 게이트(150a)는 상기 층간 절연막(170)내에 형성된 금속배선(180)과 연결되어 있다. 이런 의미에서, 본 발명의 OTP 메모리 소자의 구조는 펼쳐진 커패시터 구조(spread capacitor)라고 부를 수 있다.

이러한 구조는 기존 스택 구조 대비 셀 면적 측면에서 불리해 보이거나 OTP 메모리 소자가 삽입되는 제품에서 폴리실리콘-유전막-폴리실리콘 구조 또는 금속-유전막-금속 구조 등의 커패시터를 이미 사용하고 있을 경우에 커패시터의 하부 막질을 플로팅 게이트로 그대로 사용하며, 커패시터의 상부 막질을 컨트롤 게이트로 그대로 사용할 수 있다. 즉, 기존에 사용하고 있던 커패시터 구조를 그대로 OTP 메모리 소자로 이용하는 구조로, 기존의 OTP 메모리 소자에서 컨트롤 게이트를 형성하기 위한 포토리소그라피 공정을 진행하지 않아도 되는 장점이 있다.

(제 2 실시예)

도 8은 도 4 내지 도 7에서 살펴본 구조의 OTP 메모리 소자를 삽입하여 제조한 반도체 집적회로의 예이다. 여기에서는, 반도체 기판 위에 2층의 게이트 즉, 플로팅 게이트와 컨트롤 게이트를 가지는 OTP 메모리 소자와 함께 1층의 게이트를 가지는 고내압 모스 트랜지스터 및 저내압 모스 트랜지스터를 함께 형성하여 집적회로를 제조한 구조를 설명하며, 각 도면에 OTP 메모리 소자가 형성될 부분을 제 1 영역, 고내압 모스 트랜지스터가 형성될 부분을 제 2 영역, 그리고 저내압 모스 트랜지스터가 형성될 부분을 제 3 영역으로 나타낸다.

우선 제 1 영역에는 제 1 실시예에서 설명한 것과 같은 OTP 메모리 소자가 형성되어 있다.

제 2 영역에는 상대적으로 두꺼운 제 1 게이트 산화막(122)을 개재하여 형성된 고내압 모스 트랜지스터의 게이트(150b)와, 게이트(150b)의 양방에 형성된 소오스(164)와 드레인(165) 영역이 구비된다. 제 1 게이트 산화막(122)과 게이트(150b)의 측벽에는 게이트 스페이서(미도시)가 더 구비될 수 있다. 이 때 소오스(164)와 드레인(165) 영역은 게이트 스페이서를 이용한 LDD(lightly doped drain), DDD(double doped drain) 등의 변형된 구조를 가질 수 있음은 물론이다.

제 3 영역에는 상대적으로 얇은 제 2 게이트 산화막(124)을 개재하여 형성된 저내압 모스 트랜지스터의 게이트(150c)와, 게이트(150c)의 양방에 형성된 소오스(166)와 드레인(167) 영역이 구비된다. 제 2 게이트 산화막(124)과 게이트(150c)의 측면에도 게이트 스페이서(미도시)가 더 구비될 수 있다. 이 때 소오스(166)와 드레인(167) 영역도 게이트 스페이서를 이용한 LDD, DDD 등의 변형된 구조를 가질 수 있다.

고내압 모스 트랜지스터 및 저내압 모스 트랜지스터의 게이트(150b, 150c) 상에는 OTP 메모리 소자와 마찬가지로 층간 절연막(170)이 형성되어 있다. 층간절연막(170)에는 고내압 트랜지스터의 소오스(164)와 드레인(165) 영역에 전원 공급을 위한 콘택(185, 186)이 형성되어 있다. 그리고, 저내압 트랜지스터의 소오스(166)와 드레인(167) 영역에도 전원 공급을 위한 콘택(187, 188)이 형성되어 있다. 콘택(185, 186, 187, 188)은 상부의 금속배선(180)과 연결되며, 그 위에는 보호막(190)이 형성되어 있다. 보호막(190)은 앞에서 언급한 대로 산화막(192)과 질화막(194)의 적층 물질로 형성하는 것이 바람직하다.

여기서, 제 2 게이트 산화막(124)의 두께는 터널 산화막(115a)보다 얇고, 제 1 게이트 산화막(122)의 두께는 터널 산화막(115a) 및 제 2 게이트 산화막(124)의 두께보다 두꺼운 것일 수 있으며, 고내압 모스 트랜지스터의 게이트(150b)와 저내압 모스 트랜지스터의 게이트(150c)는 컨트롤 게이트(150a)와 동일한 물질로 형성된다. 제 2 게이트 산화막(124)의 두께는 터널 산화막(115a)의 두께와 같고, 제 1 게이트 산화막(122)의 두께는 터널 산화막(115a) 및 제 2 게이트 산화막(124)의 두께보다 두꺼울 수 있는데, 이 때에도 고내압 모스 트랜지스터의 게이트(150b)와 저내압 모스 트랜지스터의 게이트(150c)는 컨트롤 게이트(150a)와 동일한 물질로 형성된다.

상기 구조의 반도체 집적회로는 다음에 설명하는 본 발명의 제조방법에 따라 제조되며, 터널 산화막(115a)과 제 1 게이트 산화막(122) 및 제 2 게이트 산화막(124)이 독립적으로 형성되는 것이기 때문에, 종래와 같은 게이트 산화막의 열화 문제가 방지된 구조이다.

(제 3 실시예)

이하에서는 도 9 내지 도 15를 참조하여, 도 8에 도시한 것과 같은 반도체 집적회로를 제조하는 공정을 설명한다. 각 도면에 OTP 메모리 소자가 형성될 부분을 제 1 영역, 고내압 모스 트랜지스터가 형성될 부분을 제 2 영역, 그리고 저내압 모스 트랜지스터가 형성될 부분을 제 3 영역으로 나타낸다.

우선 도 9를 참조하면, 실리콘 기판 혹은 절연막 상에 형성된 실리콘층을 가지는 SOI(silicon on insulator) 기판과 같은 기판(100) 상에, 예를 들어 STI(Shallow Trench Isolation)에 의하여 소자분리막(105)을 형성하여 각각의 활성영역을 정의한다. 소자의 집적도 및 특성에 따라 적절한 소자분리법을 이용할 수 있는데, 본 실시예에서는 기판의 소자분리 영역에 홈을 형성하고, 이 홈 내에 절연막을 매립함으로써 소자분리를 행하는 STI를 이용하여 소자분리한 경우를 예로 들어 설명한다. 그러나, 소자분리 구조는 이에 한정되는 것은 물론 아니고 LOCOS(LOCAl Oxidation of Silicon) 소자분리 구조 혹은 LOCOS와 STI를 혼합한 형태로 형성해도 무방하다.

소자분리막(105)과 별도의 이온 주입 마스크를 이용하여 P-웰 및 N-웰 형성용 이온 주입을 실시한다. N-모스 및 P-모스의 문턱전압 조절용 불순물 이온주입을 실시할 수도 있다. N-모스의 문턱전압 조절용 불순물 이온주입은 붕소(B) 이온을 원하는 깊이 및 불순물 농도가 되도록 N-모스 및 OTP 메모리 셀이 형성될 영역에 실시한다. P-모스의 문턱전압 조절용 불순물 이온 주입은 BF_2 와 As를 원하는 깊이 및 불순물 농도가 되도록 P-모스가 형성될 영역에 실시한다. 이러한 이온 주입은 문턱전압을 조절하기 위해 실시하는 것으로, 종래 N-모스의 문턱전압 조절을 위해 이온주입을 실시하는 단계를 그대로 이용하면서 OTP 메모리 셀의 문턱전압을 조절하는 이온주입을 겸용할 수 있는 것이다.

다음에, 기판(100) 위에 터널 산화막(115)을 형성한다. 터널 산화막(115)은 80 ~ 160Å의 두께, 예를 들어 120Å 두께로 형성하며, 기판(100)을 열산화시켜 형성하거나 ALD(Atomic Layer Deposition)을 통하여 증착할 수도 있지만, LPCVD(Low Pressure CVD)법에 의해 중온산화막(Middle Temperature Oxide : MTO)을 증착한 다음에, 그 MTO를 어닐링하는 단계를 수행하여 형성할 수도 있다. 어닐링은 결함을 치유하여 MTO의 누설전류 특성과 신뢰성 등을 향상시킨다. 여기서 형성되는 산화막은 낮은 결함밀도, 우수한 계면, 효과적인 불순물 장벽 특성 등을 갖추어야 한다.

이 산화막은 제 1 영역의 터널 산화막으로 사용된다. 그러나, 도 8에서와 같은 저내압 트랜지스터의 게이트 산화막(124)의 두께가 터널 산화막(115a)의 두께와 동일하게 사용될 수 있는 경우에는 제거하지 않고 남겨두었다가 그 게이트 산화막(124)으로 사용할 수도 있다.

다음에, 기판(100) 전면에서 제 1 도전층(120)을 형성한다. 제 1 도전층(120)은 폴리실리콘을 형성한 후 인(P)을 도핑하거나 인시츄 도프트 폴리실리콘층(In-situ Doped Polysilicon)을 사용하는 것도 가능하다. 폴리실리콘은 LPCVD법으로 500°C 내지 700°C의 온도를 사용하여 증착할 수 있다. 인시츄 도프트 폴리실리콘층을 형성할 때 불순물의 도핑 농도는 실리콘 소오스가스 대비 불순물 소오스가스의 유량을 조절함으로써 조절할 수 있는데, 예를 들어 도핑 농도는 10^{19} cm^{-3} 이상이 되도록 한다. 실리콘 소오스가스로는 모노사일렌(monosilane), 디사일렌(disilane), 트리스아일렌(trisilane), 디클로로사일렌(dichlorosilane) 등 사일렌계 가스를 사용하고, 불순물 소오스가스는 PH_3 또는 AsH_3 가스를 사용할 수 있다. 제 1 도전층(120)의 두께는 대략 1000 - 2000Å 정도, 바람직하게는 1500Å 정도로 형성한다.

도 10을 참조하면, 제 1 도전층(120) 위에 소정 영역이 개구된 포토레지스트 패턴(미도시)을 형성한 다음, 이를 식각 마스크로 이용하여 제 1 도전층(120)을 패터닝한다. 이것에 의해, 제 1 영역에 플로팅 게이트(120a)가 형성된다. 이 때, 하부의 터널 산화막(115)도 패터닝될 수 있어, 제 1 영역에 남겨진 터널 산화막에 참조부호 "115a"를 부여한다. 그러나, 터널 산화막(115)을 패터닝하지 않고 기판(100) 전면에 남아있게 할 수도 있다.

플로팅 게이트(120a)가 형성된 기판(100) 전면에서 유전막(140)을 형성한다. 유전막(140)은 산화막, 질화막, 또는 이의 적층 구조, 예를 들면 NO막 혹은 ONO막으로 구성하는 것이 가능하다. 유전막(140)의 두께는 대략 50 ~ 400Å 정도로 형성하며, 전 공정의 결과물을 열산화시켜 산화막 재질로 형성할 수도 있으나, NO막, 예를 들면 산화막 100Å 및 질화막 200Å을 적층하여 형성하는 것이 바람직하다. NO막을 형성하고자 하는 경우에는 LPCVD법으로 MTO를 플로팅 게이트(120a)를 포함하는 기판(100) 전면에서 증착한 다음, 추가적으로 어닐링 처리하거나 열산화를 통해서 산화막을 형성한 후, CVD법을 통하여 실리콘 질화막을 형성하는 방법을 사용할 수 있다. ONO막의 경우에는 NO막이 형성된 기판의 표면을 산화하여 상부 산화막을 형성한다. 이러한 공정은 별도의 공정으로 진행하는 것도 가능하지만 후에 형성되는 고내압 트랜지스터 및 저내압 트랜지스터의 게이트 산화막 형성시 진행하는 것도 가능하다.

한편, 유전막(140)으로서 ONO보다 수백 내지 수백배 큰 유전율을 갖는 물질, 예를 들어, Ta_2O_5 와 TaON, Al_2O_3 등의 금속 산화물과, 페로브스카이트(perovskite) 구조의 (Ba, Sr)TiO₃(BST), SrTiO₃, BaTiO₃, (Pb, Zr)TiO₃(PZT) 또는 (Pb, La, Zr)TiO₃(PLZT) 등과 같은 고유전 물질을 적용할 수도 있다. 이 경우에는, 플로팅 게이트(120a)는 Pt, Ru, Ir, Rh 등의 귀금속 또는 이들의 산화물인 PtO, RuO₂, IrO₂와, (La, Sr)CoO₃, TiN, BaSrRuO₃ 또는 SrRuO₃ 등의 전도성 산화물로 이루어지게 형성하는 것이 바람직하다.

도 11을 참조하면, 제 2 영역(고내압 모스 트랜지스터 형성 영역)을 노출하는 마스크(미도시)를 사용하여 고내압 모스 트랜지스터 상에 형성된 유전막(140)을 선택적으로 식각하여 기판(100)을 노출시킨 후, 열산화를 실시하여 고내압 모스 트랜지스터의 게이트 산화막(122, 이하 제 1 게이트 산화막)을 형성한다. 제 1 게이트 산화막(122)은 열산화막 이외에 CVD 산화막을 형성하거나 ALD막으로 형성하는 것도 가능하다. 이 때 제 1 게이트 산화막(122)의 두께는 트랜지스터의 내압 등을 고려하여 결정하는 것이 바람직하다. 본 실시예에서는 산화막 기준으로 500 ~ 900Å 정도의 두께로 형성하며, 바람직하게는 700Å의 두께로 형성한다. 제 2 영역의 기판을 노출시키기 위해 유전막(140)을 제거하는 과정에서 제 1 영역에 남겨지게 되는 유전막은 "게이트간 유전막"이라 칭하고 참조부호 "140a"를 부여한다. 참조부호 "140b"는 제 3 영역에 남겨진 유전막이다.

도 12를 참조하면, 필요에 따라서, 제 3 영역(저내압 모스 트랜지스터 형성영역)을 노출하는 마스크를 사용하여 저내압 모스 트랜지스터 상에 남아있는 유전막(140b)을 선택적으로 식각한 후, 저내압 모스 트랜지스터의 게이트 산화막(124, 제 2 게이트 산화막)으로 사용되는 열산화막을 형성한다. 제 2 게이트 산화막(124)도 제 1 게이트 산화막(122)과 마찬가지로 열산화막 이외에 CVD 산화막을 형성하거나 ALD 막으로 형성할 수 있다. 이 때 제 2 게이트 산화막(124)의 두께도 트랜지스터의 내압 등을 고려하여 결정하는 것이 바람직하다. 본 실시예에서는 산화막 기준으로 30 ~ 50Å 정도의 두께로 형성하며, 바람직하게는 40Å의 두께로 형성한다.

그러나, 유전막(140b)을 그대로 게이트 산화막으로 사용할 수 있는 경우에는 별도의 산화막 형성 공정이 필요하지 않다. 뿐만 아니라, 앞에서 언급한 것과 같이, 제 2 게이트 산화막(124)의 두께가 터널 산화막(115)의 두께와 동일하게 사용될 수 있는 경우에도 플로팅 게이트(120a)를 형성하는 단계에서 제 3 영역에 터널 산화막을 제거하지 않고 남겨두면 별도의 산화막 형성 공정이 필요하지 않다.

도 13을 참조하면, 게이트간 유전막(140a), 제 1 게이트 산화막(122) 및 제 2 게이트 산화막(124)을 포함한 기판(100) 전면에서 제 2 도전층(150)을 형성한다. 제 2 도전층(150)은 플로팅 게이트의 형성 방법과 동일한 방법에 의하여 형성한

1000 ~ 2000Å 정도의 폴리실리콘막의 단일막이나 폴리실리콘막의 상부에 형성된 1500 ~ 2500Å 정도의 실리사이드막, 예를 들면 코발트 실리사이드(CoSix), 텅스텐 실리사이드(WSix) 또는 티타늄 실리사이드(TiSix)로 된 이중 구조를 형성한다.

도 14를 참조하면, 제 2 도전층(150)을 패터닝하여 컨트롤 게이트(150a), 고내압 모스 트랜지스터의 게이트(150b, 이하 제 1 게이트) 및 저내압 모스 트랜지스터의 게이트(150c, 이하 제 2 게이트)를 형성한다. 이 과정에서 게이트간 유전막(140a)도 패터닝될 수 있다. 이후, OTP 메모리 셀, 고내압 모스 트랜지스터 및 저내압 모스 트랜지스터의 소오스와 드레인 영역을 통상의 방법을 통하여 형성한다. OTP 메모리 셀의 소오스와 드레인 영역은 단면상 보이지 않고, 고내압 모스 트랜지스터 및 저내압 모스 트랜지스터의 소오스와 드레인 영역은 도면에 표시한 것과 같이 "164", "165", "166" 및 "167"이다. 이 때 소오스 및 드레인은 앞에서 설명한 대로 게이트 스페이서를 이용한 LDD, DDD 등의 변형된 구조를 가질 수 있음은 물론이다.

다음으로, 도 15에서와 같이 층간절연막(170)을 형성한다. 이러한 층간절연막(170)을 형성하는 방법은 매우 다양하며, 일반적으로 플라즈마 산화막(Plasma-Oxide), PE-TEOS, HDP, 상압 CVD, 및 저압 CVD를 이용하여 형성한 단일막을 사용하거나 이들의 적층막으로 구성하되 필요에 따라서는 에치백(Etch Back)이나 CMP 방법을 이용한 평탄화 방법을 병행하여 최종적으로 평탄한 평면을 얻을 수 있도록 하는 것이 좋다. 바람직하게는 HDP 산화막과 PE-TEOS의 적층막을 11,000Å 정도 형성한 후, CMP 방법에 의한 평탄화 공정을 진행하여 최종적으로 컨트롤 게이트(150a) 상에 7,000Å 정도의 산화막을 남기는 것이 좋다.

층간절연막(170)을 형성한 후, 통상의 포토리소그래피 공정을 통하여 고내압 모스 트랜지스터의 소오스(164)와 드레인(165) 영역, 저내압 모스 트랜지스터의 소오스(166)와 드레인(167) 영역과 OTP 메모리 소자의 컨트롤 게이트(150a) 및 소오스와 드레인 영역(미도시)이 노출되는 콘택홀을 형성하고, 콘택홀에 도전물질을 채워 넣어 콘택(181, 185, 186, 187, 188)을 형성한 후, 이를 통하여 각 영역과 접촉하는 금속배선(180)을 형성한다. 금속배선(180)은 하부에 콘택저항을 낮추기 위하여 Ti를 50 ~ 150Å 정도, 바람직하게는 150Å로 형성하고, 그 상부에 알루미늄을 4000 ~ 7500Å 정도의 두께로 형성한 후, 그 상부에 TiN을 100 ~ 400Å 정도, 바람직하게는 250Å로 형성한 적층 구조를 사용할 수 있다. 이러한 금속배선(180)은 텅스텐 등의 고용점 금속의 단일막, 또는 그 실리사이드나 구리 등의 단일막 혹은 복합막을 사용하는 것도 가능하다.

필요에 따라서 금속배선(180)은 다층으로 구성하는 것이 가능하다. 이 때 금속배선(180) 상에 금속배선 간의 층간절연막은 P-Oxide, PE-TEOS, HDP, 상압 CVD, 및 저압 CVD, 및 코팅 방법(유기 SOG 혹은 무기 SOG)을 이용하여 형성한 단일막을 사용하거나 이들의 적층막으로 구성하되 필요에 따라서는 에치백이나 CMP 방법을 이용한 평탄화한 후, 앞서 설명한 콘택홀 형성 및 금속배선 형성을 진행한다.

이후, 외부의 영향으로부터 소자를 보호하기 위하여 보호막(190)을 형성한 후, 외부 배선과의 접속을 위한 콘택 창(미도시)을 형성한다. 보호막(190)은 일반적으로 산화막(192)과 질화막(194)의 복합막을 사용하는 것이 일반적이며, 그 상부에는 폴리이미드 층을 추가로 형성할 수 있다.

이상의 방법을 따라 제조되는 OTP 메모리 소자는 펼쳐진 커패시터 구조를 가지며, 이러한 OTP 메모리 소자와 모스 트랜지스터를 포함하는 집적회로에 있어서 OTP 메모리 소자의 터널 산화막과 모스 트랜지스터의 게이트 산화막의 두께를 독립적으로 제어 가능하고 모스 트랜지스터의 게이트 산화막의 신뢰성이 향상된 구조를 얻을 수 있다. 특히 고내압 트랜지스터 및 저내압 트랜지스터와 같이 모스 트랜지스터의 게이트 산화막을 두께가 서로 다른 막을 사용하는 경우에도 게이트 산화막의 신뢰성 열화가 방지될 수 있다.

이상에서는 본 발명의 실시예들에 대하여 설명하였으나, 본 발명은 상기한 실시예들에만 한정되는 것은 아니고 다양한 변형이나 변형이 가능하다. 본 발명은 첨부된 청구범위에 의해 정의되는 본 발명의 사상 및 범주 내에 포함될 수 있는 대안, 변형 및 등가를 포함한다.

발명의 효과

본 발명에서 제안하는 OTP 메모리 소자는 OTP 메모리 소자의 형성을 위해서만 필요하던 공정을 다른 소자의 형성 공정과 겸할 수 있기 때문에 OTP 메모리 소자의 제조 공정을 삭감할 수 있다. 그리고, LDI 등에 사용되는 OTP 소자를 펼쳐진 커패시터 구조로 제조함으로써 제조 공정을 단순화하고 제조 단가를 저감시킬 수 있다. 뿐만 아니라, 본 발명에서 제안하는 OTP 메모리 소자는 서로 다른 두께의 게이트 산화막을 가지는 모스 트랜지스터가 동시에 존재하는 집적회로에서 케미컬에 의한 게이트 산화막의 열화를 감소시킴으로써 집적회로의 신뢰성 및 특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판의 활성영역을 정의하는 소자분리막;

상기 활성영역 상에 형성된 터널 산화막;

상기 활성영역과 상기 소자분리막 상에 형성된 플로팅 게이트;

상기 플로팅 게이트 상에 형성된 게이트간 유전막;

상기 게이트간 유전막 상에 형성되되 상기 플로팅 게이트 중 상기 소자분리막 상에 형성된 부분 위에 놓이는 컨트롤 게이트; 및

상기 플로팅 게이트 양측의 활성영역에 형성된 소오스와 드레인 영역을 포함하는 것을 특징으로 하는 원타임 프로그래머블 메모리(one time programmable memory) 소자.

청구항 2.

제 1 항에 있어서, 상기 플로팅 게이트 중 상기 활성영역 상에 형성된 부분의 폭이 상기 소자분리막 상에 형성된 부분의 폭보다 좁은 것을 특징으로 하는 원 타임 프로그래머블 메모리 소자.

청구항 3.

제 1 항에 있어서, 상기 컨트롤 게이트는 상기 플로팅 게이트 상부에만 형성된 것을 특징으로 하는 원 타임 프로그래머블 메모리 소자.

청구항 4.

제 1 항에 있어서, 상기 컨트롤 게이트는 상기 활성영역 반대편의 상기 플로팅 게이트 측벽을 감싸도록 형성된 것을 특징으로 하는 원 타임 프로그래머블 메모리 소자.

청구항 5.

제 1 항에 있어서, 상기 게이트간 유전막은 실리콘 질화막을 포함하는 것을 특징으로 하는 원 타임 프로그래머블 메모리 소자.

청구항 6.

제 5 항에 있어서, 상기 게이트간 유전막은 실리콘 산화막과 실리콘 질화막의 복합막으로 형성된 것을 특징으로 하는 원 타임 프로그래머블 메모리 소자.

청구항 7.

제 5 항에 있어서, 상기 게이트간 유전막은 실리콘 산화막, 실리콘 질화막 및 상기 실리콘 질화막의 상부에 형성된 실리콘 산화막의 복합막으로 형성된 것을 특징으로 하는 원 타임 프로그래머블 메모리 소자.

청구항 8.

기판의 활성영역을 정의하는 소자분리막, 상기 활성영역 상에 형성된 터널 산화막, 상기 활성영역과 상기 소자분리막 상에 형성된 플로팅 게이트, 상기 플로팅 게이트 상에 형성된 게이트간 유전막, 상기 게이트간 유전막 상에 형성된 상기 플로팅 게이트 중 상기 소자분리막 상에 형성된 부분 위에 놓이는 컨트롤 게이트, 및 상기 플로팅 게이트 양측의 활성영역에 형성된 소오스와 드레인 영역을 포함하는 것을 특징으로 하는 원타임 프로그래머블 메모리 소자;

상기 기판 상에 제 1 게이트 산화막을 개재하여 형성된 제 1 게이트와 상기 제 1 게이트 양측의 상기 활성영역에 형성된 제 1 소오스와 드레인 영역을 가지는 고내압 트랜지스터; 및

상기 기판 상에 상기 제 1 게이트 산화막보다 얇은 제 2 게이트 산화막을 개재하여 형성된 제 2 게이트와 상기 제 2 게이트 양측의 상기 활성영역에 형성된 제 2 소오스와 드레인 영역을 가지는 저내압 트랜지스터를 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 9.

제 8 항에 있어서, 상기 제 2 게이트 산화막의 두께는 상기 터널 산화막보다 얇고, 상기 제 1 게이트 산화막의 두께는 상기 터널 산화막 및 상기 제 2 게이트 산화막의 두께보다 두꺼운 것을 특징으로 하는 반도체 집적회로.

청구항 10.

제 9 항에 있어서, 상기 제 1 게이트와 상기 제 2 게이트는 상기 컨트롤 게이트와 동일한 물질로 형성된 것을 특징으로 하는 반도체 집적회로.

청구항 11.

제 8 항에 있어서, 상기 제 2 게이트 산화막의 두께는 상기 터널 산화막의 두께와 같고, 상기 제 1 게이트 산화막의 두께는 상기 터널 산화막 및 상기 제 2 게이트 산화막의 두께보다 두꺼운 것을 특징으로 하는 반도체 집적회로.

청구항 12.

제 11 항에 있어서, 상기 제 1 게이트와 상기 제 2 게이트는 상기 컨트롤 게이트와 동일한 물질로 형성된 것을 특징으로 하는 반도체 집적회로.

청구항 13.

기판의 제 1 영역, 제 2 영역 및 제 3 영역을 정의하는 다수의 소자분리막;

상기 기판의 제 1 영역과 상기 소자분리막 상에 형성된 플로팅 게이트로서, 상기 플로팅 게이트 중 상기 활성영역 상에 형성된 부분의 폭이 상기 소자분리막 상에 형성된 부분의 폭보다 좁게 형성된 플로팅 게이트, 상기 플로팅 게이트 상에 형성

되되 적어도 실리콘 산화막과 실리콘 질화막의 복합막을 포함하는 게이트간 유전막, 및 상기 게이트간 유전막 상에 형성된 상기 플로팅 게이트 중 상기 소자분리막 상에 형성된 부분 위에 놓이는 컨트롤 게이트를 포함하는 원타임 프로그래머블 메모리 소자;

상기 기관의 제 2 영역 상에 형성되되 두께가 상기 터널 산화막의 두께와 같거나 이보다 두꺼운 제 1 게이트 산화막을 개재하여 형성되고 상기 컨트롤 게이트와 동일한 물질로 형성된 제 1 게이트와 상기 제 1 게이트 양측의 상기 제 2 영역에 형성된 제 1 소오스와 드레인 영역으로 이루어진 고내압 트랜지스터; 및

상기 기관의 제 3 영역 상에 형성되되 두께가 상기 제 1 게이트 산화막보다 얇은 제 2 게이트 산화막을 개재하여 형성되고 상기 컨트롤 게이트와 동일한 물질로 형성된 제 2 게이트와 상기 제 2 게이트 양측의 상기 제 3 영역에 형성된 제 2 소오스와 드레인 영역으로 이루어진 저내압 트랜지스터를 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항 14.

기관의 제 1 활성화영역 및 제 2 활성화영역을 정의하는 다수의 소자분리막을 형성하는 단계;

상기 기관의 제 1 활성화영역 상에 터널 산화막을 형성하는 단계;

상기 터널 산화막이 형성된 기관의 전면에 플로팅 게이트 물질을 형성하고 패터닝하여 플로팅 게이트를 형성하는 단계;

상기 플로팅 게이트가 형성된 상기 기관의 전면에 적어도 실리콘 산화막과 실리콘 질화막의 복합막으로 이루어진 유전막을 형성하는 단계;

상기 게이트간 유전막이 형성된 기관의 상기 제 2 활성화영역 상에 형성된 상기 유전막을 식각한 후, 상기 터널 산화막보다 두꺼운 고내압 트랜지스터용 게이트 산화막을 형성하는 단계;

상기 고내압 트랜지스터용 게이트 산화막이 형성된 상기 기관의 상부에 컨트롤 게이트와 고내압 트랜지스터용 게이트막으로 사용될 도전물질을 형성하고 패터닝하여 상기 컨트롤 게이트와 고내압 트랜지스터용 게이트를 형성하는 단계; 및

상기 컨트롤 게이트와 고내압 트랜지스터용 게이트를 형성한 기관의 전면에 콘택홀을 가지는 층간절연막을 형성하는 단계; 및

상기 콘택홀을 통하여 상기 컨트롤 게이트와 접촉하는 금속배선을 형성하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 15.

제 14 항에 있어서, 상기 기관은 제 3 활성화영역을 추가로 구비하며, 상기 제 2 활성화영역의 게이트 산화막을 형성한 후, 상기 제 3 활성화영역 상에 형성된 상기 유전막을 식각한 후, 상기 터널 산화막의 두께와 같거나 이보다 얇은 저내압 트랜지스터용 게이트 산화막을 형성하는 단계를 추가로 구비하고, 상기 컨트롤 게이트와 고내압 트랜지스터용 게이트막으로 사용될 도전물질을 형성하고 패터닝하는 단계에서 상기 제 3 활성화영역의 상부에도 저내압 트랜지스터용 게이트를 동시에 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 16.

제 14 항에 있어서, 상기 컨트롤 게이트와 고내압 트랜지스터용 게이트를 형성하는 단계를 진행한 다음, 상기 제 1 활성화영역 및 제 2 활성화영역의 소오스와 드레인 영역을 형성하는 단계를 추가로 구비한 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 17.

제 15 항에 있어서, 상기 컨트롤 게이트, 상기 고내압 트랜지스터 및 상기 저내압 트랜지스터용 게이트를 형성하는 단계를 진행한 다음, 상기 제 1 내지 제 3 활성영역의 소오스와 드레인 영역을 형성하는 단계를 추가로 구비한 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 18.

제 16 항에 있어서, 상기 소자분리막을 형성하는 단계와 상기 터널 산화막을 형성하는 단계 사이에, 상기 제 1 활성영역의 기관 내부로 문턱전압 조절용 이온주입을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 19.

제 17 항에 있어서, 상기 소자분리막을 형성하는 단계와 상기 터널 산화막을 형성하는 단계 사이에, 상기 제 1 활성영역의 기관 내부로 문턱전압 조절용 이온주입을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 20.

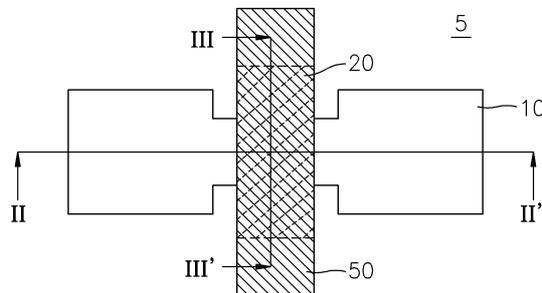
제 18 항에 있어서, 상기 플로팅 게이트와 컨트롤 게이트 중 적어도 어느 하나는 귀금속, 귀금속의 산화물, 전도성 산화물 및 이들의 조합으로 이루어진 균으로부터 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 21.

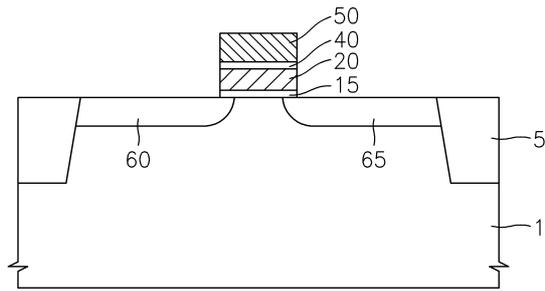
제 19 항에 있어서, 상기 플로팅 게이트와 컨트롤 게이트 중 적어도 어느 하나는 귀금속, 귀금속의 산화물, 전도성 산화물 및 이들의 조합으로 이루어진 균으로부터 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

도면

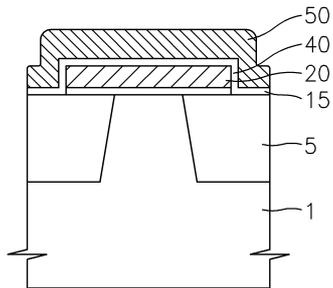
도면1



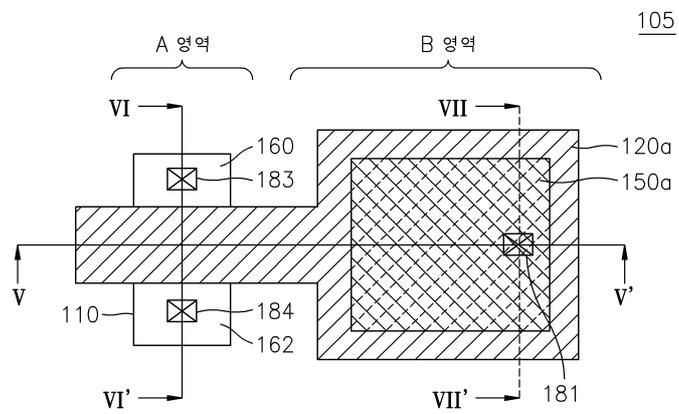
도면2



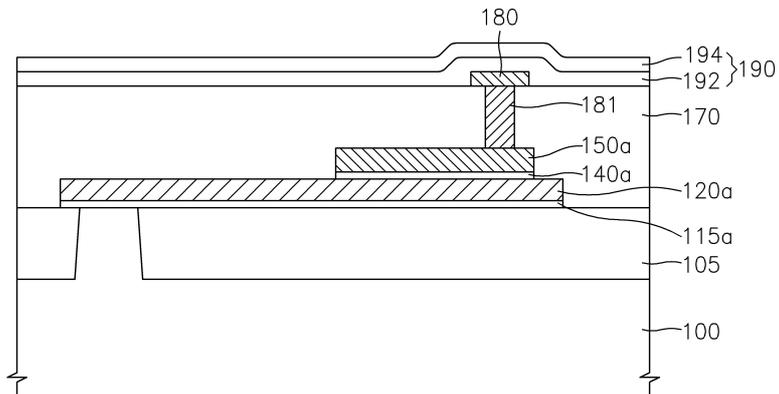
도면3



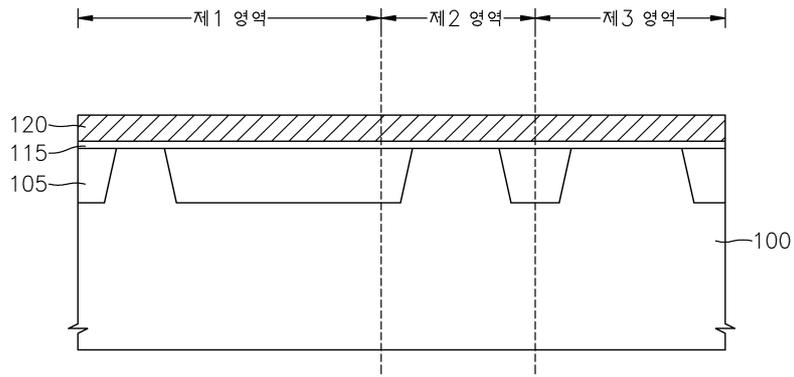
도면4



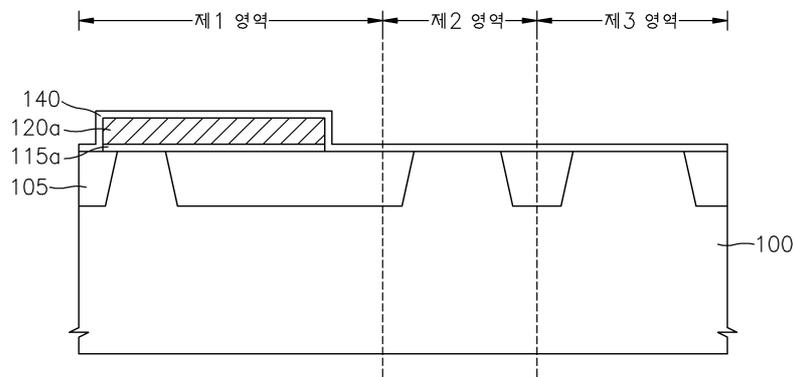
도면5



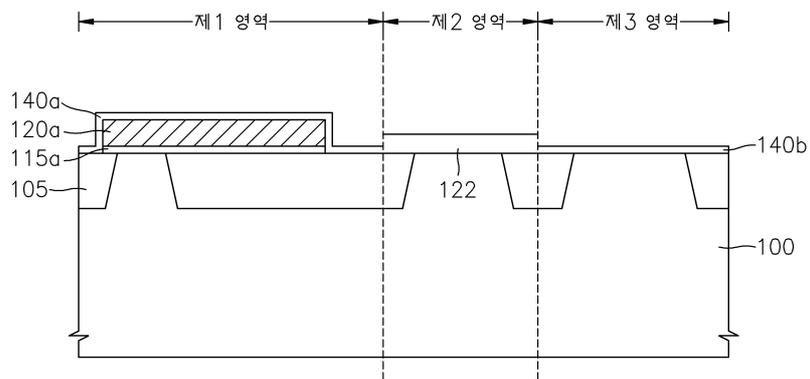
도면9



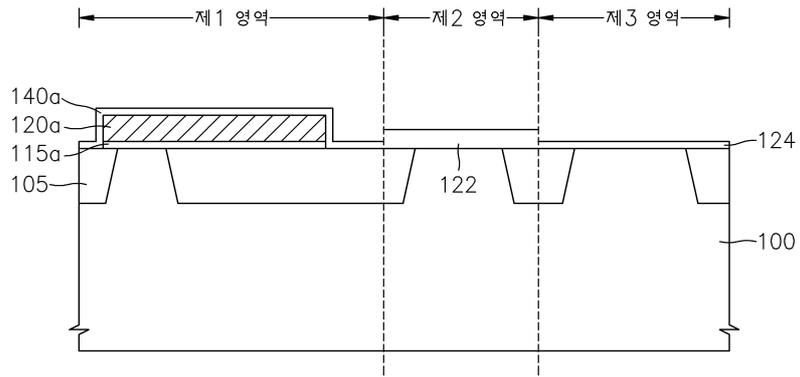
도면10



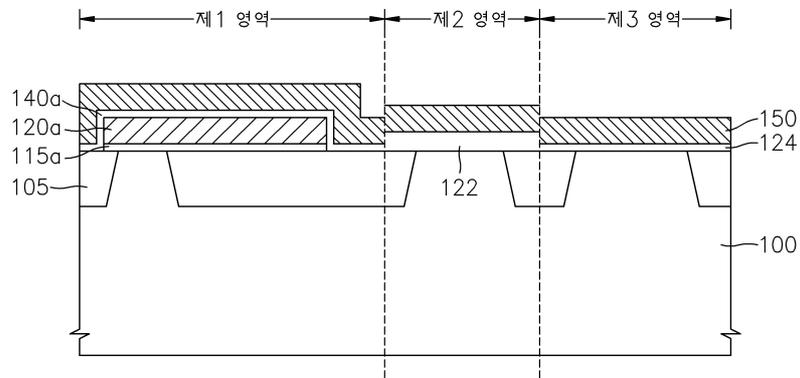
도면11



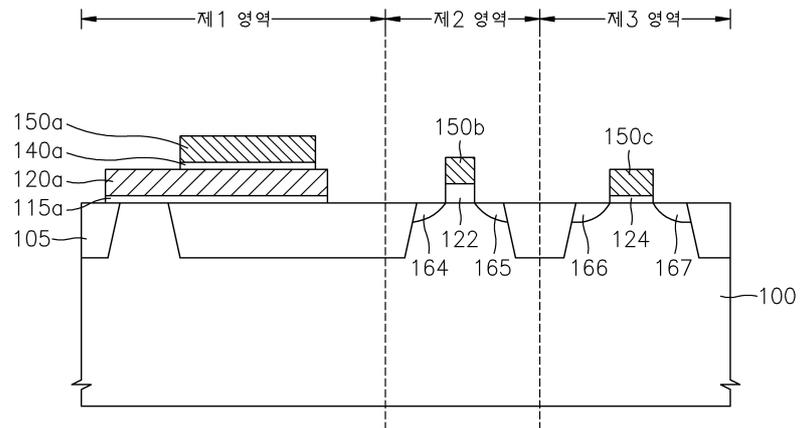
도면12



도면13



도면14



도면15

