



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 44 44 686 B4** 2009.07.02

(12)

Patentschrift

(21) Aktenzeichen: **P 44 44 686.1**
 (22) Anmeldetag: **15.12.1994**
 (43) Offenlegungstag: **22.06.1995**
 (45) Veröffentlichungstag
 der Patenterteilung: **02.07.2009**

(51) Int Cl.⁸: **H01L 27/108** (2006.01)
H01L 21/8242 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
93 28221 17.12.1993 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(72) Erfinder:
Lee, Yong-hee, Seoul/Soul, KR; Seo, Young-woo, Suwon, KR; Shin, Jung-hyun, Suwon, KR

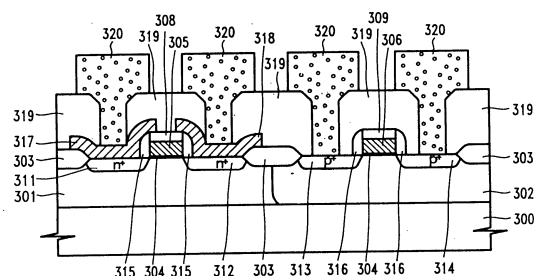
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

US 52 32 874 A
US 49 37 645 A
JP 02-79 462 A

(54) Bezeichnung: **Halbleiterbauelement mit MOS-Transistor und Verfahren zu seiner Herstellung**

(57) Hauptanspruch: Halbleiterbauelement mit folgenden Elementen:

- einem Halbleitersubstrat (300),
- wenigstens einem Gebiet (311, 312) eines ersten Leitfähigkeitstyps und wenigstens einem Gebiet (313, 314) eines zweiten Leitfähigkeitstyps, die selektiv auf dem Halbleitersubstrat gebildet sind,
- einem MOS-Transistor eines ersten Leitfähigkeitstyps mit Source-/Draingebieten (311, 312) vom ersten Leitfähigkeitstyp die voneinander beabstandet als Gebiete des ersten Leitfähigkeitstyps auf dem Halbleitersubstrat angeordnet sind, und mit einer auf dem Halbleitersubstrat unter Zwischenfügung einer Gateisolationsschicht (304) gebildeten Gateelektrode (305),
- einer isolierenden Gatedeckschicht (308, 315) zur Bedeckung der Gateelektrode des MOS-Transistors vom ersten Leitfähigkeitstyp,
- einer ersten Kontaktstellschicht (317), die auf der Oberfläche des Sourcegebietes (311) und der isolierenden Gatedeckschicht (308, 315) des MOS-Transistors vom ersten Leitfähigkeitstyp gebildet ist,
- einer zweiten Kontaktstellschicht (318), die auf der Oberfläche des Draingebietes (312) und der isolierenden Gatedeckschicht (308, 315) des MOS-Transistors vom ersten Leitfähigkeitstyp gebildet und elektrisch von der ersten Kontaktstellschicht...



Beschreibung

[0001] Die Erfindung bezieht sich auf ein Halbleiterbauelement mit MOS-Transistor sowie auf ein Verfahren zu seiner Herstellung. Insbesondere bezieht sich die Erfindung auf einen dynamischen Schreib-/Lesespeicher (DRAN), der sowohl einen PMOS-Transistor als auch einen NMOS-Transistor beinhaltet. Ein DRAN-Bauelement besitzt im allgemeinen einen Zellenmatrixbereich mit einer Mehrzahl von NMOS-Transistoren und zugehörigen Kondensatoren sowie einen peripheren Schaltkreisbereich zum Ansteuern des Zellenmatrixbereichs. Der periphere Schaltkreisbereich ist im allgemeinen aus einer Mehrzahl von CMOS-Transistoren aufgebaut. Mit fortschreitendem Integrationsgrad der Bauelemente wird jedoch der Abstand zwischen Speicherzellen geringer, so da sich die Abmessungen für Kontaktlöcher zur Freilegung des Source-/Draingebietes verringern, was die Kontakttoleranz herabsetzt.

[0002] Um diesbezüglich eine Verbesserung zu erreichen, kommt eine Technik in Betracht, bei der auf dem Source-/Draingebiet der im Zellenmatrixbereich enthaltenen Mehrzahl von NMOS-Transistoren eine Kontaktstellschicht gebildet wird. Im Fall, dass die Kontaktstellschicht nur auf den im Zellenmatrixbereich enthaltenen NMOS-Transistoren gebildet wird, sind voneinander getrennt ein Schritt zur Herstellung des Zellenmatrixbereichs und ein Schritt zur Herstellung des peripheren Schaltkreisbereichs erforderlich, was entsprechend viele Maskenmuster erfordert. Außerdem verringert sich mit steigender Packungsdichte der Bauelemente die zur Bildung eines Elementes verfügbare Einheitsfläche sowohl im peripheren Schaltkreisbereich auch im Zellenmatrixbereich. Dies ergibt einen Bedarf nach effektiverer Verwendung der Einheitsfläche.

[0003] Aus diesem Grund kommt eine Technik in Betracht, bei der die Kontaktstellschicht zwecks Vergrößerung der Kontakttoleranz auch auf dem Source-/Draingebiet der Transistoren im peripheren Schaltkreisbereich gebildet wird. Ein dementsprechendes, nicht erfindungsgemäßes Halbleiterbauelement, das einen NMOS-Transistor und einen PMOS-Transistor besitzt und bei dem die Kontaktstellschicht zur Gewährleistung der Kontakttoleranz auf dem gesamten Source-/Draingebiet gebildet ist, wird nachfolgend unter Bezugnahme auf [Fig. 1](#) erläutert.

[0004] Gemäß [Fig. 1](#) sind auf einem Halbleitersubstrat (100) selektiv eine p-Mulde (101) und eine n-Mulde (102) ausgebildet. Auf der p-Mulde (101) ist selektiv eine Bauelementisolationsschicht (103), z. B. eine Feldoxidschicht, gebildet, um einen Bauelementisolationbereich und einen aktiven Bereich festzulegen. Zur Erzeugung eines Kanals in einem vorbestimmten Abstand voneinander n⁺-Source-/Drain-

gebiete (105) und (106) im aktiven Bereich der p-Mulde (101) angeordnet. Über dem Kanal befindet sich eine Gateisolationsschicht (115). Auf der Gateisolationsschicht (115) ist eine Gateelektrode (110) gebildet. Die Gateelektrode (110) ist von einer isolierenden Deckschicht (112) bedeckt. An den Seitenwänden der Gateelektrode (110) befindet sich eine isolierende Abstandshalterschicht (Abstandshalter) (109a). Auf den n⁺-Source-/Draingebieten (105 und 106) ist jeweils eine Kontaktstellschicht (Kontaktstelle) (111a) gebildet. Wie oben erwähnt, ist die Kontaktstellschicht (111a) zur Vergrößerung der Kontakttoleranz ausgelegt, wozu sich ein Ende bis auf die Oberseite der isolierenden Deckschicht (112) und das andere Ende bis auf die Oberseite der Bauelementisolationsschicht (103) erstrecken. Die jeweiligen Kontaktstellschichtteile (111a) sind zwecks elektrischer Isolierung voneinander getrennt angeordnet und von der Gateelektrode (110) durch die isolierende Deckschicht (112) und die isolierende Abstandshalterschicht (109a) elektrisch isoliert.

[0005] Analog zum Fall der p-Mulde (101) ist die Bauelementisolationsschicht (103) auch auf der n-Mulde (102) zur Festlegung des aktiven Bauelementbereiches vorgesehen. Zur Bildung eines Kanals in dem aktiven Gebiet sind p⁺-Source-/Draingebiete (107 und 108) in vorgegebenem Abstand voneinander angeordnet. Über dem Kanal sind nacheinander die Gateisolationsschicht (115), die Gateelektrode (110) und die isolierende Deckschicht (112) gebildet. An den Seitenwänden der Gateelektrode (110) befindet sich eine isolierende Abstandshalterschicht (109b). Eine Kontaktstellschicht (111b) ist auf den p⁺-Source-/Draingebieten (107 und 108) angeordnet.

[0006] Auf den PMOS-Transistor und den NMOS-Transistor sind eine dielektrische Zwischenschicht (113) mit einer Mehrzahl von Öffnungen zur Freilegung der Kontaktstellschichten (111a und 111b) sowie eine Mehrzahl von jeweils mit den Kontaktstellschichten (111a und 111b) verbundenen Elektroden (114) aufgebracht. In einem DRAM mit einem aus einer Mehrzahl von NMOS-Transistoren bestehenden Zellenmatrixbereich können die Elektroden beispielsweise zu Bitleitungen oder Wortleitungen gehören. Das entsprechende Halbleiterbauelement besitzt folgende Vorzüge.

[0007] Erstens ist die Kontaktstellschicht im gesamten aktiven Bereich einschließlich der Source-/Draingebiete des PMOS-Transistors und des NMOS-Transistors gebildet, was die Anforderungen an die Entwurfsregel für die herzustellenden Kontakte verringert.

[0008] Zweitens ist bei einem DRAM die Kontaktstellschicht sowohl in dem den NMOS-Transistor und den PMOS-Transistor enthaltenden, peripheren Schaltkreisbereich als auch in dem nur die

NMOS-Transistoren enthaltenden Zellenmatrixbereich ausgebildet, wodurch sich Stufenhöhen verringern lassen.

[0009] Drittens läßt sich durch die Einführung der Kontaktstellschicht das aktive Gebiet reduzieren, wodurch die Betriebsgeschwindigkeit der Bauelemente erhöht wird.

[0010] Allerdings besteht neben diesen Vorteilen die Schwierigkeit, daß zur Herstellung einer solchen Struktur die Kontaktstellschichten sowohl auf dem PMOS-Transistor als auch auf dem NMOS-Transistor auszubilden sind. Dies erhöht unvermeidlicherweise die Anzahl erforderlicher Maskenmuster. Zur weiteren Erörterung dieses Problems wird nachfolgend ein Herstellungsverfahren für dieses Halbleiterbauelement beschrieben.

[0011] In einem ersten Schritt wird das Substrat (**100**) bereitgestellt, und die p-Mulde (**101**) sowie die n-Mulde (**102**) werden darauf selektiv erzeugt. Des weiteren wird die Bauelementisolationsschicht (**103**), beispielsweise eine Feldoxidschicht, selektiv gebildet.

[0012] In einem zweiten Schritt wird zunächst eine thermische Oxidationsschicht ganzflächig auf die resultierende Struktur als Gateisolationsschicht aufgebracht. Darauf wird eine erste Polysiliziumschicht zur Bildung der Gateelektrode angeordnet, und es werden Fremdatome implantiert. Anschließend wird eine erste CVD-Isolationsschicht zwecks Erzeugung der isolierenden Deckschicht abgeschieden, auf der dann ein Gate-Maskenmuster zur Festlegung der Gateelektrode erzeugt wird. Unter Verwendung des Gate-Maskenmusters werden die erste CVD-Isolationsschicht, die Polysiliziumschicht und die thermische Oxidschicht nacheinander und selektiv geätzt, um die isolierende Deckschicht (**112**), die Gateelektrode (**110**) und die Gateisolationsschicht (**115**) zu erzeugen, wie sie in [Fig. 1](#) dargestellt sind.

[0013] In einem dritten Schritt werden n-leitende Fremdatome in die resultierende Struktur implantiert.

[0014] In einem vierten Schritt wird zunächst eine zweite CVD-Isolationsschicht ganzflächig auf der resultierenden Struktur abgeschieden. Dann wird ein NMOS-Maskenmuster erzeugt, um ein Gebiet freizulegen, in welchem der NMOS-Transistor gebildet werden soll. Die zweite CVD-Isolationsschicht wird in dem freiliegenden Gebiet, in welchem der NMOS-Transistor gebildet werden soll, anisotrop geätzt, so daß der Abstandshalter (**109a**) an den Seitenwänden der Gateelektrode (**110**) entsteht.

[0015] In einem fünften Schritt wird eine zweite Polysiliziumschicht zur Bildung der Kontaktstellschicht für den NMOS-Transistor aufgebracht.

[0016] In einem sechsten Schritt werden n⁺-leitende Fremdatome implantiert, um die n⁺-Source-/Draingebiete (**105** und **106**) des NMOS-Transistors zu bilden und gleichzeitig die zweite Polysiliziumschicht zu dotieren.

[0017] In einem siebten Schritt wird zunächst ein NMOS-Kontaktstellen-Maskenmuster zur Festlegung der Kontaktstellschicht für den NMOS-Transistor erzeugt. Unter Verwendung dieses Musters wird die zweite Polysiliziumschicht selektiv geätzt, um die Kontaktstellschicht (**111a**) bereitzustellen.

[0018] In einem achten Schritt wird das NMOS-Maskenmuster entfernt, und es wird ein PMOS-Maskenmuster zur Freilegung eines Bereiches, in welchem der PMOS-Transistor gebildet werden soll, erzeugt.

[0019] In einem neunten Schritt wird die in dem Gebiet, in welchem der PMOS-Transistor gebildet werden soll, verbliebende zweite CVD-Oxidschicht anisotrop geätzt, um den Abstandshalter (**109b**) an den Seitenwänden der Gateelektrode (**110**) zu erzeugen.

[0020] In einem zehnten Schritt werden eine dritte Polysiliziumschicht zur Bildung der Kontaktstellschicht für den PMOS-Transistor aufgebracht und anschließend p⁺-Fremdatome implantiert, um die p⁺-Source-/Draingebiete (**107** und **108**) des PMOS-Transistors zu erzeugen und gleichzeitig die dritte Polysiliziumschicht zu dotieren.

[0021] In einem elften Schritt wird zunächst ein PMOS-Kontaktstellen-Maskenmuster zur Festlegung der Kontaktstellschicht für den PMOS-Transistor erzeugt. Unter Verwendung dieses Musters wird dann die dritte Polysiliziumschicht selektiv geätzt, um die Kontaktstellschicht (**111b**) herzustellen.

[0022] In einem zwölften Schritt wird zuerst die dielektrische Zwischenschicht (**113**) ganzflächig auf die resultierende Struktur aufgebracht. Zur Erzeugung einer Mehrzahl von Öffnungen zwecks Freilegung der Kontaktstellschichten (**111a** und **111b**) wird dann die dielektrische Zwischenschicht unter Verwendung eines Kontakt-Maskenmusters selektiv geätzt.

[0023] In einem dreizehnten Schritt wird eine Mehrzahl von Elektroden (**114**) hergestellt, welche jeweils eine Verbindung zu den Kontaktstellschichten (**111a**) und **111b**) durch die Öffnungen hindurch herstellen.

[0024] Wenn bei dem obigen Herstellungsverfahren im dritten Schritt die n⁻-Fremdatome in das gesamte Source-/Draingebiet des NMOS-Transistors und des PMOS-Transistors implantiert werden, erhält der NMOS-Transistor eine LDD(schwach dotiertes Drain)-Struktur und weist daher verbesserte Eigen-

schaften auf. Jedoch entsteht in diesem Fall wegen der Bildung eines p-leitenden Leitfähigkeitsgebietes auf dem Source-/Draingebiet des PMOS-Transistors trotz späterer Implantation von p⁺-Fremdatomen eine extrem hohe Schwellenspannung, was Schwierigkeiten für die Ansteuerung nach sich zieht.

[0025] Im allgemeinen wird in dem Fall, in dem keine Kontaktstellschicht vorgesehen ist, das Source-/Draingebiet des PMOS-Transistors zunächst mit n⁻-Fremdatomen und später mit p⁺-Fremdatomen dotiert. Das n⁻-dotierte Gebiet bewirkt bei dieser Vorgehensweise die Verhinderung einer Diffusion der p-leitenden Fremdatome, was zu einem wünschenswerten Effekt führt. Wenn jedoch, wie in [Fig. 1](#) gezeigt, die Kontaktstellschicht auf dem Source-/Draingebiet des PMOS-Transistors aufgebracht wird und dann die p⁺-Fremdatome implantiert werden, können die Fremdatome nicht in effektiver Weise implantiert werden, und die Schwellenspannung wird, wie oben erwähnt, extrem hoch. Wenn andererseits die p⁺-Fremdatome sehr stark implantiert werden, um die Schwellenspannung des PMOS-Transistors zu verringern, entsteht der Übergang in einer beträchtlichen Tiefe. Da zudem das Diffusionsvermögen von Bor (das üblicherweise für die p-leitenden Fremdatome verwendet wird) sehr hoch ist, verschlechtert sich der Durchgriff des PMOS-Transistors.

[0026] Um diese Schwierigkeiten zu überwinden, kommt ein Verfahren in Betracht, bei dem ein Maskenmuster für die Dotierung mit den n⁻-Fremdatomen erzeugt wird, um dadurch die n⁻-Fremdatome im dritten Schritt nur in das Source-/Draingebiet des NMOS-Transistors zu dotieren. In diesem Fall erhöht sich jedoch die Anzahl von während des Herstellungsprozesses verwendeten Maskenmustern. Ein Maskenmuster wird üblicherweise durch Fotolithografie erzeugt und benötigt einen merklichen Aufwand an Zeit und Kosten, was die gesamten Produktionskosten für das Halbleiterbauelement erhöht, weshalb jegliches Anwachsen der Anzahl von Maskenmustern sehr ungünstig ist.

[0027] In der Patentschrift US 4 937 645 A ist die Herstellung eines Halbleiterbauelements mit einer Gruppe von MISFETs vom p-Kanal-Typ und einer Gruppe von MISFETs vom n-Kanal-Typ beschrieben. Dabei können je ein MISFET jedes Typs Bestandteil einer CMOS-Struktur im peripheren Schaltkreisbereich eines DRAM-Bauelements sein, das außerdem einen MISFET eines der beiden Typen für eine jeweilige Speicherzelle in Kombination mit einer Stapelkondensatorstruktur aufweist. Bei den MISFETs im peripheren Schaltkreisbereich sind kontaktierende Elektroden direkt mit einem jeweiligen Source-/Draingebiet durch entsprechende Öffnungen in einer isolierenden Zwischenschicht hindurch verbunden. Beim Speicherzellen-MISFET ist eine Elektrode durch eine entsprechende Öffnung hindurch mit einer

Kontaktstellschicht verbunden, die auf der Oberfläche eines Draingebietes und einer isolierenden Gate-Deckschicht gebildet ist. Über dem Sourcegebiet des Speicherzellen-MISFETs und einem Teil der isolierenden Gate-Deckschicht ist die Stapelkondensatorstruktur ausgebildet.

[0028] In der Patentschrift US 5 232 874 A ist ein Verfahren zur Herstellung eines Halbleiterwafers mit flachen und tiefen vergrabenen Kontakten in verschiedenen Waferbereichen beschrieben. Im Bereich tiefer Kontakte erstrecken sich kontaktierende Elektroden durch Öffnungen in einer isolierenden Zwischenschicht hindurch bis zu einer Kontaktstellschicht, die auf einem Gebiet eines ersten Leitfähigkeitstyps gebildet ist und sich unter Zwischenfügung einer Isolationsschicht in einen zum Gebiet des ersten Leitfähigkeitstyps benachbarten Bereich erstreckt. Im Bereich flacher Kontakte erstrecken sich kontaktierende Elektroden durch Öffnungen der isolierenden Zwischenschicht hindurch bis zu einem Gebiet des dem ersten entgegengesetzten zweiten Leitfähigkeitstyps.

[0029] In der Offenlegungsschrift JP 02079462 A ist eine DRAM-Zellenstruktur mit einem MOS-Transistor und einem Stapelkondensator beschrieben, bei der auf dem einen dotierten Transistorgebiet die Stapelkondensatorstruktur gebildet ist, während sich über dem anderen dotierten Transistorgebiet eine Kontaktstellschicht befindet, die sich bis über eine Gate-Deckschicht erstreckt und eine zugehörige Gate-Elektrode teilweise umgibt. Die untere Kondensatorelektrode erstreckt sich über die Gate-Elektrode und die Kontaktstellschicht.

[0030] Der Erfindung liegt als technisches Problem die Bereitstellung eines Halbleiterbauelementes der eingangs genannten Art, das auf einfache Weise hergestellt werden kann und eine verbesserte Zuverlässigkeit besitzt, sowie eines Verfahrens zu seiner Herstellung zugrunde.

[0031] Dieses Problem wird durch ein Halbleiterbauelement mit den Merkmalen des Anspruchs 1 sowie ein Verfahren zu seiner Herstellung mit den Merkmalen des Anspruchs 7 oder des Anspruchs 13 gelöst. Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0032] Bevorzugte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie die zu deren besseren Verständnis oben beschriebene, nicht erfindungsgemäße Ausführungsform sind in den Zeichnungen dargestellt. Hierbei zeigen:

[0033] [Fig. 1](#) einen Querschnitt durch ein nicht erfindungsgemäßes Halbleiterbauelement,

[0034] [Fig. 2](#) einen Querschnitt durch ein nicht erfin-

dungsgemäßes, der Erläuterung dienendes, Halbleiterbauelement,

[0035] [Fig. 3](#) einen Querschnitt durch ein erfindungsgemäßes Halbleiterbauelement,

[0036] [Fig. 4](#) einen Querschnitt durch ein zweites erfindungsgemäßes Halbleiterbauelement,

[0037] [Fig. 5](#) eine teilweise Querschnittsansicht eines dritten erfindungsgemäßen Halbleiterbauelementes,

[0038] [Fig. 6A](#) einen Querschnitt einer Speicherzelle, die im Zellenmatrixbereich eines erfindungsgemäßen DRAMs enthalten ist,

[0039] [Fig. 6B](#) einen Querschnitt durch eine Struktur am Rand des Zellenmatrixbereichs des erfindungsgemäßen DRAMs gemäß [Fig. 6A](#),

[0040] [Fig. 7A–Fig. 7G](#) sowie [Fig. 8A–Fig. 8G](#) Querschnitte von Halbleiterbauelement Strukturen in aufeinanderfolgenden Stufen eines ersten erfindungsgemäßen Herstellungsverfahrens für ein Halbleiterbauelement und

[0041] [Fig. 9A–Fig. 9G](#) sowie [Fig. 10A–Fig. 10G](#) Querschnittsansichten von Halbleiterbauelementstrukturen in aufeinanderfolgenden Stufen eines zweiten erfindungsgemäßen Herstellungsverfahrens für ein Halbleiterbauelement.

[0042] In [Fig. 2](#) ist ein nicht erfindungsgemäßes Halbleiterbauelement im Querschnitt dargestellt. Auf einem Halbleitersubstrat (201) ist selektiv eine Bauelementisolationsschicht (202) gebildet, um einen Bauelementisolationbereich und einen aktiven Bereich festzulegen. In dem aktiven Bereich sind ein n-leitendes Gebiet (203) und ein p-leitendes Gebiet (204) selektiv gebildet. Auf dem n-leitenden Gebiet (203) ist eine Kontaktstellschicht (205) zur Erhöhung der Kontakttoleranz aufgebracht. Die Kontaktstellschicht ist jedoch nicht auf dem p-leitenden Gebiet (204) gebildet. Auf den Oberflächen der Bauelementisolationsschicht (202), der Kontaktstellschicht (205) und des p-leitenden Gebietes (204) ist eine dielektrische Zwischenschicht (206) aufgebracht, die eine Mehrzahl von Öffnungen zur Freilegung der Kontaktstellschicht (205) und des p-leitenden Gebietes (204) besitzt. Auf der dielektrischen Zwischenschicht (206) befindet sich eine Mehrzahl von Elektroden (207), die durch die Öffnungen hindurch mit der Kontaktstellschicht (205) bzw. dem p-leitenden Gebiet (204) verbunden sind.

[0043] In [Fig. 3](#) ist ein erstes erfindungsgemäßes Halbleiterbauelement im Querschnitt dargestellt. Auf einem Substrat (300) sind selektiv eine p-Mulde (301) und eine n-Mulde (302) gebildet. Um einen Bauele-

mentisolationbereich und einen aktiven Bereich festzulegen, ist auf der p-Mulde (301) und der n-Mulde (302) selektiv eine Bauelementisolationsschicht (303), z. B. eine Feldoxidschicht, gebildet.

[0044] In der p-Mulde (301) sind n⁺-Source-/Draingebiete (311 und 312) angeordnet, und zwar zur Bildung eines Kanals im Abstand voneinander. Über dem Kanal befindet sich eine Gateisolationsschicht (304), auf der eine Gateelektrode (305) aufgebracht ist. Die Gateelektrode (305) wird von einer isolierenden Deckschicht (308) bedeckt, und an den Seitenwänden der Gateelektrode (305) ist eine isolierende Abstandshalterschicht (315) gebildet. Auf den n⁺-Source-/Draingebieten (311 und 312) sind Kontaktstellschichten (317 und 318) gebildet, um das Maß an Kontakttoleranz zu vergrößern.

[0045] Des weiteren sind p⁺-Source-/Draingebiete (313 und 314) vorgesehen, und zwar wiederum zur Bildung eines Kanals im Abstand voneinander. Über dem Kanal ist wiederum die Gateisolationsschicht (304) zwischengefügt, auf der eine Gateelektrode (306) aufgebracht ist. Die Gateelektrode (306) wird von einer isolierenden Deckschicht (309) bedeckt. An den Seitenwänden der Gateelektrode (306) befindet sich eine isolierende Abstandshalterschicht (316). Wie in [Fig. 3](#) dargestellt, ist die Kontaktstellschicht nicht auf dem Source-/Draingebiet des PMOS-Transistors, sondern nur auf dem Source-/Draingebiet des NMOS-Transistors ausgebildet.

[0046] Alternativ zu dem in [Fig. 3](#) dargestellten Fall kann der Abstandshalter an den Seitenwänden der Gateelektrode (306) des PMOS-Transistors fehlen. Das Source-/Draingebiet des NMOS-Transistors besitzt dann eine LDD(schwach dotiertes Drain)-Struktur, und das Source-/Draingebiet des PMOS-Transistors eine SD(einheitliches Drain)-Struktur. Selbst wenn der Abstandshalter an den Seitenwänden des PMOS-Transistors ausgebildet ist, kann das Source-/Draingebiet des PMOS-Transistors die SD-Struktur besitzen.

[0047] Wieder auf [Fig. 3](#) bezugnehmend befindet sich auf dem NMOS-Transistor und dem PMOS-Transistor eine dielektrische Zwischenschicht (319) mit einer Mehrzahl von Öffnungen zur Freilegung der Kontaktstellschichten (317 und 318) sowie der p⁺-Source-/Draingebiete (313 und 314). Auf die dielektrische Zwischenschicht (319) sind eine Mehrzahl von Elektroden (320) aufgebracht, die mit den Kontaktstellschichten (317 und 318) sowie den p⁺-Source-/Draingebieten (313 und 314) verbunden sind.

[0048] Nachfolgend werden bevorzugte Beispiele von Verfahren zur Herstellung eines Halbleiterbauelementes mit der oben angegebenen Struktur beschrieben.

Erste Verfahrensvariante

Schritt 1: Erzeugung der n-Mulde und der p-Mulde.

[0049] Hierzu wird ein Halbleitersubstrat (**300**) bereitgestellt und die n-Mulde (**302**) sowie die p-Mulde (**301**) werden selektiv auf dem Halbleitersubstrat (**300**) gebildet.

Schritt 2: Bauelementisolation.

[0050] Um einen aktiven Bereich und einen Bauelementisolationbereich festzulegen, wird eine Bauelementisolationsschicht (**303**), wie z. B. eine Feldoxidschicht, unter Verwendung eines üblichen Verfahrens, wie z. B. LOCOS (lokale Oxidation von Silizium) erzeugt.

Schritt 3: Gateelektrodenbildung.

[0051] Auf dem aktiven Bereich wird als eine Isolationsschicht eine Gateoxidschicht in einer Dicke von 7 nm bis 20 nm aufgebracht. Um eine Gateelektrode zu erzeugen, wird auf der Gateoxidschicht Polysilizium in einer Dicke von 100 nm bis 200 nm abgeschieden, wonach n-leitende Fremdatome, z. B. Phosphor, implantiert werden. Zur Bildung einer isolierenden Deckschicht wird eine Oxidschicht unter Verwendung eines CVD-Prozesses in einer Dicke von 100 nm bis 250 nm abgeschieden, wonach darauf mittels Fotolithografie ein Gate-Maskenmuster zur Festlegung der jeweiligen Gateelektroden erzeugt wird. Unter Verwendung des Gate-Maskenmusters werden dann die CVD-Oxidschicht, die Polysiliziumschicht und die Gateoxidschicht selektiv geätzt, um die Gateelektrode (**305**) mit der isolierenden Deckschicht (**308**) herzustellen und gleichzeitig Bereiche freizulegen, in denen Source-/Draingebiete für den PMOS-Transistor und den NMOS-Transistor gebildet werden.

Schritt 4: Implantation von n⁻-Fremdatomen.

[0052] Wenn die Gateelektrodenbildung abgeschlossen ist, wird, falls erforderlich, eine thermische Oxidation angewendet, um eine Oxidschicht in einer Dicke von 5 nm bis 10 nm zu erzeugen. Diese Oxidschicht dient dazu, Schädigungen durch einen nachfolgenden Ätzschritt und einen Schritt zur Fremdatomimplantation zu verhindern. Ganzflächig werden dann n⁻-Fremdatome in die resultierende Struktur bei einer Dosis von $1 \cdot 10^{13}$ Ionen/cm² bis $5 \cdot 10^{13}$ Ionen/cm² implantiert. Das jeweilige Gebiet, in dem die n⁻-Fremdatome eindotiert sind, bildet in dem NMOS-Transistor ein Source-/Draingebiet mit LDD-Struktur und dient in dem PMOS-Transistor dazu, eine beträchtliche Verringerung der Schwellenspannung aufgrund übermäßiger Diffusion von p-leitenden Fremdatomen zu verhindern.

Schritt 5: Bildung einer ersten Isolationsschicht.

[0053] Um einen Abstandshalter auf der resultierenden Struktur zu erzeugen, wird eine erste Isolationsschicht, z. B. eine Oxidschicht, in einer Dicke von ungefähr 200 nm mittels eines CVD-Prozesses aufgebracht.

Schritt 6: Erzeugung eines NMOS-Maskenmusters.

[0054] Die resultierende Struktur wird ganzflächig mit einem Fotoresist beschichtet, der dann zur Freilegung von Bereichen, in denen die NMOS-Transistoren gebildet werden, selektiv geätzt wird.

Schritt 7: Erzeugung von Abstandshaltern an den Gateseitenwänden eines NMOS-Transistors.

[0055] Die durch das NMOS-Maskenmuster freigelegte erste Isolationsschicht wird entsprechend der geometrischen Eigenschaften der darunterliegenden Struktur anisotrop geätzt, um an den Gateseitenwänden den NMOS-Transistors eine isolierende Abstandshalterschicht (**315**) zu bilden und gleichzeitig ein aktives Gebiet zur Erzeugung von n⁺-Source-/Draingebieten (**311** und **312**) freizulegen. Anschließend wird das NMOS-Maskenmuster entfernt.

Schritt 8: Bildung einer Polysiliziumschicht zur Erzeugung der Kontaktstellenschicht.

[0056] Für die Kontaktstellenschicht wird eine Polysiliziumschicht in einer Dicke von 100 nm abgeschieden oder in einer Dicke von 200 nm bis 400 nm aufgebracht und in einer Dicke von 100 nm bis 300 nm abgeätzt. Als Folge hiervon beträgt die Dicke der Polysiliziumschicht auf dem aktiven Bereich 100 nm. Wenn hierbei das Halbleiterbauelement ein DRAM-Bauelement ist, wird das Verhältnis des Durchmessers der Öffnung zur Dicke des im Zellenmatrixbereich gebildeten Polysiliziums auf weniger als 2:1 gesetzt, um so die Kontaktstellenschicht zu vergraben. Wenn die Kontaktstellenschicht nicht dahingehend ausgelegt ist, vergraben zu werden, ist die Kontaktstellenschicht wenigstens in bezug auf den peripheren Schaltkreis ausreichend dick. Dies dient dem Zweck, die Dotierkonzentrationen an der Oberseite der Kontaktstelle und am Übergang zwischen Kontaktstelle und Source-Drain-Dotiergebiet zu differenzieren, mit anderen Worten, um die Auswirkung einer nachfolgenden n⁺-Fremdatomimplantation auf das Source-/Draingebiet zu minimieren und das Source-/Draingebiet des in dem peripheren Schaltkreisbereich gebildeten Transistors mit der n⁺-Fremdatomimplantation zu dotieren, und zwar gleichzeitig mit der Dotierung der Kontaktstelle.

Schritt 9: n⁺-Fremdatomimplantation.

[0057] Die zur Bildung der n⁺-Source-/Draingebiete

(**311** und **312**) des NMOS-Transistors benötigten n⁺-Fremdatome werden bei einer Dosis von 10¹⁵ Ionen/cm² bis 2·10¹⁵ Ionen/cm² implantiert. Zur Erhöhung des Leistungsvermögens können die n⁺-Fremdatome hierbei zweifach unter Differenzierung von Implantationsenergie und Dosis implantiert werden. Beispielsweise kann Arsen als n-leitende Fremdatome zunächst mit einer Implantationsenergie von 80 keV bis 100 keV und bei einer Dosis von 5·10¹⁵ Ionen/cm² bis 9·10¹⁵ Ionen/cm² und ein zweites Mal mit einer Implantationsenergie von 40 keV und bei einer Dosis von 5·10¹⁵ Ionen/cm² implantiert werden.

Schritt 10: Strukturierung der Kontaktstellschicht.

[**0058**] Nachdem die n⁺-Fremdatome unter optimalen Bedingungen implantiert wurden, wird ein Fotoresist aufgetragen, um einen Bereich festzulegen, in welchem die Kontaktstelle zu bilden ist. Die Polysiliziumschicht wird dann selektiv zur Bildung einer Kontaktstellschicht derart geätzt, daß ein ausreichendes Überlappungsgebiet mit dem Bauelementisoliationsgebiet und dem Abstandshalter sichergestellt ist.

Schritt 11: PMOS-Maskenmusterbildung.

[**0059**] Nachdem die Bildung der Kontaktstellschichten (**317** und **318**) auf den n⁺-Source-/Draingebieten (**311** und **312**) des NMOS-Transistors abgeschlossen ist, wird auf die resultierende Struktur ganzflächig ein Fotoresist aufgebracht und so strukturiert, daß ein PMOS-Maskenmuster entsteht, das denjenigen Bereich abschirmt, in welchem der NMOS-Transistor zu bilden ist und denjenigen Bereich freilegt, in welchem der PMOS-Transistor zu bilden ist.

Schritt 12: Erzeugung des Abstandshalters an den Seitenwänden des Gates des PMOS-Transistors.

[**0060**] Die in dem Bereich, der durch das PMOS-Maskenmuster freigelegt ist, verbliebene erste Isolationsschicht wird anisotrop geätzt, um Bereiche freizulegen, in denen p⁺-Source-/Draingebiete (**313** und **314**) zu bilden sind, und um gleichzeitig eine isolierende Abstandshalterschicht (**316**) an den Seitenwänden der Gateelektrode (**306**) des PMOS-Transistors zu erzeugen.

Schritt 13: p⁺-Fremdatomimplantation.

[**0061**] Unter Verwendung des PMOS-Maskenmusters, der isolierenden Deckschicht (**309**) und der isolierenden Abstandshalterschicht (**316**) als Masken zur Abschirmung vor Fremdatomimplantation werden p⁺-Fremdatome in die p⁺-Source-/Draingebiete (**313** und **314**) des PMOS-Transistors implantiert.

Schritt 14: Bildung der dielektrischen Zwischenschicht.

[**0062**] Nun wird die dielektrische Zwischenschicht ganzflächig auf der resultierenden Struktur durch einen CVD-Prozeß aufgebracht und so strukturiert, daß eine Mehrzahl von Öffnungen zur Freilegung der Kontaktstellschichten (**317** und **318**) sowie der p⁺-Source-/Draingebiete (**313** und **314**) entsteht.

Schritt 15: Elektrodenbildung.

[**0063**] Eine Mehrzahl von Elektroden (**320**) wird gebildet, die durch die Öffnungen hindurch mit den Kontaktstellschichten (**317** und **318**) beziehungsweise den p⁺-Source-/Draingebieten (**313** und **314**) verbunden sind. Die Elektroden können hierbei durch eine Metallisierung hergestellt werden.

[**0064**] Nachfolgend wird eine weitere Vorgehensweise zur Herstellung des in [Fig. 3](#) dargestellten Halbleiterbauelementes beschrieben.

Zweite Verfahrensvariante

[**0065**] Bei diesem Verfahrensbeispiel sind die ersten fünf Schritte, d. h. der erste Schritt zur Bildung der n-Mulde und der p-Mulde, der zweite Schritt zur Bauelementisolation, der dritte Schritt zur Gateelektrodenbildung, der vierte Schritt zur Implantation von n⁺-Fremdatomen und der fünfte Schritt zur Bildung der ersten Isolationsschicht, dieselben wie im ersten Ausführungsbeispiel. Dann wird das Verfahren wie folgt fortgesetzt.

Schritt 6: PMOS-Maskenmustererzeugung.

[**0066**] Auf die resultierende Struktur wird ganzflächig ein Fotoresist aufgetragen und so strukturiert, daß ein Bereich, in welchem der PMOS-Transistor zu bilden ist, freigelegt wird und ein PMOS-Maskenmuster entsteht, um einen Bereich abzuschirmen, in welchem der NMOS-Transistor zu bilden ist.

Schritt 7: Erzeugung des Abstandshalters an den Gateseitenwänden des PMOS-Transistors.

[**0067**] Die in dem freiliegenden Bereich gebildete erste Isolationsschicht wird anisotrop geätzt, um p⁺-Source-/Draingebiete (**313** und **314**) des PMOS-Transistors freizulegen und gleichzeitig eine isolierende Abstandshalterschicht (**316**) an den Gateseitenwänden des PMOS-Transistors auszubilden. Sobald die isolierende Abstandshalterschicht hergestellt ist, wird das PMOS-Maskenmuster entfernt. Zwar wird das PMOS-Maskenmuster entfernt, jedoch verbleibt die erste Isolationsschicht in dem Bereich, in welchem der NMOS-Transistor zu bilden ist. Die verbleibende erste Isolationsschicht wird als Maske in einem nachfolgenden Schritt verwendet.

Schritt 8: p⁺-Fremdatomimplantation.

[0068] Falls es zur Verhinderung von Schädigungen aufgrund eines nachfolgenden Ätzschrittes erforderlich ist, wird auf die resultierende Struktur eine thermische Oxidschicht mit 5 nm bis 10 nm aufgebracht. Unter Verwendung der isolierenden Deckschicht (**309**) und der isolierenden Abstandshalterschicht (**316**) als Abschirmmasken vor Fremdatomimplantation werden p⁺-Fremdatome implantiert, um die p⁺-Source-/Draingebiete (**313** und **314**) des PMOS-Transistors zu erzeugen.

Schritt 9: Bildung der zweiten Isolationsschicht.

[0069] Mittels CVD wird eine zweite Isolationsschicht von ungefähr 50 nm aufgebracht.

Schritt 10: Erzeugung eines NMOS-Maskenmusters.

[0070] Auf die resultierende Struktur wird ganzflächig ein Fotoresist aufgetragen und selektiv so geätzt, daß Bereiche freigelegt werden, in denen der NMOS-Transistor zu bilden ist.

Schritt 11: Erzeugung eines Abstandshalters an den Gateseitenwänden des NMOS-Transistors.

[0071] Die in den Bereichen, die durch das NMOS-Maskenmuster freibleiben, gebildete erste Isolationsschicht wird gemäß den geometrischen Eigenschaften der darunterliegenden Struktur anisotrop so geätzt, daß die isolierende Abstandshalterschicht (**315**) an den Gateseitenwänden des NMOS-Transistors gebildet wird und gleichzeitig das aktive Gebiet zur Erzeugung der n⁺-Source-/Draingebiete (**311** und **312**) freigelegt wird. Anschließend wird das NMOS-Maskenmuster entfernt.

Schritt 12: Bildung des Polysiliziums für die Kontaktstellenschicht.

[0072] Nach dem Entfernen des NMOS-Maskenmusters wird eine Polysiliziumschicht von ungefähr 100 nm für die Kontaktstellenschicht ganzflächig auf die resultierende Struktur aufgebracht.

Schritt 13: n⁺-Fremdatomimplantation.

[0073] Zur Bildung der n⁺-Source-/Draingebiete (**311** und **312**) des NMOS-Transistors werden n⁺-Fremdatome implantiert.

Schritt 14: Strukturierung der Kontaktstellenschicht.

[0074] Nachdem die n⁺-Fremdatome unter optimalen Bedingungen implantiert wurden, wird ein Fotoresist aufgebracht, um einen Bereich für die Kontaktstelle festzulegen. Daraufhin wird die Polysiliziumschicht selektiv zur Bereitstellung der Kontaktstellen-

schicht so geätzt, daß ein ausreichender Überlappungsbereich mit dem Bauelementisoliationsgebiet und dem Abstandshalter gewährleistet ist.

Schritt 15: Bildung der dielektrischen Zwischenschicht.

[0075] Auf der resultierenden Struktur wird ganzflächig mittels CVD eine dielektrische Zwischenschicht abgeschieden und so strukturiert, daß eine Mehrzahl von Öffnungen zur Freilegung der Kontaktstellenschichten (**317** und **318**) sowie der p⁺-Source-/Draingebiete (**313** und **314**) entsteht.

Schritt 16: Elektrodenerzeugung.

[0076] Es werden eine Mehrzahl von Elektroden (**320**) gebildet, die an die Kontaktstellenschichten (**317** und **318**) sowie an die p⁺-Source-/Draingebiete (**313** und **314**) durch die Öffnungen hindurch angeschlossen sind. Die Elektroden können hierbei durch eine Metallisierung hergestellt werden.

Dritte Verfahrensvariante

[0077] Die dritte Verfahrensvariante entspricht weitgehend der zweiten. Der Unterschied besteht darin, daß die zweite Isolationsschicht nicht gemäß dem neunten Schritt der zweiten Verfahrensvariante gebildet wird und daß das NMOS-Maskenmuster nach Beendigung der n⁺-Fremdatomimplantation im dreizehnten Schritt und nicht im elften Schritt entfernt wird. Dies bedeutet, daß die als Maske zur Abschirmung des Source-/Draingebiets des PMOS-Transistors bei der n⁺-Fremdatomimplantation fungierende, zweite Isolationsschicht durch das NMOS-Maskenmuster als Abschirmmaske bei der Fremdatomimplantation ersetzt wird.

[0078] In [Fig. 4](#) ist in einem teilweisen Querschnitt ein zweites erfindungsgemäßes Halbleiterbauelement dargestellt, das innerhalb des peripheren Schaltkreisbereichs eines DRAMs verwendet werden kann. Bei diesem Bauelement von [Fig. 4](#) werden ein PMOS-Transistor, ein NMOS-Transistor, ein n-leitendes Gebiet (**418**) sowie ein p-leitendes Gebiet (**415**) vorgesehen. Außer den Gateelektroden für die jeweiligen Transistoren wird eine Elektrode (**410**) für Verdrahtungszwecke ausgebildet. Auf dem PMOS-Transistor, dem NMOS-Transistor und der Verdrahtungselektrode (**410**) wird eine dielektrische Zwischenschicht (**424**) mit einer Mehrzahl von Öffnungen angeordnet. Auf der dielektrischen Zwischenschicht sind eine Mehrzahl von Elektroden (**425**) ausgebildet, die durch die Öffnungen hindurch an jeweilige freiliegende Bereiche angeschlossen sind.

[0079] Genauer wird der NMOS-Transistor durch n⁺-Source-/Draingebiete (**416** und **417**), eine Gateisolationsschicht (**404**) und eine Gateelektrode (**406**)

gebildet, während der PMOS-Transistor aus p⁺-Source-/Draingebieten (419 und 420), einer Gateisolationsschicht (405) und einer Gateelektrode (407) besteht. Die Gateelektroden (406 und 407) und die Verdrahtungselektrode (410) der jeweiligen Transistoren sind mit isolierenden Deckschichten (408, 409 und 411) bedeckt. Auf den n⁺-Source-/Draingebieten (416 und 417) und dem n-leitenden Gebiet (418) des NMOS-Transistors sind Kontaktstellschichten (421, 422 und 423) zur Vergrößerung der Kontakttoleranz vorgesehen. Die Kontaktstellschicht wird jedoch nicht auf den p⁺-Source-/Draingebieten (419 und 420) und dem p-leitenden Gebiet (415) des PMOS-Transistors gebildet. Die Verdrahtungselektrode (410) kann zusammen mit der Gateelektrode erzeugt werden und befindet sich auf der Bauelementisolationsschicht (403).

[0080] Zur Herstellung des in Fig. 4 veranschaulichten Halbleiterbauelementes können die in Verbindung mit Fig. 3 beschriebenen Verfahrensvarianten verwendet werden. Das PMOS-Maskenmuster dient dann zur Freilegung eines Bereichs, in welchem der PMOS-Transistor zu bilden ist, sowie eines Bereichs, in welchem das p-leitende Gebiet (415) zu bilden ist. Das NMOS-Maskenmuster fungiert zur Freilegung eines Bereichs, in welchem der NMOS-Transistor zu bilden ist, sowie eines Bereichs, in welchem das n-leitende Gebiet (418) zu bilden ist. Ein Bereich zur Erzeugung der Verdrahtungsschicht wird so entworfen, daß er entweder vom PMOS-Maskenmuster oder vom NMOS-Maskenmuster freigelegt wird.

[0081] Ein drittes erfindungsgemäßes Halbleiterbauelement ist in dem teilweisen Querschnitt von Fig. 5 dargestellt und besitzt fast denselben Aufbau wie das in Fig. 4 gezeigte Halbleiterbauelement. Der Unterschied besteht darin, daß beim Bauelement von Fig. 5 das n-leitende Gebiet (515) in der p-Mulde (501) und nicht in der n-Mulde (502) angeordnet ist und daß an den Seitenwänden der Verdrahtungselektrode (510) keine isolierende Abstandshalterschicht gebildet ist.

[0082] In Fig. 5 bilden n⁺-Source-/Draingebiete (516 und 517), eine Gateisolationsschicht (504) und eine Gateelektrode (506) den NMOS-Transistor. Der PMOS-Transistor wird von p⁺-Source-/Draingebieten (519 und 520), einer Gateisolationsschicht (505) und einer Gateelektrode (507) gebildet. An den Seitenwänden der Gateelektroden (506 und 507) befinden sich isolierende Abstandshalterschichten (512 und 513). Auf die n⁺-Source-/Draingebiete (516 und 517) und das n-leitende Gebiet (515) des NMOS-Transistors sind Kontaktstellschichten (521, 522 und 523) zur Vergrößerung der Kontakttoleranz aufgebracht. Die Kontaktstellschichten sind nicht auf den p⁺-Source-/Draingebieten (519 und 520) und dem p-leitenden Gebiet (518) des PMOS-Transistors gebildet. Die an den Seitenwänden der Gateelektroden

(506) des NMOS-Transistors angeordnete, isolierende Abstandshalterschicht bewirkt die elektrische Isolation der Kontaktstellschichten (521 und 522) von der Gateelektrode (506).

[0083] In Fig. 6A ist im Querschnitt eine Speicherzelle dargestellt, die in einem Zellenmatrixbereich eines erfindungsgemäßen DRAMs enthalten ist. Dabei ist auf einem Halbleitersubstrat (600) eine p-Mulde (601) gebildet. Auf die p-Mulde (601) ist selektiv eine Bauelementisolationsschicht (622) aufgebracht. Im aktiven Gebiet befinden sich Source-/Draingebiete (602, 603 und 604), die im Abstand voneinander, angeordnet sind. Zwischen den Source-/Draingebieten verläuft jeweils ein Kanal, und über den Kanälen sind Gateisolationsschichten (605 und 606) zwischengeschichtet, auf welchen Gateelektroden (607 und 608) aufgebracht sind. Auf den Gateelektroden (607 und 608) sind jeweilige isolierende Deckschichten (612 und 613) angeordnet. Auf der Bauelementisolationsschicht (622) befinden sich Verdrahtungselektroden (609 und 610), wobei die isolierenden Deckschichten auch auf den Verdrahtungselektroden gebildet sind. Auf den n⁻-Source-/Draingebieten (602, 603 und 604) sind Kontaktstellschichten (615, 616 und 617) zur Vergrößerung der Kontakttoleranz aufgebracht. Darauf sind nacheinander eine erste dielektrische Zwischenschicht (618) und eine zweite dielektrische Zwischenschicht (619) aufgebracht. Zwischen der ersten dielektrischen Zwischenschicht (618) und der zweiten dielektrischen Zwischenschicht (619) ist eine Bitleitung (620) angeordnet, die durch eine Öffnung hindurch an die Kontaktstellschicht (616) angeschlossen ist. Auf der zweiten dielektrischen Zwischenschicht (619) befinden sich Speicherelektroden (621a und 621b).

[0084] Fig. 6B zeigt im Querschnitt die an der Grenze zwischen Zellenmatrixbereich und peripherem Schaltkreisbereich dieses erfindungsgemäßen DRAMs vorliegende Struktur. Dabei ist auf dem Halbleitersubstrat (600) die p-Mulde (601) ausgebildet. Die Bauelementisolationsschicht (622) ist zur Festlegung eines aktiven Bereichs selektiv auf der p-Mulde (601) gebildet. In dem aktiven Bereich sind n⁻-Source-/Draingebiete (624 und 625) sowie ein p⁺-leitendes Gebiet (626) angeordnet. Über dem zwischen den n⁻-Source-/Draingebieten (624 und 625) vorliegenden Kanal ist eine Gateisolationsschicht (627) zwischengefügt, auf der sich eine Gateelektrode (629) befindet. Letztere ist von einer isolierenden Deckschicht (631) bedeckt. Eine Verdrahtungselektrode (628) und eine isolierende Deckschicht (630) sind nacheinander auf die Bauelementisolationsschicht (622) aufgebracht. Auf den n⁻-Source-/Draingebieten (624 und 625) sind Kontaktstellschichten (623 und 633) zur Vergrößerung der Kontakttoleranz vorgesehen. Die Kontaktstellschichten sind nicht auf dem p⁺-leitenden Gebiet (626) gebildet, an das direkt eine Elektrode (637) angeschlossen ist. Die Kontaktstel-

lenschicht (633) ist über eine Öffnung, die in der dielektrischen Zwischenschicht (618) erzeugt ist, mit einer Bitleitung (634) verbunden. Die weitere dielektrische Zwischenschicht (619) befindet sich auf der Bitleitung (634). Auf dieser dielektrischen Zwischenschicht (619) ist eine Elektrode (635) angeordnet, die über eine Öffnung an die Kontaktstellschicht (632) angeschlossen ist. Auf die Elektrode (635) ist eine Isolationsschicht (636) aufgebracht.

[0085] In den [Fig. 7A](#) bis [Fig. 7G](#) sowie [Fig. 8A](#) bis [Fig. 8G](#) sind in jeweiligen Querschnitten Strukturen eines erfindungsgemäßen DRAM-Halbleiterbauelementes in aufeinanderfolgenden Herstellungsstufen veranschaulicht, wobei die [Fig. 7A](#) bis [Fig. 7G](#) speziell den Teil des Zellenmatrixbereichs des DRAMs und die [Fig. 8A](#) bis [Fig. 8G](#) speziell den Teil von dessen peripherem Schaltkreisbereich wiedergeben.

[0086] Bezugnehmend auf die [Fig. 7A](#) und [Fig. 8A](#) wird zunächst ein Halbleitersubstrat (700) bereitgestellt, auf dem selektiv p-Mulden (701 und 702) sowie eine n-Mulde (703) gebildet werden. Auf den jeweiligen Mulden wird selektiv eine Bauelementisolationsschicht (704) erzeugt. Daraufhin werden zur Erzeugung von Gateelektroden und Verdrahtungselektroden eine erste Isolationsschicht von 7 nm bis 20 nm für eine Gateisolationsschicht (705) sowie eine Polysiliziumschicht von 100 nm bis 200 nm für eine Gatelektrode (706) und eine Verdrahtungselektrode nacheinander ganzflächig auf der resultierenden Struktur aufgebracht. In die Polysiliziumschicht werden Fremdatome eindotiert. Dann wird eine zweite Isolationsschicht von 100 nm bis 250 nm zur Bildung von isolierenden Deckschichten (707 und 709) aufgebracht. Anschließend werden unter Verwendung von Gate-Maskenmustern zur Festlegung jeweiliger Elektroden die zweite Isolationsschicht, die mit den Fremdatomen dotierte Polysiliziumschicht sowie die erste Isolationsschicht nacheinander und selektiv geätzt. Um Bauelementschädigungen durch nachfolgende Ätz- und Fremdatomimplantationsschritte zu vermeiden, wird erforderlichenfalls eine Oxidschicht von 5 nm bis 10 nm durch thermische Oxidation aufgebracht. Dann werden unter Verwendung der isolierenden Deckschichten (707 und 709) sowie der Bauelementisolationsschicht (704) als Abschirmmasken vor Fremdatomimplantation n⁻-Fremdatome mit einer Dosis von $1 \cdot 10^{13}$ Ionen/cm² bis $5 \cdot 10^{13}$ Ionen/cm² implantiert, um eine Mehrzahl von n⁻-leitenden Gebieten (710) zu erzeugen.

[0087] Bezugnehmend auf die [Fig. 7B](#) und [Fig. 8B](#) wird dann auf die resultierende Struktur ganzflächig eine dritte Isolationsschicht (711) mit 200 nm aufgebracht, wonach ein erstes Maskenmuster (712) zur Freilegung von Bereichen zur Bildung eines NMOS-Transistors und eines n⁻-leitenden Gebietes erzeugt werden. Dabei legt das erste Maskenmuster (712) diejenigen Bereiche frei, in denen die im Zellen-

matrixbereich enthaltenen NMOS-Transistoren sowie der NMOS-Transistor und das n⁻-leitende Gebiet, die im peripheren Schaltkreisbereich des DRAMs enthalten sind, gebildet werden.

[0088] Wie in den [Fig. 7C](#) und [Fig. 8C](#) dargestellt, wird daraufhin die dritte Isolationsschicht (711) in den von dem ersten Maskenmuster (712) freigelassenen Bereichen anisotrop derart geätzt, daß isolierende Abstandshalterschichten (713) an den Seitenwänden der jeweiligen, in den freigelegten Gebieten gebildeten Elektroden entstehen und gleichzeitig aktive Gebiete freigelegt werden. Nach Entfernung des ersten Maskenmusters (712) wird eine Polysiliziumschicht (714) mit 100 nm ganzflächig auf die resultierende Struktur aufgebracht, um die Kontaktstellschicht zu bilden. Unter Verwendung der dritten Isolationsschicht (711) und der Bauelementisolationsschicht (704), die beide unter der Polysiliziumschicht (714) als Abschirmmasken vor Fremdatomimplantation verblieben sind, werden n⁺-Fremdatome mit einer Dosis von 10^{15} Ionen/cm² bis $2 \cdot 10^{16}$ Ionen/cm² implantiert, so daß die Fremdatome in die Polysiliziumschicht (714) eindotiert werden und gleichzeitig die Bildung einer LDD-Struktur für die Source-/Draingebiete und das n⁻-leitende Gebiet des NMOS-Transistors ermöglicht wird. Die Polysiliziumschicht (714) wird dann, wie in den [Fig. 7D](#) und [Fig. 8D](#) dargestellt, so strukturiert, daß das Source-/Draingebiet und das n⁻-leitende Gebiet des NMOS-Transistors bedeckt werden und eine Mehrzahl von Kontaktstellschichtteilen (715) zur Erhöhung der Kontakttoleranz gebildet wird. Anschließend wird ein Fotoresist aufgebracht und selektiv strukturiert, um ein zweites Maskenmuster (716) zur Freilegung eines PMOS-Transistorgebietes und eines p⁻-leitenden Gebietes zu erzeugen. In den meisten Fällen ist hierbei das zweite Maskenmuster (716) komplementär zum ersten Maskenmuster (712)

[0089] Wie in den [Fig. 7E](#) und [Fig. 8E](#) dargestellt, wird dann die dritte Isolationsschicht (711) in dem freigelassenen Bereich anisotrop geätzt, um eine isolierende Abstandshalterschicht (717) an den Seitenwänden der jeweiligen Elektroden zu erzeugen und gleichzeitig die aktiven Gebiete freizulegen. Unter Verwendung des zweiten Maskenmusters (716), der jeweiligen isolierenden Abstandshalterschichtteile (717) und der isolierenden Deckschicht (707) als Abschirmmasken vor Fremdatomimplantation werden dann p⁺-Fremdatome mit einer Dosis von 10^{15} Ionen/cm² bis 10^{16} Ionen/cm² implantiert. Anschließend wird das zweite Maskenmuster (716) entfernt, wie in den [Fig. 7F](#) und [Fig. 8F](#) dargestellt.

[0090] Wie in den [Fig. 7G](#) und [Fig. 8G](#) dargestellt, wird dann ein üblicher Prozeß durchgeführt, um eine dielektrische Zwischenschicht (718), eine Bitleitung (721), dielektrische Zwischenschichten (719) und (723), eine Speicherelektrode (722) und eine Platten-

elektrode (724) in dem Zellenmatrixbereich auszubilden und eine dielektrische Zwischenschicht (720) sowie eine Elektrode (725) in dem peripheren Schaltkreisbereich zu erzeugen.

[0091] In den [Fig. 9A](#) bis [Fig. 9G](#) sowie [Fig. 10A](#) bis [Fig. 10G](#) sind in jeweiligen Querschnitten Strukturen eines weiteren erfindungsgemäßen DRAM-Halbleiterbauelementes veranschaulicht, wobei die [Fig. 9A](#) bis [Fig. 9G](#) speziell einen Teil des Zellenmatrixbereichs des DRAMs und die [Fig. 10A](#) bis [Fig. 10G](#) einen Teil von dessen peripherem Schaltkreisbereich wiedergeben.

[0092] Bezugnehmend auf die [Fig. 9A](#) und [Fig. 10A](#) wird zunächst ein Halbleitersubstrat (900) bereitgestellt, auf dem selektiv p-Mulden (901) und (902) sowie eine n-Mulde (903) gebildet werden. Auf den jeweiligen Mulden wird selektiv eine Bauelementisolationsschicht (904) erzeugt. Daraufhin werden zur Erzeugung von Gateelektroden und Verdrahtungselektroden eine erste Isolationsschicht von 9 nm bis 20 nm für eine Gateisolationsschicht (905) sowie eine Polysiliziumschicht von 100 nm bis 200 nm für eine Gateelektrode (906) und eine Verdrahtungselektrode nacheinander ganzflächig auf der resultierenden Struktur aufgebracht. In die Polysiliziumschicht werden Fremdatome eindotiert. Dann wird eine zweite Isolationsschicht von 100 nm bis 250 nm zur Bildung von isolierenden Deckschichten (907) und (909) aufgebracht. Anschließend werden unter Verwendung von Gate-Maskenmustern zur Festlegung der jeweiligen Elektroden die zweite Isolationsschicht, die mit den Fremdatomen dotierte Polysiliziumschicht sowie die erste Isolationsschicht nacheinander und selektiv geätzt. Um Bauelementschädigungen durch nachfolgende Ätz- und Fremdatomimplantationsschritte zu vermeiden, wird, falls erforderlich, eine Oxidschicht von 5 nm bis 10 nm durch thermische Oxidation aufgebracht. Dann werden unter Verwendung der isolierenden Deckschichten (907) und (909) sowie der Bauelementisolationsschicht (904) als Abschirmmasken vor Fremdatomimplantation n⁻-Fremdatome mit einer Dosis von $1 \cdot 10^{13}$ Ionen/cm² bis $5 \cdot 10^{13}$ Ionen/cm² implantiert, um eine Mehrzahl von n⁻-leitenden Gebieten (910) zu erzeugen.

[0093] Bezugnehmend auf die [Fig. 9B](#) und [Fig. 10B](#) wird dann ganzflächig auf die resultierende Struktur eine dritte Isolationsschicht (911) mit 200 nm aufgebracht, wonach ein erstes Maskenmuster (912) zur Freilegung von Bereichen zur Bildung eines PMOS-Transistors und eines p-leitenden Gebietes erzeugt wird. Dabei läßt das erste Maskenmuster (912) diejenigen Bereiche frei, in denen die PMOS-Transistoren und das p-leitende Gebiet, die in dem peripheren Schaltkreisbereich gebildet werden, enthalten sind.

[0094] Wie in den [Fig. 9C](#) und [Fig. 10C](#) dargestellt, wird dann die dritte Isolationsschicht (911) in den vom ersten Maskenmuster (912) freigelassenen Bereichen anisotrop derart geätzt, daß isolierende Abstandshalterschichten (913) an den Seitenwänden der jeweiligen, in den freigelassenen Bereichen gebildeten Elektroden entstehen und gleichzeitig aktive Gebiete freigelegt werden. Nach Entfernung des ersten Maskenmusters (912) wird dann ganzflächig auf der resultierenden Struktur eine thermische Oxidschicht (914) mit 5 nm bis 10 nm erzeugt, um Bauelementschädigungen aufgrund eines nachfolgenden Fremdatomimplantationsschrittes zu verhindern. Anschließend werden unter Verwendung der isolierenden Abstandshalterschicht (913) und der isolierenden Deckschicht (907) als Abschirmmasken vor Fremdatomimplantation p⁺-Fremdatome ganzflächig in die resultierende Struktur implantiert.

[0095] Wie in den [Fig. 9D](#) und [Fig. 10D](#) dargestellt, wird dann ein Fotoresist ganzflächig auf die resultierende Struktur aufgebracht und zur Bildung eines zweiten Maskenmusters (915) strukturiert, um Bereiche freizulegen, in denen ein NMOS-Transistor und ein n-leitendes Gebiet gebildet werden.

[0096] Wie in den [Fig. 9E](#) und [Fig. 10E](#) dargestellt, wird dann die dritte Isolationsschicht (911) in dem freigelassenen Bereich anisotrop derart geätzt, daß eine isolierende Abstandshalterschicht (917) an den Seitenwänden der jeweiligen Elektroden entsteht und aktive Gebiete freigelegt werden. Anschließend wird eine Polysiliziumschicht (916) mit 100 nm zur Bildung einer Kontaktstellenschicht ganzflächig auf die resultierende Struktur aufgebracht. Die dritte Isolationsschicht (911) und die Bauelementisolationsschicht (904), die unter der Polysiliziumschicht (916) verbleiben, fungieren in einem nachfolgenden Schritt zur n⁺-Fremdatomimplantation als Abschirmmasken vor Fremdatomimplantation.

[0097] Nach der Implantation der n⁺-Fremdatome wird die Polysiliziumschicht (916), wie in den [Fig. 9F](#) und [Fig. 10F](#) dargestellt, so strukturiert, daß das Source-/Draingebiet und das n-leitende Gebiet des NMOS-Transistors bedeckt werden und eine Mehrzahl von Kontaktstellenschichtteilen (918) zur Erhöhung der Kontakttoleranz entsteht.

[0098] Wie in den [Fig. 9G](#) und [Fig. 10G](#) dargestellt, wird danach ein üblicher Prozeß ausgeführt, um eine dielektrische Zwischenschicht (919), eine Bitleitung (921), dielektrische Zwischenschichten (920) und (923), eine Speicherelektrode (922) und eine Plattenelektrode (924) im Zellenmatrixbereich sowie eine dielektrische Zwischenschicht (925) und eine Elektrode (926) im peripheren Schaltkreisbereich herzustellen.

[0099] Mit den oben beschriebenen, erfindungsge-

mäßigen Halbleiterbauelementen und deren erfindungsgemäßen Herstellungsverfahren lassen sich die Produktionskosten erheblich reduzieren und die Produktivität merklich erhöhen.

Patentansprüche

1. Halbleiterbauelement mit folgenden Elementen:

- einem Halbleitersubstrat (**300**),
- wenigstens einem Gebiet (**311, 312**) eines ersten Leitfähigkeitstyps und wenigstens einem Gebiet (**313, 314**) eines zweiten Leitfähigkeitstyps, die selektiv auf dem Halbleitersubstrat gebildet sind,
- einem MOS-Transistor eines ersten Leitfähigkeitstyps mit Source-/Draingebieten (**311, 312**) vom ersten Leitfähigkeitstyp die voneinander beabstandet als Gebiete des ersten Leitfähigkeitstyps auf dem Halbleitersubstrat angeordnet sind, und mit einer auf dem Halbleitersubstrat unter Zwischenfügung einer Gateisolationsschicht (**304**) gebildeten Gateelektrode (**305**),
- einer isolierenden Gatedeckschicht (**308, 315**) zur Bedeckung der Gateelektrode des MOS-Transistors vom ersten Leitfähigkeitstyp,
- einer ersten Kontaktstellenschicht (**317**), die auf der Oberfläche des Sourcegebietes (**311**) und der isolierenden Gatedeckschicht (**308, 315**) des MOS-Transistors vom ersten Leitfähigkeitstyp gebildet ist,
- einer zweiten Kontaktstellenschicht (**318**), die auf der Oberfläche des Draingebietes (**312**) und der isolierenden Gatedeckschicht (**308, 315**) des MOS-Transistors vom ersten Leitfähigkeitstyp gebildet und elektrisch von der ersten Kontaktstellenschicht (**317**) isoliert ist, wobei auf dem wenigstens einen Gebiet (**313, 314**) des zweiten Leitfähigkeitstyps die Kontaktschichten nicht ausgebildet sind, und
- einer dielektrischen Zwischenschicht (**319**) mit einer Mehrzahl von Öffnungen zur Freilegung des Gebietes des zweiten Leitfähigkeitstyps und der ersten und zweiten Kontaktstellenschicht (**317, 318**),
- wobei eine Mehrzahl von Elektroden (**320**) vorgesehen ist, die mit der ersten und der zweiten Kontaktstellenschicht (**317, 318**) durch die Öffnungen der dielektrischen Zwischenschicht (**319**) hindurch verbunden sind.

2. Halbleiterbauelement nach Anspruch 1, weiter dadurch gekennzeichnet, dass das wenigstens eine Gebiet (**313, 314**) des zweiten Leitfähigkeitstyps auf dem Halbleitersubstrat voneinander beabstandet gebildete Source-/Draingebiete wenigstens eines MOS-Transistors vom zweiten Leitfähigkeitstyp umfasst, der eine auf dem Halbleitersubstrat unter Zwischenfügung einer Gateisolationsschicht (**304**) gebildete Gateelektrode (**306**) aufweist, und Elektroden (**320**) vorgesehen sind, die mit dem Source-/Draingebiet (**313, 314**) des MOS-Transistors vom zweiten Leitfähigkeitstyp durch die Öffnungen hindurch verbunden sind.

3. Halbleiterbauelement nach Anspruch 2, weiter dadurch gekennzeichnet, dass die erste und/oder die zweite Kontaktstellenschicht (**317, 318**) aus Polysilizium bestehen, in das Fremdatome vom ersten Leitfähigkeitstyp eindotiert sind.

4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, weiter gekennzeichnet durch

- einen Speicherzellenmatrixbereich mit einer Mehrzahl von Transistoren vom ersten Leitfähigkeitstyp, von denen jeder eine Source-, eine Drain- und eine Gateelektrode besitzt, sowie mit einer Mehrzahl von auf dem Source-/Draingebiet des jeweiligen Transistors vom ersten Leitfähigkeitstyp gebildeten Kontaktstellenschichten des ersten Leitfähigkeitstyps zur Kontakttoleranzhöhung und
- einen peripheren Schaltkreisbereich mit einer Mehrzahl von Transistoren vom ersten und vom zweiten Leitfähigkeitstyp, die jeweils eine Source-, eine Drain- und eine Gateelektrode besitzen, sowie mit einer Mehrzahl von auf den Source-/Draingebieten eines jeweiligen Transistors vom ersten Leitfähigkeitstyp gebildeten Kontaktstellenschichten des ersten Leitfähigkeitstyps zur Kontakttoleranzhöhung.

5. Halbleiterbauelement nach Anspruch 4, weiter dadurch gekennzeichnet, dass die MOS-Transistoren des ersten Leitfähigkeitstyps sowohl im Zellenmatrixbereich als auch im peripheren Schaltkreisbereich NMOS-Transistoren sind, deren Source-/Draingebiete eine LDD-Struktur aufweisen.

6. Halbleiterbauelement nach Anspruch 4 oder 5, weiter dadurch gekennzeichnet, dass der im peripheren Schaltkreisbereich enthaltene MOS-Transistor vom zweiten Leitfähigkeitstyp ein PMOS-Transistor mit einer Einzeldrain(SD)-Struktur ist.

7. Verfahren zur Herstellung eines Halbleiterbauelementes nach einem der Ansprüche 1 bis 6 mit folgenden Schritten:

- Erzeugen einer Isolationsschicht (**711**) auf dem Halbleitersubstrat (**700**), in welchem Bereiche zur Bildung der Gebiete des ersten und des zweiten Leitfähigkeitstyps festgelegt sind,
- Erzeugen eines ersten Maskenmusters (**712**) zur Freilegung des Bereichs zur Bildung des Gebietes des ersten Leitfähigkeitstyps und zur Bedeckung des Bereichs zur Bildung des Gebietes des zweiten Leitfähigkeitstyps,
- anisotropes Ätzen der Isolationsschicht (**711**) in dem freigelegten Bereich entsprechend den geometrischen Eigenschaften des Halbleitersubstrats,
- Entfernen des ersten Maskenmusters (**712**),
- Aufbringen einer Schicht (**714**) ganzflächig auf die resultierende Struktur zur Bildung der ersten und zweiten Kontaktstellenschicht (**715**),
- Implantieren von Fremdatomen des ersten Leitfähigkeitstyps unter Verwendung der unter der Schicht

(714) für die Kontaktstellenschichten verbliebenen Isolationsschicht (711) als Abschirmmaske vor Fremdatomimplantation,

– Strukturierung der Schicht (714) für die Kontaktstellenschichten zur Erzeugung der Kontaktstellenschichten (715) auf dem Gebiet des ersten Leitfähigkeitstyps,

– Erzeugen eines zweiten Maskenmusters (716) zur Freilegung des Bereichs für die Bildung des Gebietes des zweiten Leitfähigkeitstyps und zur Bedeckung des Bereichs für die Bildung des Gebietes des ersten Leitfähigkeitstyps und

– Implantieren von Fremdatomen des zweiten Leitfähigkeitstyps unter Verwendung des zweiten Maskenmusters (716) als Abschirmmaske vor Fremdatomimplantation.

8. Verfahren nach Anspruch 7, weiter gekennzeichnet durch einen Schritt zum anisotropen Ätzen der Isolationsschicht (711) in dem durch das zweite Maskenmuster (716) freigelegten Bereich entsprechend den geometrischen Eigenschaften des Halbleitersubstrats vor dem Schritt der Implantation der Fremdatome des zweiten Leitfähigkeitstyps.

9. Verfahren nach Anspruch 7 oder 8, weiter gekennzeichnet durch folgende Schritte nach dem Schritt zur Implantation der Fremdatome des zweiten Leitfähigkeitstyps:

– Entfernen des zweiten Maskenmusters (716) und
– ganzflächiges Erzeugen einer dielektrischen Zwischenschicht (718) auf der resultierenden Struktur mit einer Mehrzahl von Öffnungen zur Freilegung der Bereiche der Kontaktstellenschichten und des Gebietes des zweiten Leitfähigkeitstyps.

10. Verfahren nach einem der Ansprüche 7 bis 9, weiter dadurch gekennzeichnet, dass der Schritt zur Bildung der Schicht (714) für die Kontaktstellenschichten aus der Abscheidung von Polysilizium besteht.

11. Verfahren nach einem der Ansprüche 7 bis 10, weiter gekennzeichnet durch folgende Schritte vor dem Schritt zum Aufbringen der Isolationsschicht (711):

– selektives Festlegen eines aktiven Gebietes und eines Bauelementisolationengebietes auf dem Halbleitersubstrat (700),

– Bilden einer Gateisolationsschicht (705) auf der resultierenden Struktur,

– aufeinanderfolgendes Aufbringen einer Schicht für Gateelektroden (706) und einer isolierenden Deckschicht (707) auf die Gateisolationsschicht (705),

– Erzeugen eines Gate-Maskenmusters auf der resultierenden Struktur zur Festlegung der Gateelektroden und

– aufeinanderfolgendes und selektives Ätzen der isolierenden Deckschicht (707), der Schicht (706) für die Gateelektroden und der Gateisolationsschicht (705)

unter Verwendung des Gate-Maskenmusters als Ätzschutzmaske, wobei

– durch den Schritt des anisotropen Ätzens der Isolationsschicht (711) Abstandshalter (713) an den Seitenwänden der jeweiligen Gateelektroden (705) gebildet werden.

12. Verfahren nach einem der Ansprüche 7 bis 11, weiter gekennzeichnet durch einen Schritt zum Dotieren von Fremdatomen des ersten Leitfähigkeitstyps in das Halbleitersubstrat, in welchem die Bereiche zur Bildung der Gebiete des ersten und des zweiten Leitfähigkeitstyps festgelegt sind, vor dem Schritt zur Erzeugung der Isolationsschicht.

13. Verfahren zur Herstellung eines Halbleiterbauelementes nach einem der Ansprüche 1 bis 6 mit folgenden Schritten:

– Erzeugen einer Isolationsschicht (911) auf einem Halbleitersubstrat (900), in welchem Bereiche zur Bildung von Gebieten eines ersten und eines zweiten Leitfähigkeitstyps festgelegt sind,

– Erzeugen eines ersten Maskenmusters (912) zur Freilegung des Bereichs zur Bildung des Gebietes des zweiten Leitfähigkeitstyps und zur Bedeckung des Bereiches zur Bildung des Gebietes des ersten Leitfähigkeitstyps,

– anisotropes Ätzen der Isolationsschicht (911) entsprechend den geometrischen Eigenschaften der unter dieser Schicht liegenden Struktur unter Verwendung des ersten Maskenmusters,

– Entfernen des ersten Maskenmusters,
– Implantieren von Fremdatomen des zweiten Leitfähigkeitstyps unter Verwendung der geätzten Isolationsschicht als Abschirmmaske vor Fremdatomimplantation,

– Erzeugen eines zweiten Maskenmusters (915) zur Freilegung des Bereiches zur Bildung des Gebietes des ersten Leitfähigkeitstyps und zur Bedeckung des Bereiches zur Bildung des Gebietes des zweiten Leitfähigkeitstyps,

– anisotropes Ätzen der Isolationsschicht (911) in dem freiliegenden Bereich entsprechend den geometrischen Eigenschaften des Halbleitersubstrats,

– Entfernen des zweiten Maskenmusters (915),

– ganzflächiges Aufbringen einer Schicht (916) zur Bildung einer Kontaktstellenschicht auf die resultierende Struktur,

– Implantieren von Fremdatomen des ersten Leitfähigkeitstyps unter Verwendung der unter der Schicht (916) für die Kontaktstellenschicht verbliebenen Isolationsschicht (911) als Abschirmmaske vor Fremdatomimplantation und

– Strukturieren der Schicht für die Kontaktstellenschicht zur Bildung der Kontaktstellenschicht (918) auf dem Gebiet des ersten Leitfähigkeitstyps.

14. Verfahren nach Anspruch 13, weiter gekennzeichnet durch einen Schritt zum ganzflächigen Aufbringen einer dielektrischen Zwischenschicht (926)

mit einer Mehrzahl von Öffnungen zur Freilegung der Kontaktstellschicht und des Gebietes des zweiten Leitfähigkeitstyps auf die resultierende Struktur nach dem Schritt zur Bildung der Kontaktstellschicht.

15. Verfahren nach Anspruch 13 oder 14, weiter dadurch gekennzeichnet, dass die zur Bildung der Kontaktstellschicht (918) aufgebrauchte Schicht (916) aus Polysilizium besteht.

16. Verfahren nach einem der Ansprüche 13 bis 15, weiter gekennzeichnet durch folgende Schritte vor dem Schritt zum Aufbringen der Isolationsschicht (904):

- Selektives Festlegen eines aktiven Gebietes und eines Bauelementisoliationsgebietes auf dem Halbleitersubstrat,
- Aufbringen einer Gateisolationsschicht (905) auf die resultierende Struktur,
- aufeinanderfolgendes Aufbringen einer Gateelektroden-schicht und einer isolierenden Deckschicht (907) für Gateelektroden auf die Gateisolationsschicht (905),
- Erzeugen eines Gate-Maskenmusters auf der resultierenden Struktur zur Festlegung der Gateelektroden (906) und
- aufeinanderfolgendes und selektives Ätzen der isolierenden Deckschicht (907), der Gateelektroden-schicht (906) und der Gateisolationsschicht (905) unter Verwendung des Gate-Maskenmusters als Ätzschutzmaske, wobei
- durch den Schritt des anisotropen Ätzens der Isolationsschicht (911) Abstandshalter (913) an den Seitenwänden der jeweiligen Gateelektroden gebildet werden.

Es folgen 15 Blatt Zeichnungen

FIG. 1

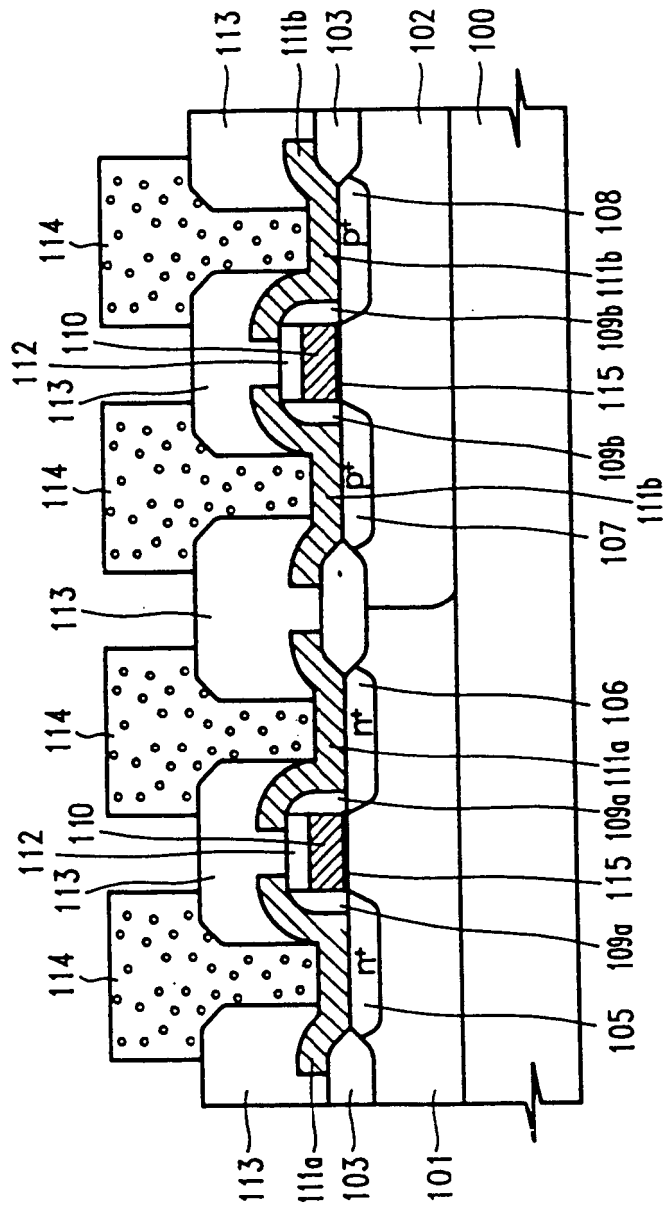


FIG. 2

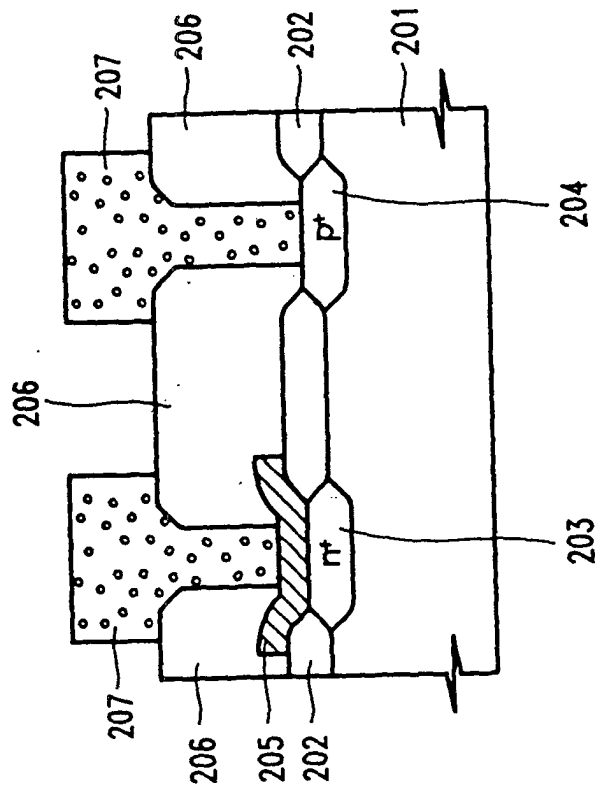


FIG. 4

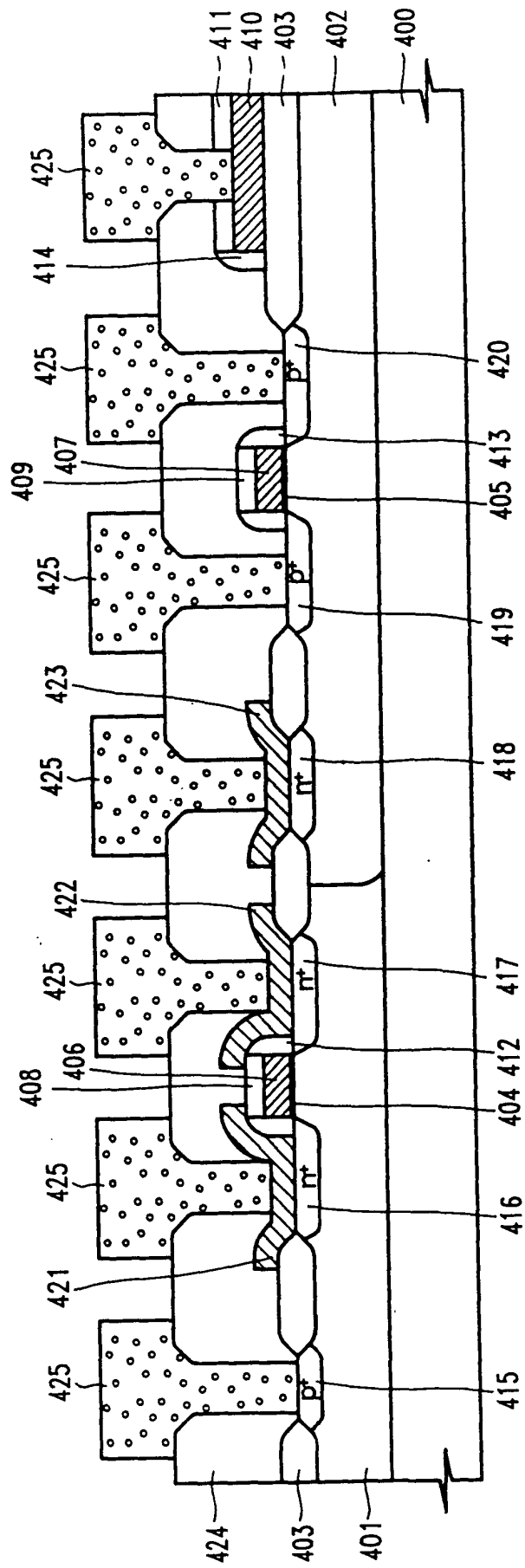
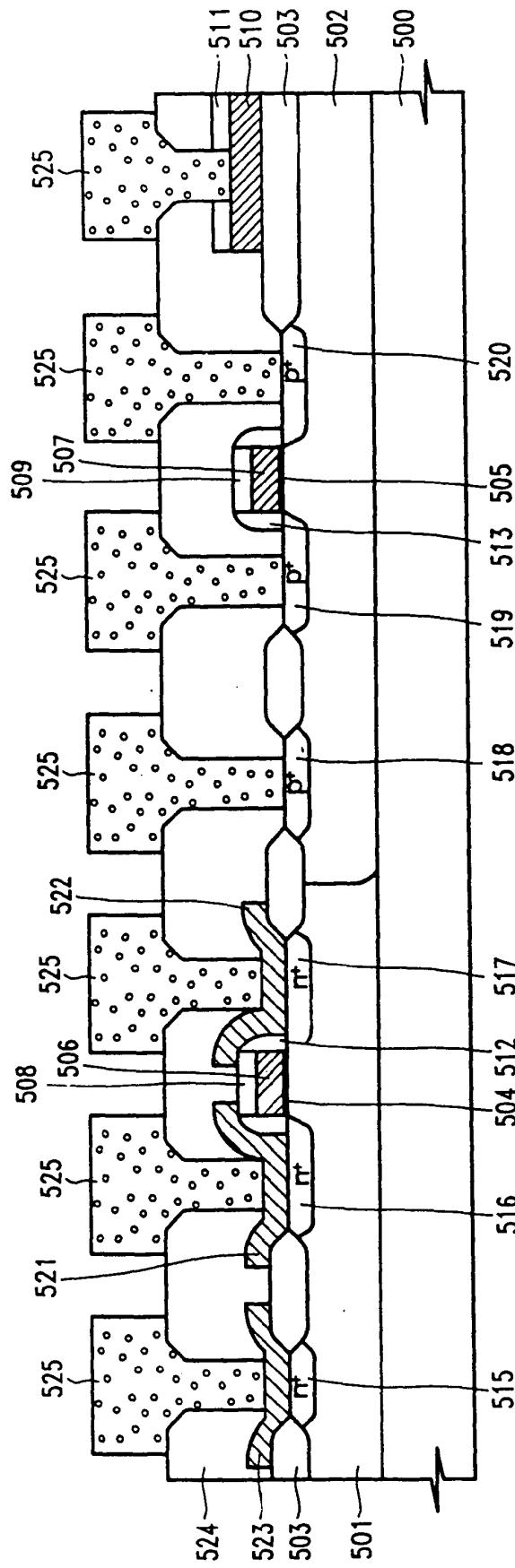
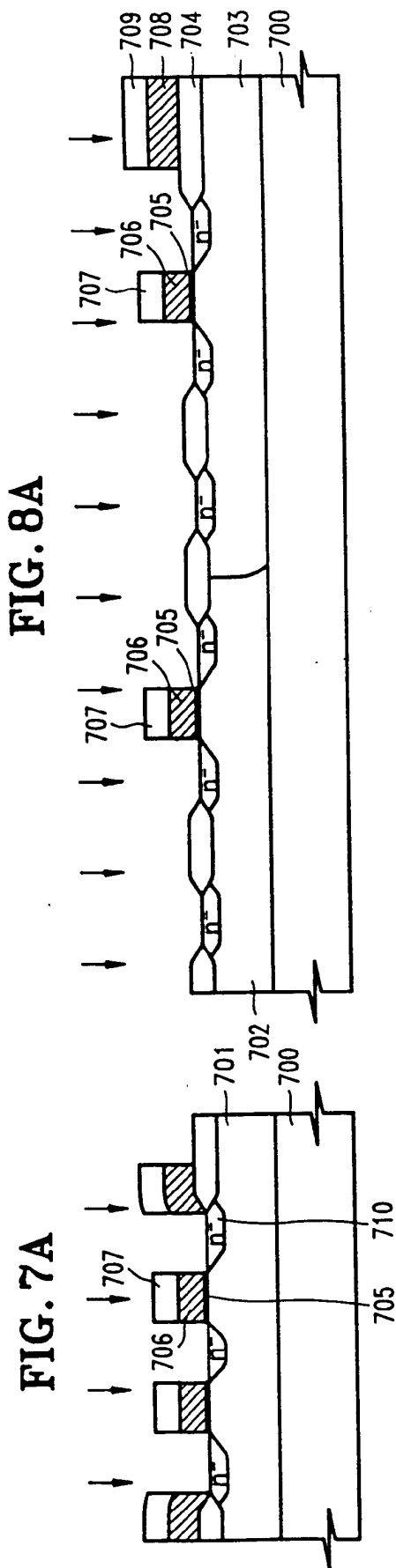
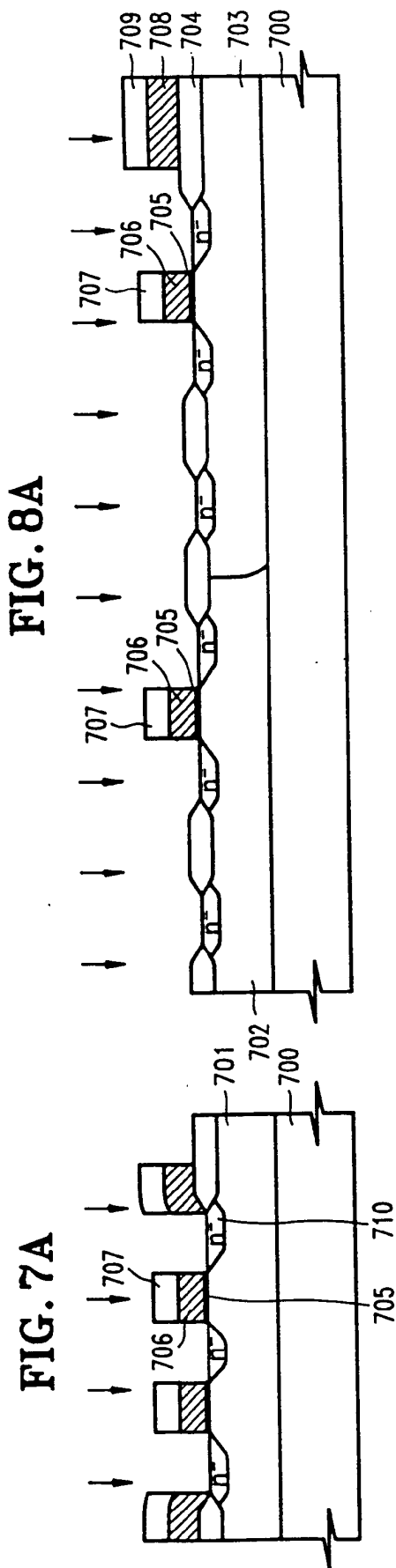


FIG. 5





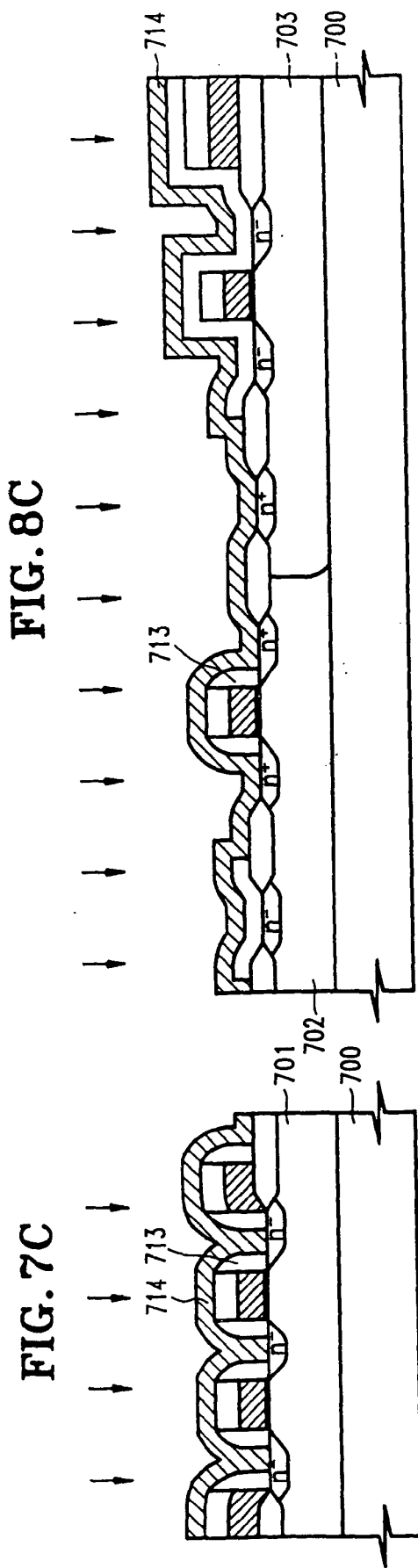


FIG. 8C

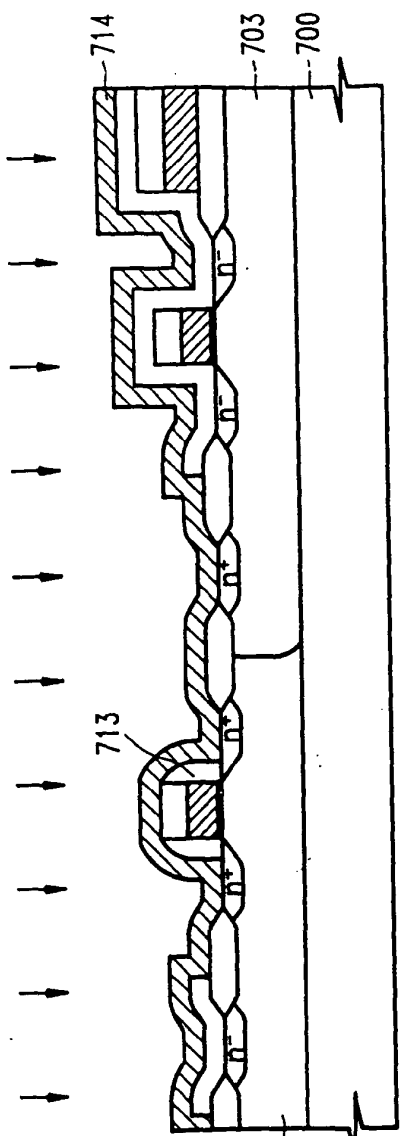


FIG. 7D

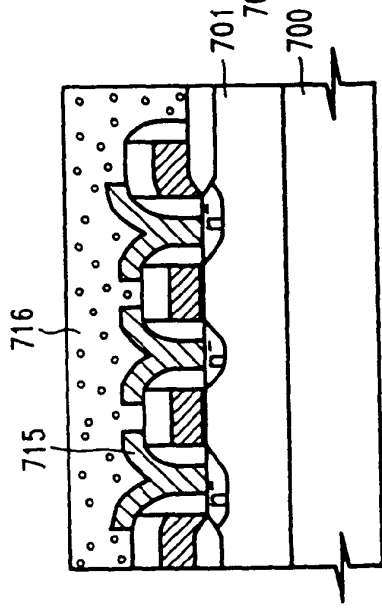


FIG. 8D

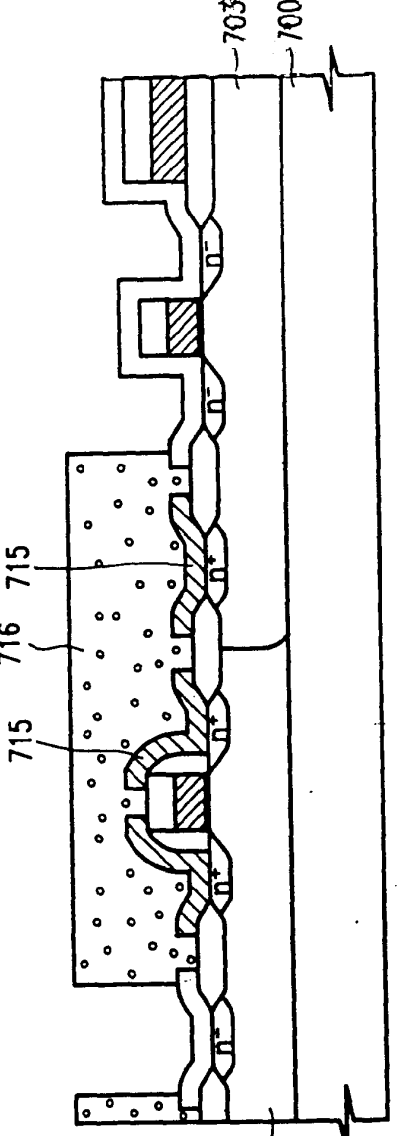


FIG. 8E

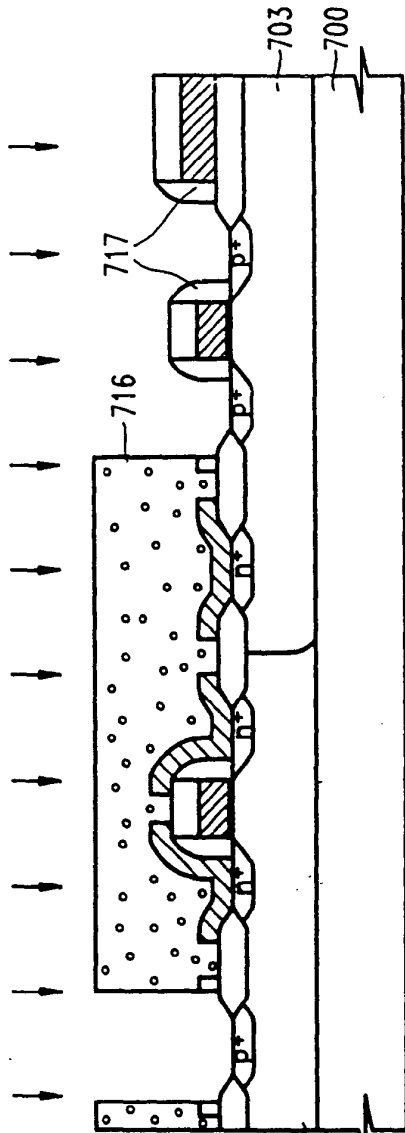


FIG. 8F

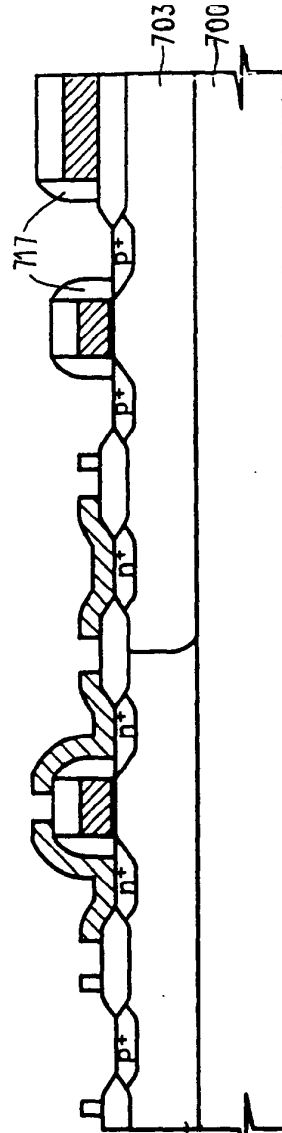


FIG. 7E

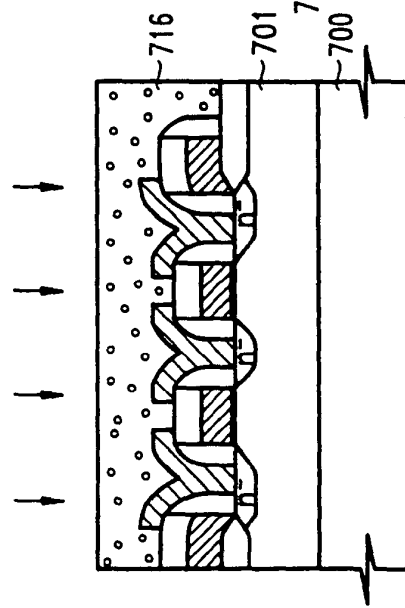


FIG. 7F

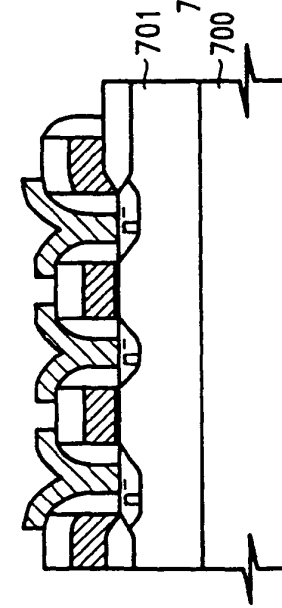


FIG. 8G

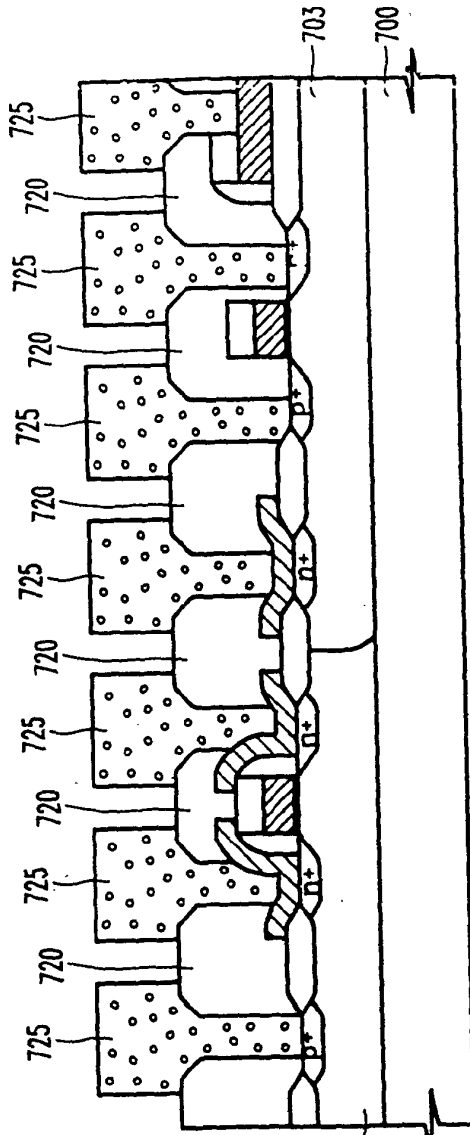
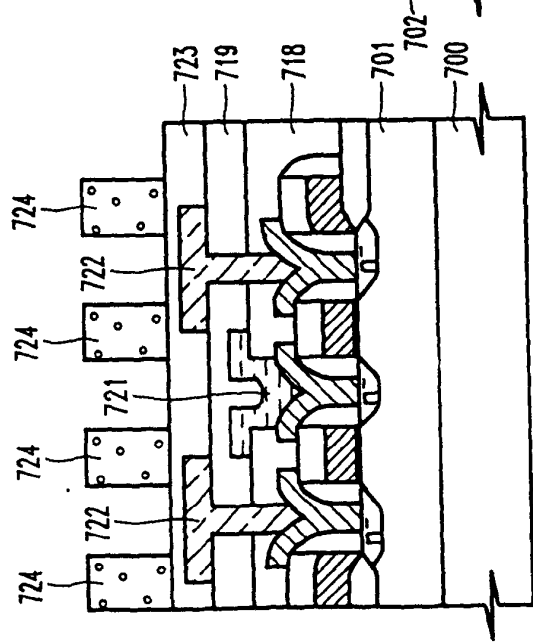
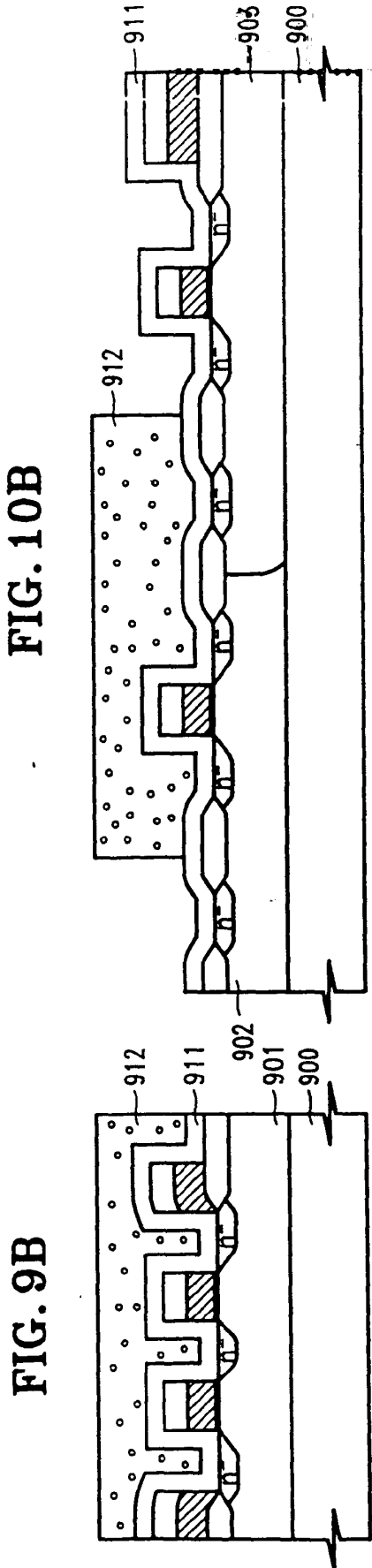
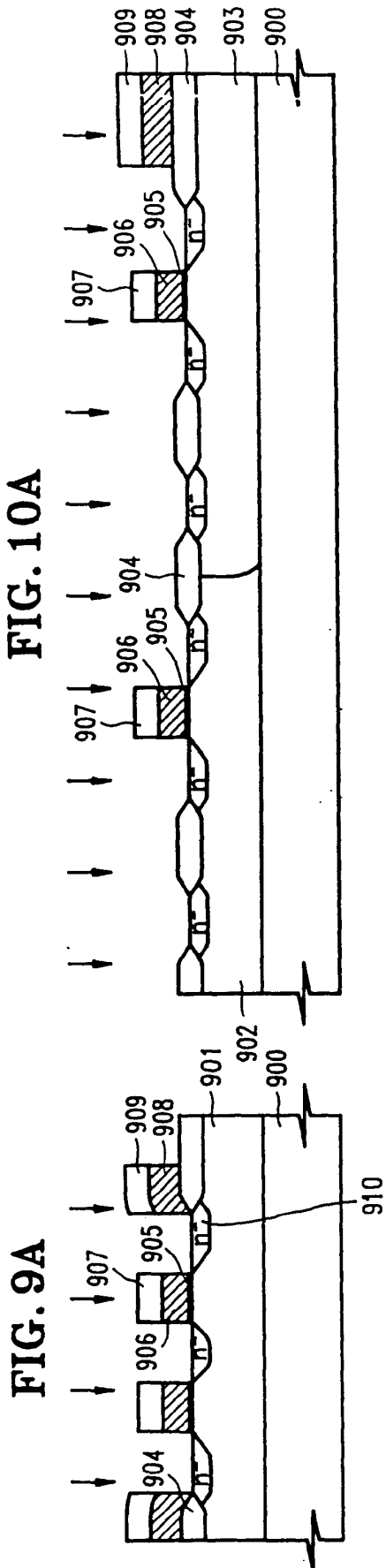
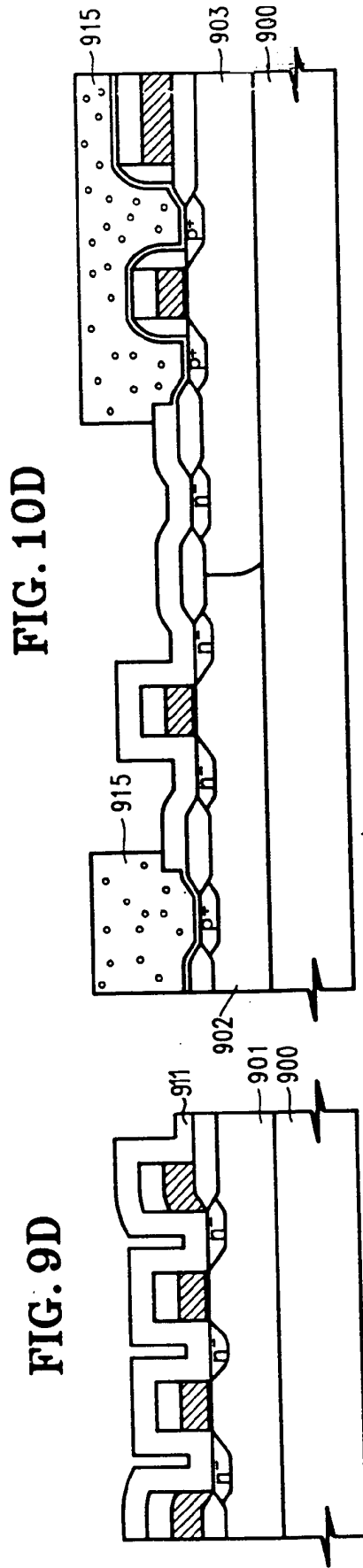
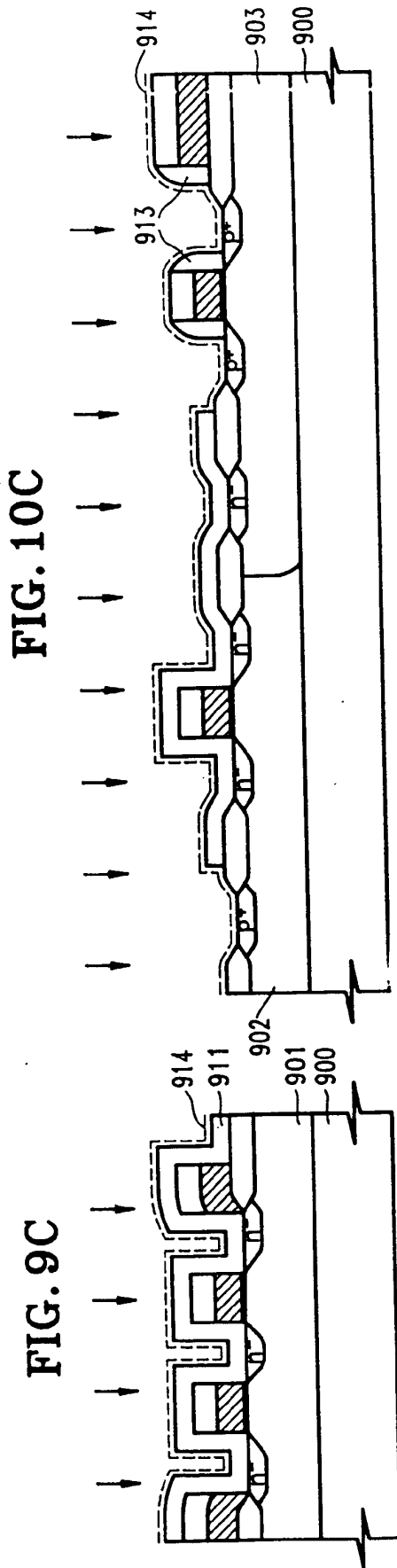


FIG. 7G







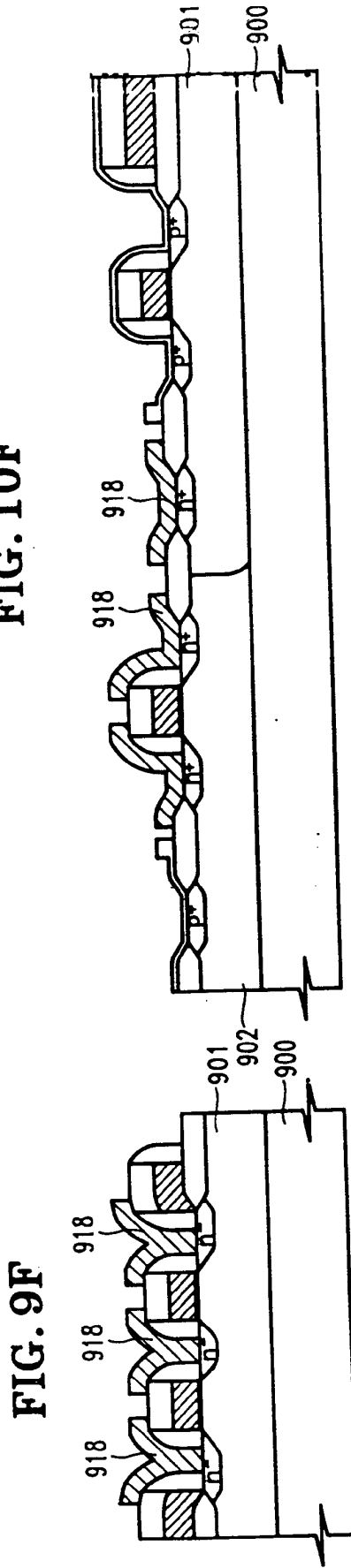
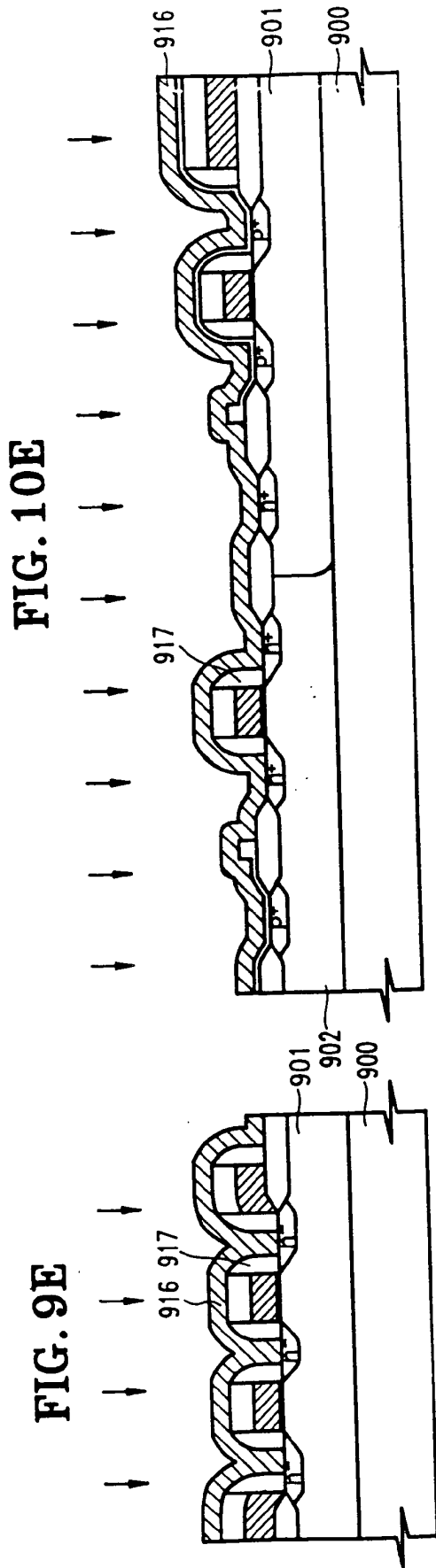


FIG. 10G

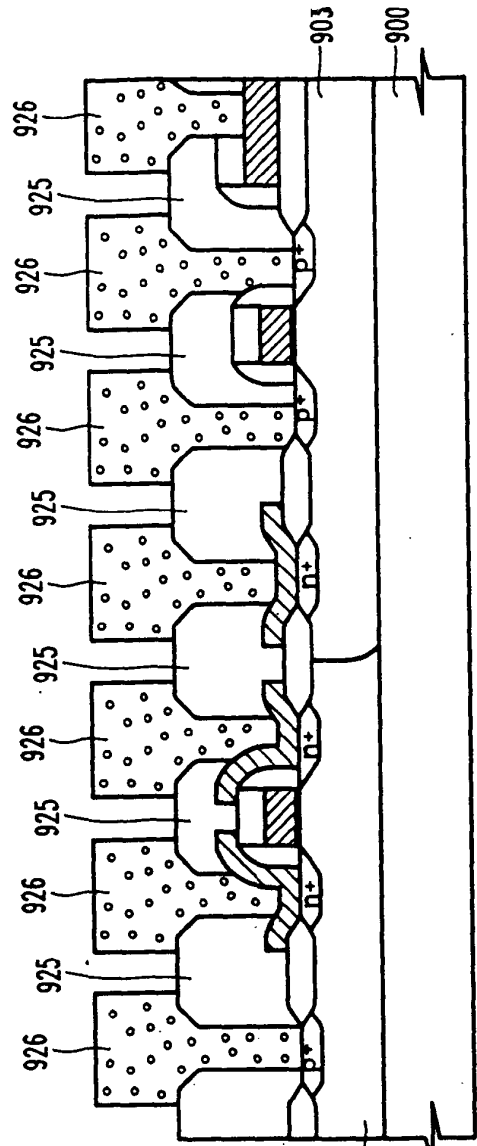


FIG. 9G

