

公告

申請日期	91. 4. 9
案 號	9 1 1 0 7 1 4 5
類 別	G11C 7/12

A4  
C4

556226

(以上各欄由本局填註)

# 發 明 專 利 說 明 書

一、發明 名稱	中 文	雙相預充電電路及其組合之消除靜止電流電路
	英 文	
二、發明人 創作	姓 名	陳 健 中
	國 籍	中 華 民 國
	住、居所	新竹市東區公園里15鄰光復路二段513號4樓之1
三、申請人	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中 華 民 國
	住、居所 (事務所)	新竹市科學工業園區研新三路四號
	代 表 人 姓 名	焦 佑 鈞

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

C6  
D6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

本案在向中華民國提出申請前未曾向其他國家提出申請專利。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明 ( 1 )

### 發明領域

本發明係關於一種消除動態隨機處理記憶體之靜止電流 (leakage current) 之電路，特別是關於一種消除動態隨機處理記憶體之位元線和字元線間短路靜止電流 (short DC standby current) 之電路。

### 發明背景

在動態隨機處理記憶體之製造過程中，有時會出現字元線 (word line) 和位元線 (bit line) 短路的情形，因而造成靜止電流而影響產品之良率。

一種解決上述問題的方式係揭示於美國專利號 5,499,211，標題為「BIT-LINE PRECHARGE CURRENT LIMITER FOR CMOS DYNAMIC MEMORIES」之專利說明書內。如圖 1 所示，該習知技藝之電路 10 包含一字元線 12、一互補之位元線 13、一預充電等化電路 14 及一限流裝置 (current limiting means) 11。該習知技藝為避免字元線 (WL) 和位元線 (BL) 短路而造成過大之靜止電流，特別在一預充電電壓源 (source of precharge voltage; VBLEQ) 15 和位元線 13 之間加入該限流裝置 11，例如一空乏型之 N 型電晶體 (depletion NMOS)，用以限制當位元線和字元線發生短路時的最大靜止電流。

然一般而言，字元線驅動電壓 ( $V_{WL}$ ) 在靜止模式時為 0 伏特。而此時 EQL 控制信號被致能，使得位元線電壓大於 0 伏特，因此在靜止模式時將形成一靜止電流路徑，該靜止電流由 BLEQ、BL、WL 流至接地端。換言之，習知方式僅能降

## 五、發明說明 ( 2 )

低字元線12和位元線13短路時之靜止電流，卻不能有效地予以消除。對於目前低功率動態隨機處理記憶體之產品應用上，該靜止電流仍然因太大了而無法滿足市場之需求。

鑒於習知技藝存在的問題，本發明提出一新穎的雙相預充電電路，以克服上述缺點。

### 發明之簡要說明

本發明之主要目的係提供一種雙相預充電電路及其組合之消除動態隨機存取記憶體之靜止電流電路，可適用於低功率動態隨機處理記憶體之應用需求。

為了達到上述目的，本發明揭示之雙相預充電電路僅於工作模式內啟動，用以導通預充電電壓源至位元線。而於靜止模式時，該雙相預充電電路係處於斷路之狀態，藉此可消除因位元線和字元線間短路所造成之靜止電流。

本發明之雙相預充電電路包含一預充電等化電路和至少一控制信號。該預充電等化電路之一端連接至一預充電電壓源，另一端連接至該位元線。該至少一控制信號僅在該動態隨機存取記憶體之工作模式之前端和末端分別啟動一脈波，用以導通該預充電電壓源至該位元線，而在靜止模式時該控制信號關閉。

### 圖式之簡單說明

本發明將依照後附圖式來說明，其中：

圖1(a)係一習知消除靜止電流之電路；

圖1(b)係圖1(a)之工作時序圖；

圖2(a)係本發明之消除靜止電流電路之第一實施例；

## 五、發明說明 ( 3 )

圖 2(b) 係圖 2(a) 之工作時序圖；

圖 3(a) 係本發明之消除靜止電流電路之第二實施例；及

圖 3(b) 係圖 3(a) 之工作時序圖。

元件符號說明

- |    |               |    |         |
|----|---------------|----|---------|
| 10 | 習知消除靜止電流之電路   |    |         |
| 11 | 限流裝置          | 12 | 字元線     |
| 13 | 位元線           | 14 | 預充電等化電路 |
| 15 | 預充電電壓源        |    |         |
| 20 | 本發明之消除靜止電流之電路 |    |         |
| 21 | 預充電等化電路       | 22 | 字元線     |
| 23 | 位元線           | 24 | 預充電電壓源  |
| 25 | 控制信號          | 26 | 第一電晶體   |
| 27 | 第二電晶體         | 28 | 第三電晶體   |

較佳實施例說明

請參考圖 2(a)，本發明之消除動態隨機存取記憶體之短路靜止電流之電路 20 包含一預充電電壓源 24、複數個字元線 22、複數個互補之位元線 23 及複數個預充電等化電路 21。該實施例係於預充電等化電路 21 採用具有雙相之  $\theta 1$  控制信號 25。該  $\theta 1$  控制信號 25 在工作模式期間將啟動兩個脈波，其中第一個脈波係位於字元線工作之前，而另一個脈波係位於字元線工作之後，其目的係將一預充電電壓源 VBLEQ 24 預充電至互補之位元線 23。更重要之一點在於該  $\theta 1$  控制信號 25 在靜止模式期間為關閉狀態，因此即便位元線 23 和字元線 22 有發生短路，亦不會有靜止電流產

## 五、發明說明 ( 4 )

生。藉由本發明之電路，可消除因製造過程之瑕疵而在靜止狀態產生靜止電流之問題，且可滿足低功率動態隨機處理記憶體之產品要求。

此外，由於本發明切斷位元線23在靜止模式之導通路徑，因此可完全消除位元線23和字元線22短路時之靜止電流。換言之，本發明可省略習知技藝所使用之限流裝置11而仍能達到更佳之功效。

請參考圖3(a)，該實施例係於該預充電等化電路21採用兩個控制信號 $\theta 1$ 和 $\theta 2$ 。該 $\theta 1$ 控制信號用於在字元線工作之前之工作模式期間啟動脈波，而該 $\theta 2$ 控制信號用於在字元線工作之後之工作模式期間啟動脈波。然和第一實施例相同的是，無論是控制信號 $\theta 1$ 或 $\theta 2$ ，其在靜止模式期間均為關閉狀態，因此可確保不致因位元線23和字元線22發生短路而產生靜止電流。

本發明之預充電電路21並不限於特定之架構。在圖2(a)之架構中包含第一電晶體26、第二電晶體27和第三電晶體28，該第一電晶體26跨越連接至該複數個互補之位元線23，該第二和第三電晶體27、28分別串接至該複數個互補之位元線23，且該第一、第二和第三電晶體26、27、28之閘極連接至該控制信號25。然，圖2(a)之架構僅為一例示，凡能達到在工作模式期間將該預充電電壓源VBLEQ24預充電至互補之位元線23之架構，均為本發明之技術思想之涵蓋範圍之內。

本發明之技術內容及技術特點已揭示如上，然而熟悉本

## 五、發明說明( 5 )

項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

四、中文發明摘要(發明之名稱：雙相預充電電路及其組合之消除靜止電流電路)

本發明揭示一種雙相預充電電路及其組合之消除靜止電流電路，其係於工作模式內啟動，用以導通該預充電電壓源至該位元線。而於靜止模式時，該雙相預充電電路係處於斷路之狀態，藉此可消除因位元線和字元線間短路所造成之靜止電流。

英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝  
訂  
線



## 六、申請專利範圍

1. 一種雙相預充電電路，用於消除動態隨機存取記憶體因位元線和字元線短路而產生之靜止電流，包含：
  - 一預充電等化電路，其一端連接至一預充電電壓源，另一端連接至該位元線；以及
  - 至少一控制信號，其僅在該動態隨機存取記憶體之工作模式之前端和末端分別啟動一脈波，用以導通該預充電電壓源至該位元線，而在靜止模式時該控制信號係處於關閉之狀態。
2. 如申請專利範圍第1項之雙相預充電電路，其中該預充電等化電路包含第一、第二和第三電晶體，該第一電晶體跨越連接至該互補之位元線，該第二和第三電晶體分別串接至該互補之位元線，且該第一、第二和第三電晶體之閘極連接至該控制信號。
3. 如申請專利範圍第1項之雙相預充電電路，其中該預充電等化電路之控制信號為兩組，各組控制信號分別用於產生工作模式之前端和末端之脈波。
4. 一種消除動態隨機存取記憶體之短路靜止電流之電路，包含一預充電電壓源、複數個字元線、複數個互補之位元線及複數個預充電等化電路，其特徵在於該複數個預充電等化電路之控制信號僅在工作模式之前端和末端分別啟動一脈波，用以導通該預充電電壓源至該複數個互補之位元線，而在靜止模式時該控制信號關閉，藉此可消除因該位元線和該字元線間短路所造成之靜止電流。
5. 如申請專利範圍第4項之消除動態隨機存取記憶體之短

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 六、申請專利範圍

路靜止電流之電路，其中該複數個預充電等化電路之控制信號為兩組，各組控制信號分別用於產生工作模式之前端和末端之脈波。

6. 如申請專利範圍第4項之消除動態隨機存取記憶體之短路靜止電流之電路，其中該複數個預充電等化電路包含第一、第二和第三電晶體，該第一電晶體跨越連接至該複數個互補之位元線，該第二和第三電晶體分別串接至該複數個互補之位元線，且該第一、第二和第三電晶體之閘極連接至該控制信號。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

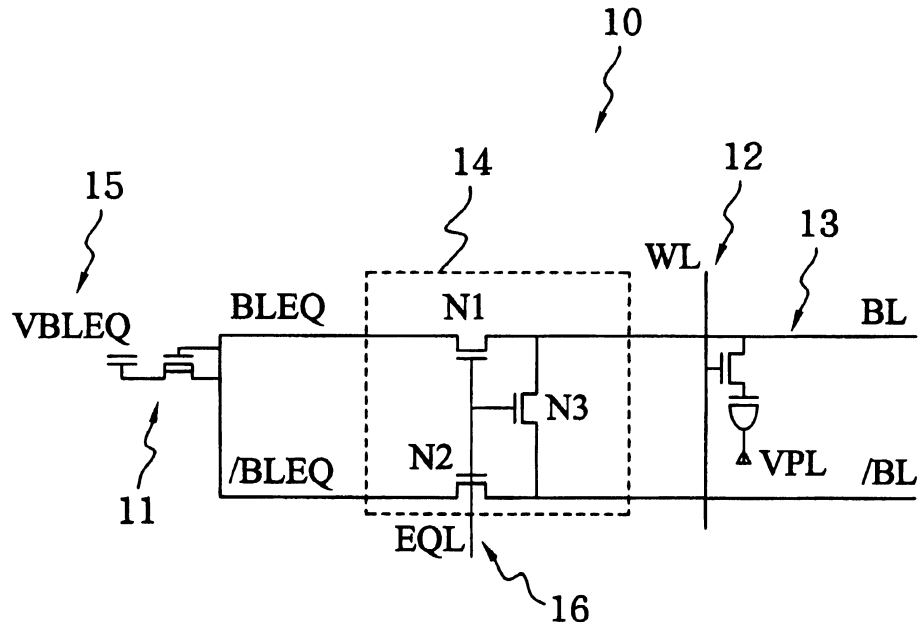


圖 1(a) (習知技藝)

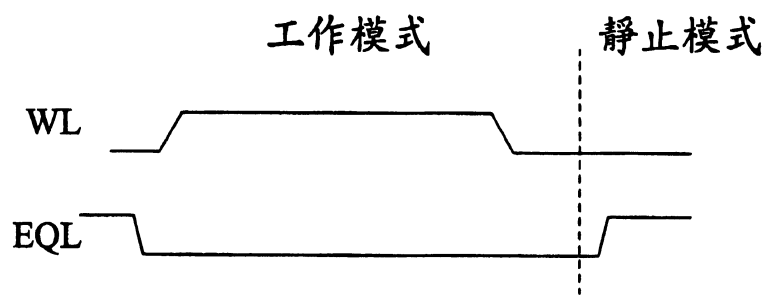


圖 1(b) (習知技藝)

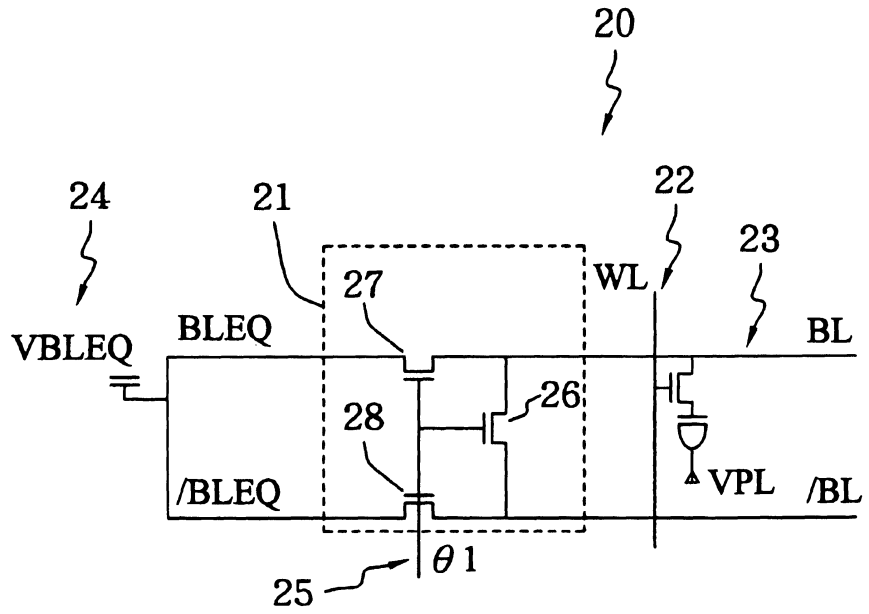


圖 2(a)

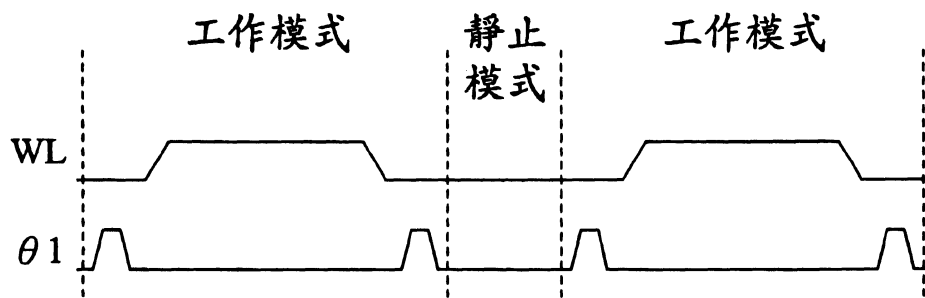


圖 2(b)

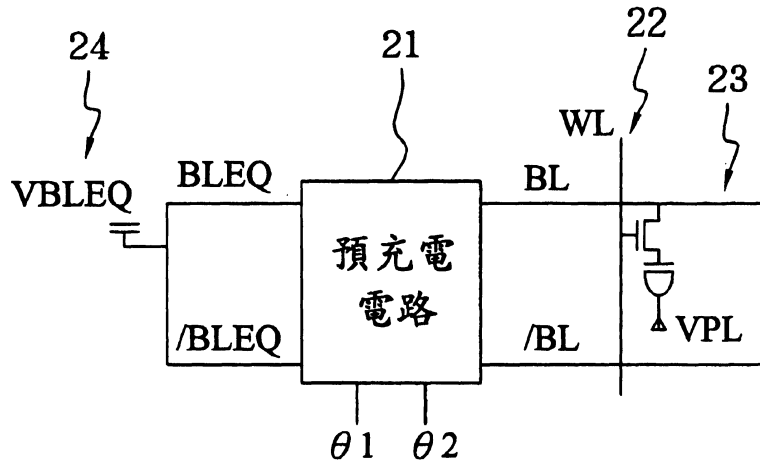


圖 3(a)

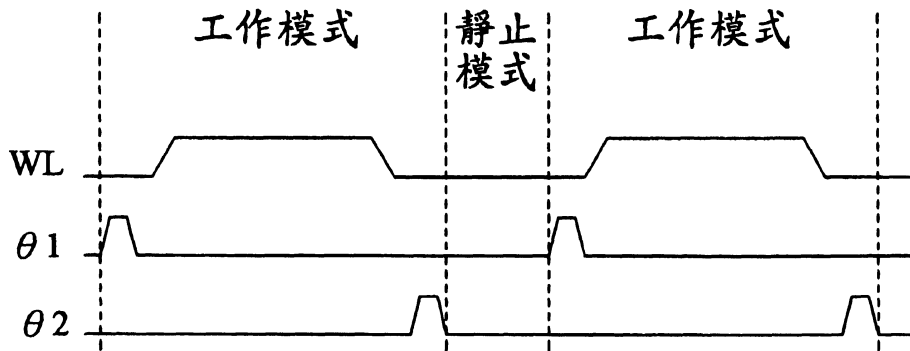


圖 3(b)