

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-106594
(P2015-106594A)

(43) 公開日 平成27年6月8日(2015.6.8)

(51) Int.Cl.			F I			テーマコード (参考)		
HO 1 L	21/82	(2006.01)	HO 1 L	21/82		T	2 G 1 3 2	
HO 3 K	19/173	(2006.01)	HO 3 K	19/173	1 O 1		5 F 0 3 8	
HO 1 L	21/822	(2006.01)	HO 1 L	27/04		T	5 F 0 6 4	
HO 1 L	27/04	(2006.01)	HO 1 L	21/82		A	5 J 0 4 2	
GO 1 R	31/28	(2006.01)	GO 1 R	31/28		U		

審査請求 未請求 請求項の数 7 O L (全 26 頁)

(21) 出願番号 特願2013-246802 (P2013-246802)
(22) 出願日 平成25年11月28日 (2013.11.28)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100074099
弁理士 大菅 義之
(74) 代理人 100133570
弁理士 ▲徳▼永 民雄
(72) 発明者 野々村 行展
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
Fターム(参考) 2G132 AA02 AB01 AK11 AK29 AL09
AL11
5F038 DF01 DF04 DF05 DT03 DT08
DT15 EZ20

最終頁に続く

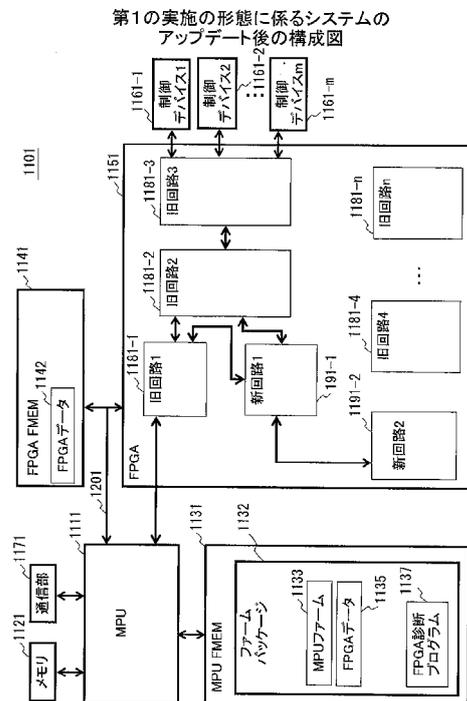
(54) 【発明の名称】 診断装置、診断装置の制御方法、および診断装置の制御プログラム

(57) 【要約】 (修正有)

【課題】 システムの信頼性を向上させる。

【解決手段】 FPGA 1151 をアップデートする場合、MPU 1111 は、通信部 1171 を介して新たなファームパッケージ 1132 を受信し、MPU FMEM 1131 に格納してファームパッケージ 1132 を更新し、MPU 1111 は、FPGA データ 1135 を読み出し、FPGA FMEM 1141 に FPGA データ 1142 を格納し、FPGA 1151 をリコンフィギュレーションし、アップデート後のファームパッケージ 1132 は、MPU ファーム 1133、FPGA データ 1135、および FPGA 診断プログラム 1137 を含み、FPGA 診断プログラム 1137 は、FPGA 1151 の診断を行うプログラムであり、アップデートにより追加された全ての回路(新回路)と新回路の動作に必要な回路のみ診断を行い、診断対象となる回路や診断処理等が予め設定されている。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 の回路構成情報を格納する記憶部と、

前記第 1 の回路構成情報に基づいて第 1 の複数の回路を構成するとともに、第 2 の回路構成情報に基づいて第 2 の複数の回路を構成する回路部と、

前記第 1 の回路構成情報を前記第 2 の回路構成情報に更新し、前記第 2 の複数の回路のうち、前記第 2 の回路構成情報により新たに追加された全ての回路を診断する処理部と、を有することを特徴とする診断装置。

【請求項 2】

前記処理部は、前記新たに追加された全ての回路および該新たに追加された回路の動作に必要な回路のみ診断することを特徴とする請求項 1 記載の診断装置。 10

【請求項 3】

前記第 2 の回路構成情報は、前記第 2 の回路構成情報により新たに追加された全ての回路を診断する診断回路を構成する情報を含み、

前記処理部は、前記診断回路に診断の開始を指示し、

前記診断回路は、前記指示を受信すると、前記第 2 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする請求項 1 記載の診断装置。

【請求項 4】

前記処理部は、前記診断回路から診断完了の通知を受信した場合、前記第 2 の回路構成情報を第 3 の回路構成情報に更新し、 20

前記回路部は、前記第 3 の回路構成情報に基づいて、第 3 の複数の回路を構成することを特徴とする請求項 3 記載の診断装置。

【請求項 5】

前記処理部は、診断処理において、エラーが検出された場合、前記第 2 の回路構成情報を前記第 2 の回路構成情報により新たに追加された第 1 の回路と同じ機能を有する第 2 の回路を前記第 1 の回路と異なる位置に構成する第 3 の回路構成情報に更新し、

前記回路部は、前記第 3 の回路構成情報に基づいて、第 3 の複数の回路を構成し、

前記処理部は、前記第 3 の複数の回路のうち、前記第 3 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする請求項 1 記載の診断装置。

【請求項 6】 30

第 1 の回路構成情報を格納する記憶部を有する診断装置の制御方法において、

前記診断装置が有する回路部が、前記第 1 の回路構成情報に基づいて第 1 の複数の回路を構成するとともに、第 2 の回路構成情報に基づいて第 2 の複数の回路を構成し、

前記診断装置が有する処理部が、前記第 1 の回路構成情報を前記第 2 の回路構成情報に更新し、前記第 2 の複数の回路のうち、前記第 2 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする診断装置の制御方法。

【請求項 7】

第 1 の回路構成情報を格納する記憶部を有する診断装置の制御プログラムにおいて、

前記診断装置が有する回路部に、前記第 1 の回路構成情報に基づいて第 1 の複数の回路を構成するとともに、第 2 の回路構成情報に基づいて第 2 の複数の回路を構成させ、 40

前記診断装置が有する処理部に、前記第 1 の回路構成情報を前記第 2 の回路構成情報に更新し、前記第 2 の複数の回路のうち、前記第 2 の回路構成情報により新たに追加された全ての回路を診断させることを特徴とする診断装置の制御プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、診断装置、診断装置の制御方法、および診断装置の制御プログラムに関する。

【背景技術】

【0002】 50

Field Programmable Gate Array (FPGA) は、製造後にユーザが回路の構成情報を変更することが可能な集積回路であり、現在、様々な装置で用いられている。

【0003】

図1は、従来のシステムのアップデート前の構成図である。

システム101は、Micro Processing Unit (MPU) 111、メモリ121、MPU Flash Memory (FMEM) 131、FPGA FMEM 141、FPGA 151、制御デバイス161 - i (i = 1 ~ m)、および通信部171を備える。

【0004】

MPU FMEM 131は、ファームパッケージ132を格納する。

ファームパッケージ132は、MPUファーム133およびFPGAデータ135を含む。

10

【0005】

MPUファーム133は、ファームパッケージ132の更新やFPGA 151のリコンフィグレーションの指示等を行うプログラムである。

【0006】

FPGAデータ135は、FPGA 151内に構成される回路の情報である。

FPGA FMEM 141は、FPGAデータ142を格納する。

【0007】

MPU 111は、MPU FMEM 131内のFPGAデータ135をFPGA FMEM 141にコピーする。FPGA FMEM 141にコピーされたFPGAデータは、FPGAデータ142と表記する。すなわち、FPGAデータ135とFPGAデータ142の内容は同一である。

20

【0008】

MPU 111は、FPGA 151にリコンフィグレーションを指示すると、FPGA 151はFPGAデータ142を読み出し、FPGAデータ142に基づいてFPGA 151内に回路を構成する。

【0009】

アップデート前において、FPGAデータ142に基づいてFPGA 151内に回路を構成すると、旧回路181 - 1 ~ 181 - nが構成される。以下、旧回路181 - 1 ~ 181 - nは、それぞれ旧回路1 ~ nと表記する。

【0010】

旧回路1 ~ nは、制御デバイス161の制御等の通常のシステム動作で動作する回路である。

30

【0011】

また、FPGA 151内には、旧回路1 ~ nが使用していない領域に素子の故障（故障部分1、2）が存在する。

【0012】

故障部分1、2は、旧回路1 ~ nが使用していない領域に存在するため、旧回路1 ~ nは、正常に動作する。

【0013】

FPGA 151をアップデートする場合、MPU 111は、通信部171を介して新たなファームパッケージ132を受信し、MPU FMEM 131に格納してファームパッケージ132を更新する。そして、MPU 111は、FPGAデータ135を読み出し、FPGA FMEM 141にFPGAデータ142を格納し、FPGA 151をリコンフィグレーションする。

40

【0014】

図2は、従来のシステムのアップデート後の構成および診断範囲を示す図である。

アップデート後のFPGAデータ142を用いてFPGA 151をリコンフィグレーションすると、FPGA 151には、旧回路1 ~ nおよび新回路191 - 1、191 - 2が構成される。以下、新回路191 - 1、191 - 2は、それぞれ新回路1、2と表記する。

【0015】

旧回路1 ~ nは、アップデート前に構成されていた旧回路1 ~ nと同じである。ただし、アップデート前において旧回路1と旧回路2は接続していたが、アップデート後に旧回路1と旧回路2は接続しておらず、旧回路1、2は新回路1と接続している。

50

- 【0016】
アップデート前のFPGA151と比較するとアップデート後のFPGA151には、新回路1、2が追加される。
- 【0017】
新回路1は、旧回路1、2および新回路2と接続している。
新回路1は、システム101の通常動作時に動作する回路である。
新回路2は、特定の条件でのみ動作し、システム101の通常動作時には動作しない。
- 【0018】
新回路1は、故障部分1を含む領域に構成され、新回路2は、故障部分2を含む領域に構成されるものとする。この場合、新回路1、2は、誤動作する。 10
- 【0019】
上述のようなアップデートが行われたシステム101において、システム101全体を通常動作による疎通動作確認をすることで、FPGA151の動作確認を行う。
- 【0020】
この場合、疎通動作確認の範囲は、通常動作で動作する旧回路1～nおよび新回路1を含む。
- 【0021】
すなわち、旧回路1～nおよび新回路1を通常動作させて、エラーがあるかチェックする。 20
- 【0022】
新回路1は、システム101の通常動作で動作する回路であるため、新回路1が構成されている領域に故障部分があれば、新回路1のエラーにより故障を検出できる。この場合、FPGA151を上記アップデート等を行う保守作業中に交換すればよい。
- 【0023】
一方、通常動作による動作確認において、特定の条件でのみ動作する新回路2は動作確認の範囲に含まれていない。
- 【0024】
よって、新回路2に故障部分が含まれていたとしても、従来の動作確認では新回路2の故障は検出できない。 30
- 【0025】
新回路2の故障は、保守作業の終了後、システム運用中に新回路2が動作した場合に検出される。そのため、新回路2に故障部分が含まれていた場合、再度システム101を停止し、FPGA151を交換する必要がある。
- 【0026】
このように、従来のアップデート時の動作確認では、FPGA内の全ての回路をチェックしておらず、保守作業の終了後のシステム運用中にFPGAの故障が検出されるため、システムの信頼性が低くなるという問題がある。
- 【0027】
尚、システムの出荷前にFPGA内部の全素子の診断が出来ていればどんな回路構成でも正常な動作が保証される。しかし、そのようなテストプログラムの作成は膨大な開発工数およびコストが発生してしまう。 40
- 【先行技術文献】
【特許文献】
【0028】
【特許文献1】特開2008-52389号公報
【特許文献2】特開2009-44473号公報
【発明の概要】
【発明が解決しようとする課題】
- 【0029】
本発明の課題は、システムの信頼性を向上させることである。 50

【課題を解決するための手段】

【0030】

実施の形態の診断装置は、記憶部と、回路部と、処理部と、を備える。

前記記憶部は、第1の回路構成情報を格納する。

【0031】

前記回路部は、前記第1の回路構成情報に基づいて第1の複数の回路を構成するとともに、第2の回路構成情報に基づいて第2の複数の回路を構成する。

【0032】

前記処理部は、前記第1の回路構成情報を前記第2の回路構成情報に更新し、前記第2の複数の回路のうち、前記第2の回路構成情報により新たに追加された全ての回路を診断する。

10

【発明の効果】

【0033】

実施の形態の診断装置によれば、システムの信頼性を向上させることである。

【図面の簡単な説明】

【0034】

【図1】従来のシステムのアップデート前の構成図である。

【図2】従来のシステムのアップデート後の構成および診断範囲を示す図である。

【図3】第1の実施の形態に係るシステムのアップデート前の構成図である。

【図4】第1の実施の形態に係るシステムのアップデート後の構成図である。

20

【図5】第1の実施の形態に係る診断方法における診断範囲を示す図である。

【図6】第1の実施の形態に係る診断方法のフローチャートである。

【図7】第2の実施の形態に係るシステムのアップデート前の構成図である。

【図8】第2の実施の形態に係るシステムのアップデート後の診断時の構成図である。

【図9】第2の実施の形態に係る診断方法における診断範囲を示す図である。

【図10】第2の実施の形態に係る診断方法のフローチャートである。

【図11】第2の実施の形態に係るシステムのアップデート後の診断後の構成図である。

【図12】第3の実施の形態に係るシステムのアップデート前の構成図である。

【図13】第3の実施の形態に係るシステムのアップデート後の最初の診断時の構成図である。

30

【図14】第3の実施の形態に係るシステムのアップデート後の再診断時の構成図である。

【図15】第3の実施の形態に係る診断方法のフローチャートである。

【図16】情報処理装置（コンピュータ）の構成図である。

【発明を実施するための形態】

【0035】

以下、図面を参照しながら実施の形態について説明する。

（第1の実施の形態）

図3は、第1の実施の形態に係るシステムのアップデート前の構成図である。

【0036】

システム1101は、MPU1111、メモリ1121、MPU Flash Memory (FMEM) 1131、FPGA FMEM 1141、FPGA 1151、制御デバイス1161 - i (i = 1 ~ m)、および通信部1171を備える。

40

【0037】

システム1101は、例えば、システムボードやサーバ等のコンピュータである。

MPU1111は、ファームパッケージの更新やFPGAの診断を行う処理装置である。MPU1111は、メモリ1121に読み出されたMPUファームおよびFPGA診断プログラムを実行することにより、ファームパッケージ1132の更新やFPGA1151の診断を行う。

【0038】

メモリ1121は、システム1101で利用されるデータやプログラムを一時的に格納

50

する記憶装置である。メモリ 1 1 2 1 は、例えば、Random Access Memory (RAM) である。

【 0 0 3 9 】

MPU FMEM 1 1 3 1 は、ファームパッケージ 1 1 3 2 を格納する。MPU FMEM 1 1 3 1 は、例えば、不揮発性のメモリである。

【 0 0 4 0 】

ファームパッケージ 1 1 3 2 は、MPUファーム 1 1 3 3 およびFPGAデータ 1 1 3 5 を含む。

【 0 0 4 1 】

MPUファーム 1 1 3 3 は、ファームパッケージ 1 1 3 2 の更新やFPGA 1 1 5 1 のリコンフィギュレーションの指示等を行うプログラムである。

【 0 0 4 2 】

FPGAデータ 1 1 3 5 は、FPGA 1 1 5 1 内に構成される回路の情報である。FPGAデータ 1 1 3 5 は、FPGA 1 1 5 1 内に構成される回路の構造、回路の位置、および回路間の接続関係などの情報を含む。

【 0 0 4 3 】

FPGA FMEM 1 1 4 1 は、FPGAデータ 1 1 4 2 を格納する。FPGA FMEM 1 1 4 1 は、例えば、不揮発性のメモリである。

【 0 0 4 4 】

FPGAデータ 1 1 4 2 は、FPGA 1 1 5 1 内に構成される回路の情報である。FPGAデータ 1 1 4 2 は、MPU 1 1 1 1 がFPGAデータ 1 1 3 5 をコピーすることにより生成される。よって、FPGAデータ 1 1 4 2 とFPGAデータ 1 1 3 5 の内容は同一である。

【 0 0 4 5 】

FPGA 1 1 5 1 は、FPGAデータ 1 1 4 2 に基づいてFPGA 1 1 5 1 の内部に回路を構成する。FPGA 1 1 5 1 は、MPU 1 1 1 1 と制御デバイス 1 1 6 1 間の通信をさせるためのブリッジ機能を有する。FPGA 1 1 5 1 は、回路部の一例である。

【 0 0 4 6 】

第 1 の実施の形態では、更新前のFPGAデータ 1 1 4 2 に基づいて、旧回路 1 1 8 1 - 1 ~ 1 1 8 1 - n が構成される。以下、旧回路 1 1 8 1 - 1 ~ 1 1 8 1 - n は、それぞれ旧回路 1 ~ n と表記する。

【 0 0 4 7 】

旧回路 1 は、旧回路 2 およびMPU 1 1 1 1 と接続する。

旧回路 2 は、旧回路 1 および旧回路 3 と接続する。

【 0 0 4 8 】

旧回路 3 は、旧回路 2 および制御デバイス 1 1 6 1 - 1 ~ 1 1 6 1 - m と接続する。

制御デバイス 1 1 6 1 は、FPGA 1 1 5 1 を介してMPU 1 1 1 1 により制御される装置である。

【 0 0 4 9 】

通信部 1 1 7 1 は、Local Area Network (LAN) 等のネットワークと接続し、ネットワークを介して接続された外部装置とデータの送受信を行う。

【 0 0 5 0 】

図 4 は、第 1 の実施の形態に係るシステムのアップデート後の構成図である。

FPGA 1 1 5 1 をアップデートする場合、MPU 1 1 1 1 は、通信部 1 1 7 1 を介して新たなファームパッケージ 1 1 3 2 を受信し、MPU FMEM 1 1 3 1 に格納してファームパッケージ 1 1 3 2 を更新する。そして、MPU 1 1 1 1 は、FPGAデータ 1 1 3 5 を読み出し、FPGA FMEM 1 1 4 1 にFPGAデータ 1 1 4 2 を格納し、FPGA 1 1 5 1 をリコンフィギュレーションする。

【 0 0 5 1 】

図 4 は、FPGAデータ 1 1 3 5 の更新後、更新後のFPGAデータ 1 1 3 5 でFPGA 1 1 5 1 をリコンフィギュレーションしたときの構成図である。

10

20

30

40

50

【 0 0 5 2 】

アップデート後のファームパッケージ 1 1 3 2 は、MPUファーム 1 1 3 3、FPGAデータ 1 1 3 5、およびFPGA診断プログラム 1 1 3 7を含む。

【 0 0 5 3 】

FPGA診断プログラム 1 1 3 7は、FPGA 1 1 5 1の診断を行うプログラムである。

FPGA診断プログラム 1 1 3 7は、アップデートにより追加された全ての回路（新回路）と新回路の動作に必要な回路のみ診断を行う。

【 0 0 5 4 】

FPGA診断プログラム 1 1 3 7には、診断対象となる回路や診断処理等が予め設定されている。

10

【 0 0 5 5 】

FPGA 1 1 5 1には、更新後のFPGAデータ 1 1 4 2に基づいて、旧回路 1 1 8 1 - 1 ~ 1 1 8 1 - nおよび新回路 1 1 9 1 - 1、1 1 9 1 - 2が構成される。以下、旧回路 1 1 8 1 - 1 ~ 1 1 8 1 - nは、それぞれ旧回路 1 ~ n、新回路 1 1 9 1 - 1、1 1 9 1 - 2は、それぞれ新回路 1、2と表記する。

【 0 0 5 6 】

旧回路 1 ~ nは、更新前のFPGA 1 1 5 1においても、FPGA 1 1 5 1内に構成されていた回路である。

【 0 0 5 7 】

新回路 1、2は、更新後のFPGA 1 1 5 1において、更新前のFPGA 1 1 5 1と比較して新たに追加された回路である。

20

【 0 0 5 8 】

旧回路 1は、新回路 1およびMPU 1 1 1 1と接続する。

旧回路 2は、新回路 1および旧回路 3と接続する。

旧回路 3は、旧回路 2および制御デバイス 1 1 6 1 - 1 ~ 1 1 6 1 - mと接続する。

【 0 0 5 9 】

新回路 1は、旧回路 1、2、および新回路 2と接続する。新回路 1は、システム 1 1 0 1の通常動作時に動作する回路である。

【 0 0 6 0 】

新回路 2は、新回路 1と接続する。新回路 2は、特定の条件でのみ動作し、システム 1 1 0 1の通常動作時には動作しない。

30

【 0 0 6 1 】

また、旧回路 1 ~ 3は、新回路 1、2の動作に必要な回路である。尚、新回路の動作に必要な回路とは、新回路の動作時に動作する（使用される）回路である。新回路の動作に必要な回路は、例えば、新回路が動作時に使用するデータを生成して新回路に出力したり、他の回路から入力されたデータを新回路に中継したりする回路である。

【 0 0 6 2 】

旧回路 4 ~ nは、新回路 1、2の動作に必要な回路である。すなわち、新回路 1、2は、回路 4 ~ nが動作していなくても正常な動作が可能である。

【 0 0 6 3 】

図 5 は、第 1 の実施の形態に係る診断方法における診断範囲を示す図である。

第 1 の実施の形態において、FPGA診断プログラム 1 1 3 7は、アップデートにより追加された全ての回路（新回路）と新回路の動作に必要な回路のみ診断を行う。尚、新回路の動作に必要な回路とは、新回路の動作時に動作する（使用される）回路である。

40

【 0 0 6 4 】

また、FPGA診断プログラム 1 1 3 7は、追加された回路の動作に必要な回路の診断は行わない。

【 0 0 6 5 】

すなわち、図 4 のシステム 1 1 0 1において、FPGA診断プログラム 1 1 3 7は、新回路 1、2と旧回路 1 ~ 3のみ診断を行う。FPGA診断プログラム 1 1 3 7は、旧回路 4 ~ nの

50

診断は行わない。これにより、診断時間を短縮することができ、システム 1 1 0 1 の停止時間を短縮することができる。

【 0 0 6 6 】

図 6 は、第 1 の実施の形態に係る診断処理のフローチャートである。

FPGA 1 1 5 1 は、FPGA データ 1 1 4 2 に基づいて、リコンフィグレーションしており、図 3 に示すアップデート前の構成となっている。

【 0 0 6 7 】

また、MPU 1 1 1 1 は、MPU ファーム 1 1 3 3 を実行しているものとする。

ステップ S 1 5 0 1 において、MPU 1 1 1 1 は、システム 1 1 0 1 とネットワークを介して接続する外部装置から通信部 1 1 7 1 を介してファームパッケージ 1 1 3 2 を受信し、ファームパッケージ 1 1 3 2 を MPU FMEM 1 1 3 1 に書き込む。

【 0 0 6 8 】

ステップ S 1 5 0 2 において、MPU 1 1 1 1 は、FPGA データ 1 1 3 5 を読み出し、シリアルバス 1 2 0 1 経由でバスマスタとなり FPGA FMEM 1 1 4 1 に書き込む。上述のように、FPGA FMEM 1 1 4 1 に書き込まれた FPGA データは、FPGA データ 1 1 4 2 と表記する。

【 0 0 6 9 】

ステップ S 1 5 0 3 において、MPU 1 1 1 1 は、FPGA 1 1 5 1 にリコンフィグレーションを指示する。FPGA 1 1 5 1 は、指示を受信すると、リコンフィグレーションを行う。詳細には、FPGA 1 1 5 1 は、FPGA データ 1 1 4 2 を読み出し、FPGA データ 1 1 4 2 に基づいて、旧回路 1 ~ n および新回路 1、2 を構成する。また、FPGA 1 1 5 1 は、MPU 1 1 1 1 を介して MPU FMEM 1 1 3 1 から FPGA データ 1 1 3 5 を受信し、FPGA データ 1 1 3 5 に基づいて、旧回路 1 ~ n および新回路 1、2 を構成してもよい。その場合、ステップ S 1 5 0 2 の FPGA データ 1 1 3 5 を FPGA FMEM 1 1 4 1 に書き込む処理は無くてもよい。

【 0 0 7 0 】

ステップ S 1 5 0 4 において、MPU 1 1 1 1 は、FPGA 診断プログラム 1 1 3 7 を実行する。FPGA 診断プログラム 1 1 3 7 により MPU 1 1 1 1 は、新回路 1、2 および旧回路 1 ~ 3 を診断する。診断処理は、例えば、予め定められたコマンドやデータを診断対象の回路に入力し、該回路が正常に動作するか否かをチェックする。予め定められたコマンドやデータを診断対象の回路に入力したときに、診断対象の回路が異常な動作をした場合には、エラーが検出される。

【 0 0 7 1 】

ステップ S 1 5 0 5 において、診断が正常に終了した場合（すなわち、新回路 1、2、および旧回路 1 ~ 3 にエラーが検出されなかった場合）、処理は終了し、診断が正常に終了しなかった場合（すなわち、新回路 1、2、または旧回路 1 ~ 3 のいずれかにエラーが検出された場合）、制御はステップ S 1 5 0 6 に進む。

【 0 0 7 2 】

ステップ S 1 5 0 6 において、MPU 1 1 1 1 は、故障通知を行う。MPU 1 1 1 1 は、例えば、エラーが検出された旨をシステム 1 1 0 1 が有する表示部（不図示）に表示したり、システム 1 1 0 1 とネットワークを介して接続される外部装置にエラー通知を行う。

【 0 0 7 3 】

第 1 の実施の形態のシステムによれば、更新により新たに追加された全ての回路を診断することで、システム運用中に潜在的な故障によるエラーを検出することがなくなり、システムの信頼性が向上する。

【 0 0 7 4 】

また、第 1 の実施の形態のシステムによれば、診断範囲を限定して診断時間を短縮することで、システムの停止時間を短縮することができる。

【 0 0 7 5 】

（第 2 の実施の形態）

図 7 は、第 2 の実施の形態に係るシステムのアップデート前の構成図である。

【 0 0 7 6 】

10

20

30

40

50

システム 2 1 0 1 は、MPU 2 1 1 1、メモリ 2 1 2 1、MPU Flash Memory (FMEM) 2 1 3 1、FPGA FMEM 2 1 4 1、FPGA 2 1 5 1、制御デバイス 2 1 6 1 - i ($i = 1 \sim m$)、および通信部 2 1 7 1 を備える。

システム 2 1 0 1 は、例えば、システムボードやサーバ等のコンピュータである。

【 0 0 7 7 】

MPU FMEM 2 1 3 1 は、ファームパッケージ 2 1 3 2 を格納する。MPU FMEM 2 1 3 1 は、例えば、不揮発性のメモリである。

【 0 0 7 8 】

ファームパッケージ 2 1 3 2 は、MPUファーム 2 1 3 3 およびFPGAデータ (通常版) 2 1 3 5 を含む。

【 0 0 7 9 】

MPUファーム 2 1 3 3 は、ファームパッケージ 2 1 3 2 の更新やFPGA 2 1 5 1 のリコンフィギュレーションの指示等を行うプログラムである。

【 0 0 8 0 】

FPGAデータ 2 1 3 5 は、FPGA 2 1 5 1 内に構成される回路の情報である。FPGAデータ 2 1 3 5 は、FPGA 2 1 5 1 内に構成される回路の構造、回路の位置、および回路間の接続関係などの情報を含む。

【 0 0 8 1 】

MPU 2 1 1 1、メモリ 2 1 2 1、制御デバイス 2 1 6 1 - i 、および通信部 2 1 7 1 は、第 1 の実施の形態のMPU 1 1 1 1、メモリ 1 1 2 1、制御デバイス 1 1 6 1 - i 、および通信部 1 1 7 1 とそれぞれ同様の機能を有するので説明は省略する。

【 0 0 8 2 】

FPGA FMEM 2 1 4 1 は、FPGAデータ (通常版) 2 1 4 3 を格納する。FPGA FMEM 2 1 4 1 は、例えば、不揮発性のメモリである。

【 0 0 8 3 】

FPGAデータ 2 1 4 3 (通常版) は、FPGA 2 1 5 1 内に構成される回路の情報である。FPGAデータ 2 1 4 3 (通常版) は、MPU 2 1 1 1 がFPGAデータ (通常版) 2 1 3 5 をコピーすることにより生成される。よって、FPGAデータ (通常版) 2 1 4 3 とFPGAデータ (通常版) 2 1 3 5 の内容は同一である。

【 0 0 8 4 】

FPGA 2 1 5 1 は、FPGAデータ (通常版) 2 1 4 3 に基づいてFPGA 2 1 5 1 の内部に回路を構成する。FPGA 2 1 5 1 は、MPU 2 1 1 1 と制御デバイス 2 1 6 1 間の通信をさせるためのブリッジ機能を有する。FPGA 2 1 5 1 は、回路部の一例である。

【 0 0 8 5 】

第 2 の実施の形態では、更新前のFPGAデータ (通常版) 2 1 4 3 に基づいて、旧回路 2 1 8 1 - 1 ~ 2 1 8 1 - n が構成される。以下、旧回路 2 1 8 1 - 1 ~ 2 1 8 1 - n は、それぞれ旧回路 1 ~ n と表記する。

【 0 0 8 6 】

旧回路 2 1 8 1 - 1 ~ 2 1 8 1 - n は、第 1 の実施の形態の更新前の旧回路 1 1 8 1 - 1 ~ 1 1 8 1 - n とそれぞれ同様の機能および構成を有するので説明は省略する。

【 0 0 8 7 】

図 8 は、第 2 の実施の形態に係るシステムのアップデート後の診断時の構成図である。FPGA 2 1 5 1 をアップデートする場合、MPU 2 1 1 1 は、通信部 2 1 7 1 を介して新たなファームパッケージ 2 1 3 2 を受信し、MPU FMEM 2 1 3 1 に格納してファームパッケージ 2 1 3 2 を更新する。そして、MPU 2 1 1 1 は、FPGAデータ (診断版) 2 1 3 6 を読み出し、FPGA FMEM 2 1 4 1 にFPGAデータ (診断版) 2 1 4 2 を格納し、FPGA 2 1 5 1 をリコンフィギュレーションする。

【 0 0 8 8 】

図 8 は、ファームパッケージ 2 1 3 2 の更新後、更新後のFPGAデータ (診断版) 2 1 3 6 でFPGA 2 1 5 1 をリコンフィギュレーションしたときの構成図である。

10

20

30

40

50

【0089】

アップデート後のファームパッケージ2132は、MPUファーム2133、FPGAデータ(通常版)2135、FPGAデータ(診断版)2136、およびFPGA診断プログラム2137を含む。

【0090】

MPUファーム2133は、ファームパッケージ2132の更新やFPGA2151のリコンフィグレーションの指示等を行うプログラムである。

【0091】

FPGAデータ(通常版)2135は、FPGA2151内に構成される回路の情報である。FPGAデータ2135(通常版)は、FPGA2151内に構成される回路の構造、回路の位置、および回路間の接続関係などの情報を含む。

10

【0092】

FPGAデータ(診断版)2136は、FPGA2151内に構成される回路の情報である。FPGAデータ2136(診断版)は、FPGA2151内に構成される回路の構造、回路の位置、および回路間の接続関係などの情報を含む。

【0093】

FPGA診断プログラム2137は、FPGA2151の診断を行う専用Built-In Self Test(BIST)回路2193に診断の開始指示、診断完了の通知の受信やエラー検出の通知の受信などを行うプログラムである。

【0094】

20

FPGA FMEM2141は、FPGAデータ(診断版)2142を格納する。FPGA FMEM2141は、例えば、不揮発性のメモリである。

【0095】

FPGAデータ2142(診断版)は、FPGA2151内に構成される回路の情報である。FPGAデータ2142(診断版)は、MPU2111がFPGAデータ(診断版)2136をコピーすることにより生成される。よって、FPGAデータ(診断版)2142とFPGAデータ(診断版)2136の内容は同一である。

【0096】

FPGA2151は、FPGAデータ(診断版)2142に基づいてFPGA2151の内部に回路を構成する。

30

【0097】

第2の実施の形態では、更新後のFPGAデータ(診断版)2142に基づいて、旧回路2181-1、2181-2、2181-5~2181-n、新回路2191-1、専用擬似回路2192、および専用BIST回路2193が構成される。以下、旧回路2181-1、2181-2、2181-5~2181-nは、それぞれ旧回路1、2、5~n、新回路2191-1は、それぞれ新回路1と表記する。

【0098】

旧回路1は、新回路1およびMPU2111と接続する。

旧回路2は、新回路1および専用擬似回路2192と接続する。

【0099】

40

旧回路1、2、5~nは、更新前のFPGA2151においても、FPGA2151内に構成されていた回路である。

【0100】

新回路1は、更新後のFPGA2151において、図7の更新前のFPGA2151と比較して新たに追加された回路である。

【0101】

専用擬似回路2192は、旧回路2と接続する。

専用擬似回路2192は、アップデート前のFPGA2151において制御デバイス2161-1~2161-mとのインタフェースを持つ旧回路3が構成されていた領域に構成される。

50

【0102】

専用擬似回路2192は、旧回路3の機能と制御デバイス2161-1~2161-mと同等のインタフェースの機能とを有する。

【0103】

専用擬似回路2192は、擬似回路2193-1~2193-mを含む。以下、擬似回路2193-1~2193-mは、それぞれ擬似回路1~mと表記する。

【0104】

擬似回路1~mは、制御デバイス2161-1~2161-mと同等のインタフェース動作を行う。すなわち、擬似回路1~mは、制御デバイス2161-1~2161-mにアクセスした場合の制御デバイス2161-1~2161-mの応答と同等の動作を行う。

10

【0105】

例えば、新回路1の診断時に制御デバイス2161-1~2161-mにアクセスしようとする場合、専用擬似回路2192は、制御デバイス2161-1~2161-mにアクセスすることなく、擬似回路1~mにより制御デバイス2161-1~2161-mにアクセスした場合と同等の応答を行う。

【0106】

すなわち、擬似回路1~mは、旧回路3を介して制御デバイス2161-1~2161-mにアクセスしたときの制御デバイス2161-1~2161-mの応答と同等の動作を行う。

20

【0107】

よって、MPU2111、旧回路1、2、新回路1、および専用BIST回路2193からは、FPGA2151内に専用擬似回路2192の代わりに旧回路3が構成され、旧回路3が制御デバイス2161-1~2161-mと接続しているように見える。よって、図8のFPGA2151において、旧回路3が制御デバイス2161-1~2161-mと接続している場合と同等の診断を行うことができる。

【0108】

専用BIST回路2193は、FPGA2151の診断を行う回路である。ハードウェアで構成された専用BIST回路2193は、第1の実施の形態のMPU1111が診断プログラム1137を実行してFPGA1151の診断を行うよりも高速に診断を実行できる。

30

【0109】

専用BIST回路2193は、更新前のFPGA2151における旧回路4のあった領域に構成される。

【0110】

尚、専用BIST回路2193が構成される領域は、更新前の旧回路4のあった領域に限られず、新回路1および新回路の動作時に動作する(使用される)回路に影響のない領域であればどこでもよい。

【0111】

新回路1は、旧回路1および旧回路2と接続する。新回路1は、システム2101の通常動作時に動作する回路である。

40

【0112】

また、旧回路1~3は、新回路1の動作に必要な回路である。尚、新回路の動作に必要な回路とは、新回路の動作時に動作する(使用される)回路である。新回路の動作に必要な回路は、例えば、新回路が動作時に使用するデータを生成して新回路に出力したり、他の回路から入力されたデータを新回路に中継したりする回路である。

【0113】

旧回路5~nは、新回路1の動作に必要な回路ではない回路である。すなわち、新回路1は、回路5~nが動作していなくても正常な動作が可能である。

【0114】

図9は、第2の実施の形態に係る診断方法における診断範囲を示す図である。

50

第2の実施の形態において、専用BIST回路2193は、自身を除くアップデートにより追加された全ての回路（新回路）と新回路の動作に必要な回路のみ診断を行う。尚、新回路の動作に必要な回路とは、新回路の動作時に動作する（使用される）回路である。

【0115】

また、専用BIST回路2193は、追加された回路の動作に必要な回路の診断は行わない。

【0116】

すなわち、図8のシステム2101において、専用BIST回路2193は、新回路1、旧回路1、2、および専用擬似回路2192のみ診断を行う。専用BIST回路2193は、旧回路5～nの診断は行わない。これにより、診断時間を短縮することができ、システム2101の停止時間を短縮することができる。

10

【0117】

また、専用擬似回路2192を用いることで制御デバイス2161を動作させないため、診断時間を短縮することが出来る。

【0118】

図10は、第2の実施の形態に係る診断方法のフローチャートである。

FPGA2151は、FPGAデータ（通常版）2143に基づいて、リコンフィグレーションしており、図7に示すアップデート前の構成となっている。

【0119】

また、MPU2111は、MPUファーム2133を実行しているものとする。

20

ステップS2501において、MPU2111は、システム2101とネットワークを介して接続する外部装置から通信部2171を介してファームパッケージ2132を受信し、ファームパッケージ2132をMPU FMEM2131に書き込む。

【0120】

ステップS2502において、MPU2111は、FPGAデータ（診断版）2136を読み出し、シリアルバス2201経由でバスマスタとなりFPGA FMEM2141に書き込む。上述のように、FPGA FMEM2141に書き込まれたFPGAデータ（診断版）は、FPGAデータ2142と表記する。

【0121】

ステップS2503において、MPU2111は、FPGA2151にリコンフィグレーションを指示する。FPGA2151は、指示を受信すると、リコンフィグレーションを行う。詳細には、FPGA2151は、FPGAデータ（診断版）2142を読み出し、FPGAデータ（診断版）2142に基づいて、旧回路1、2、新回路1、専用擬似回路2192、および専用BIST回路2193を構成する。また、FPGA2151は、MPU2111を介してMPU FMEM2131からFPGAデータ（診断版）2136を受信し、FPGAデータ（診断版）2136に基づいて、旧回路1、2、新回路1、専用擬似回路2192、および専用BIST回路2193を構成してもよい。その場合、ステップS2502のFPGAデータ（診断版）2136をFPGA FMEM2141に書き込む処理は無くてもよい。

30

【0122】

ステップS2504において、MPU2111は、FPGA診断プログラム2137を実行する。FPGA診断プログラム2137を実行すると、MPU2111は、専用BIST回路2193に診断の開始を指示する。

40

【0123】

指示を受信した専用BIST回路2193は、新回路1、旧回路1、2、および専用擬似回路2192を診断する。診断処理は、例えば、予め定められたコマンドやデータを診断対象の回路に入力し、該回路が正常に動作するか否かをチェックする。

【0124】

ステップS2505において、診断が正常に終了した場合、専用BIST回路2193は、MPU2111に診断完了の通知を行う。診断が正常に終了しなかった場合（すなわち、新回路1、旧回路1、2、および専用擬似回路2192のいずれかにエラーが検出された場

50

合)、専用BIST回路2193は、MPU2111にエラー検出を通知する。

【0125】

ステップS2506において、MPU2111は、FPGAデータ(通常版)2135を読み出し、シリアルバス2201経由でバスマスタとなりFPGA FMEM2141に書き込む。FPGA FMEM2141に書き込まれたFPGAデータ(通常版)は、FPGAデータ(通常版)2143と表記する。

【0126】

ステップS2507において、MPU2111は、FPGA2151にリコンフィグレーションを指示する。FPGA2151は、指示を受信すると、リコンフィグレーションを行う。詳細には、FPGA2151は、FPGAデータ(通常版)2143を読み出し、FPGAデータ(通常版)2143に基づいて、回路を構成する。これにより、図11に示されるようなFPGA2151が構成される。また、FPGA2151は、MPU2111を介してMPU FMEM2131からFPGAデータ(通常版)2135を受信し、FPGAデータ(通常版)2135に基づいて、回路を構成してもよい。その場合、ステップS2506のFPGAデータ(通常版)2136をFPGA FMEM2141に書き込む処理は無くてもよい。

10

【0127】

図11は、第2の実施の形態に係るシステムのアップデート後の診断後の構成図である。

【0128】

図11のFPGA2151には、FPGAデータ(通常版)2143に基づいて、旧回路2181-1~2181-nおよび新回路2191-1が構成される。以下、旧回路2181-1~2181-nは、それぞれ旧回路1~n、新回路2191-1は、新回路1と表記する。

20

【0129】

旧回路1~nは、更新前のFPGA2151においても、FPGA2151内に構成されていた回路である。

【0130】

新回路1は、更新後のFPGA2151において、図7の更新前のFPGA2151と比較して新たに追加された回路である。また、新回路1は、図8の診断時の新回路1と同様の回路である。

30

【0131】

図10に戻り、ステップS2508において、MPU2111は、故障通知を行う。MPU2111は、例えば、エラーが検出された旨をシステム2101が有する表示部(不図示)に表示したり、システム2101とネットワークを介して接続される外部装置にエラー通知を行う。

【0132】

第2の実施の形態のシステムによれば、更新により新たに追加された全ての回路を診断することで、システム運用中に潜在的な故障によるエラーを検出することがなくなり、システムの信頼性が向上する。

【0133】

第2の実施の形態のシステムによれば、FPGA内に診断を行うBIST回路を構成し、BIST回路が診断を行うことで、診断時間を短縮することができる。

40

【0134】

制御デバイスを動作させるのに非常に長い時間がかかる場合、FPGAの診断に要する時間も増えてしまいシステムの保守停止時間が大幅に増えてしまうという問題がある。

【0135】

第2の実施の形態のシステムによれば、診断時に制御デバイスを動作させず、該制御デバイスのインタフェース動作と同等の動作を行う専用擬似回路を用いることで診断時間を短縮することが出来る。

【0136】

50

(第3の実施の形態)

図12は、第3の実施の形態に係るシステムのアップデート前の構成図である。

【0137】

システム3101は、MPU3111、メモリ3121、MPU Flash Memory (FMEM) 3131、FPGA FMEM 3141、FPGA 3151、制御デバイス3161 - i ($i = 1 \sim m$)、および通信部3171を備える。

【0138】

MPU3111、メモリ3121、制御デバイス3161 - i 、および通信部3171は、第1の実施の形態のMPU1111、メモリ1121、制御デバイス1161 - i 、および通信部1171とそれぞれ同様の機能および構成を有するので説明は省略する。

10

【0139】

MPU FMEM 3131は、ファームパッケージ3132を格納する。ファームパッケージ3132は、MPUファーム3133、およびFPGAデータ3134を含む。

【0140】

MPU FMEM 3131、MPUファーム3133、およびFPGAデータ3134は、第1の実施の形態のMPU FMEM 1131、MPUファーム1133、およびFPGAデータ1134とそれぞれ同様の機能および構成を有するので説明は省略する。

【0141】

FPGA FMEM 3141は、FPGAデータ3144を格納する。FPGA FMEM 3141は、例えば、不揮発性のメモリである。

20

【0142】

FPGAデータ3144は、FPGA 3151内に構成される回路の情報である。FPGAデータ3144は、MPU 2111がFPGAデータ3134をコピーすることにより生成される。よって、FPGAデータ3144とFPGAデータ3134の内容は同一である。

【0143】

FPGA 3151は、FPGAデータ3144に基づいてFPGA 3151の内部に回路を構成する。FPGA 3151は、MPU 3111と制御デバイス3161間の通信をさせるためのブリッジ機能を有する。FPGA 3151は、回路部の一例である。

【0144】

第3の実施の形態では、更新前のFPGAデータ3144に基づいて、旧回路3181 - 1 ~ 3181 - n が構成される。以下、旧回路3181 - 1 ~ 3181 - n は、それぞれ旧回路1 ~ n と表記する。

30

【0145】

旧回路3181 - 1 ~ 3181 - n は、第1の実施の形態の更新前の旧回路1181 - 1 ~ 1181 - n とそれぞれ同様の機能および構成を有するので説明は省略する。

【0146】

図13は、第3の実施の形態に係るシステムのアップデート後の最初の診断時の構成図である。

【0147】

FPGA 3151をアップデートする場合、MPU 3111は、通信部3171を介して新たなファームパッケージ3132を受信し、MPU FMEM 3131に格納してファームパッケージ3132を更新する。そして、MPU 3111は、FPGAデータ (area0版) 3135を読み出し、FPGA FMEM 3141にFPGAデータ (area0版) 3142を格納し、FPGA 3151をリコンフィグレーションする。

40

【0148】

アップデート後のファームパッケージ3132は、MPUファーム3133、FPGAデータ (area0版) 3135、FPGAデータ (area1版) 3136、およびFPGA診断プログラム3137を含む。

【0149】

MPUファーム3133は、ファームパッケージ3132の更新やFPGA 3151のリコン

50

フィグレーションの指示等を行うプログラムである。

【 0 1 5 0 】

FPGAデータ (area0版) 3 1 3 5 は、FPGA 3 1 5 1 内に構成される回路の情報である。FPGAデータ (area0版) 3 1 3 5 は、FPGA 3 1 5 1 内に構成される回路の構造、回路の位置、および回路間の接続関係などの情報を含む。

【 0 1 5 1 】

FPGAデータ (area1版) 3 1 3 6 は、FPGA 3 1 5 1 内に構成される回路の情報である。FPGAデータ (area1版) 3 1 3 6 は、FPGA 3 1 5 1 内に構成される回路の構造、回路の位置、および回路間の接続関係などの情報を含む。

【 0 1 5 2 】

FPGA診断プログラム 3 1 3 7 は、FPGA 3 1 5 1 の診断を行うプログラムである。

FPGA診断プログラム 3 1 3 7 は、アップデートにより追加された全ての回路 (新回路) と新回路の動作に必要な回路のみ診断を行う。

【 0 1 5 3 】

FPGA診断プログラム 3 1 3 7 には、診断対象となる回路や診断処理等が予め設定されている。

【 0 1 5 4 】

FPGA FMEM 3 1 4 1 は、FPGAデータ (area0版) 3 1 4 2 を格納する。

FPGAデータ (area0版) 3 1 4 2 は、FPGA 3 1 5 1 内に構成される回路の情報である。FPGAデータ (area0版) 3 1 4 2 は、MPU 3 1 1 1 がFPGAデータ (area0版) 3 1 3 5 をコピーすることにより生成される。よって、FPGAデータ (area0版) 3 1 4 2 とFPGAデータ (area0版) 3 1 3 5 の内容は同一である。

【 0 1 5 5 】

FPGA 3 1 5 1 には、FPGAデータ (area0版) 3 1 4 2 に基づいて、旧回路 3 1 8 1 - 1 ~ 3 1 8 1 - n および新回路 (area0版) 3 1 9 1 - 1 が構成される。以下、旧回路 3 1 8 1 - 1 ~ 3 1 8 1 - n は、それぞれ旧回路 1 ~ n、新回路 3 1 9 1 - 1 は、新回路 1 (area0版) と表記する。

【 0 1 5 6 】

旧回路 1 ~ n は、更新前のFPGA 3 1 5 1 においても、FPGA 3 1 5 1 内に構成されていた回路である。

【 0 1 5 7 】

新回路 1 (area0版) は、更新後のFPGA 3 1 5 1 において、更新前のFPGA 3 1 5 1 と比較して新たに追加された回路である。

【 0 1 5 8 】

旧回路 1 は、新回路 1 (area0版) およびMPU 3 1 1 1 と接続する。

旧回路 2 は、新回路 1 (area0版) および旧回路 3 と接続する。

旧回路 3 は、旧回路 2 および制御デバイス 3 1 6 1 - 1 ~ 3 1 6 1 - m と接続する。

【 0 1 5 9 】

新回路 1 (area0版) は、旧回路 1、2 と接続する。新回路 1 は、システム 3 1 0 1 の通常動作時に動作する回路である。

新回路 1 (area0版) は、FPGA 3 1 5 1 内の領域area0に構成される。

【 0 1 6 0 】

また、旧回路 1 ~ 3 は、新回路 1 (area0版) の動作に必要な回路である。尚、新回路の動作に必要な回路とは、新回路の動作時に動作する (使用される) 回路である。新回路の動作に必要な回路は、例えば、新回路が動作時に使用するデータを生成して新回路に出力したり、他の回路から入力されたデータを新回路に中継したりする回路である。

【 0 1 6 1 】

旧回路 4 ~ n は、新回路 1 (area0版) の動作に必要な回路ではない回路である。すなわち、新回路 1 (area0版) は、回路 4 ~ n が動作していなくても正常な動作が可能である。

【 0 1 6 2 】

10

20

30

40

50

FPGA診断プログラム 3 1 3 7 は、FPGA 3 1 5 1 内のarea0に構成された新回路 1 (area0版) にエラーが検出された場合、MPU 3 1 1 1 は、FPGAデータ (area1版) 3 1 3 6 を読み出し、FPGA FMEM 3 1 4 1 にFPGAデータ (area1版) 3 1 4 3 を格納し、FPGA 3 1 5 1 をリコンフィギュレーションする。そして、FPGA診断プログラム 3 1 3 7 は、FPGA 3 1 5 1 を再診断する。

【 0 1 6 3 】

図 1 4 は、第 3 の実施の形態に係るシステムのアップデート後の再診断時の構成図である。

【 0 1 6 4 】

FPGA FMEM 3 1 4 1 は、FPGAデータ (area1版) 3 1 4 3 を格納する。

FPGAデータ (area1版) 3 1 4 3 は、FPGA 3 1 5 1 内に構成される回路の情報である。FPGAデータ (area1版) 3 1 4 3 は、MPU 3 1 1 1 がFPGAデータ (area1版) 3 1 3 6 をコピーすることにより生成される。よって、FPGAデータ (area1版) 3 1 4 3 とFPGAデータ (area1版) 3 1 3 6 の内容は同一である。

【 0 1 6 5 】

FPGAデータ (area1版) 3 1 3 6 は、新回路 (area0版) 3 1 9 1 - 1 と同様の機能を有する新回路 (area1版) 3 1 9 2 - 1 を新回路 (area0版) 3 1 9 1 - 1 が構成される領域とは異なる領域に構成する情報を含む。

【 0 1 6 6 】

FPGA 3 1 5 1 には、FPGAデータ (area1版) 3 1 4 3 に基づいて、旧回路 3 1 8 1 - 1 ~ 3 1 8 1 - n および新回路 (area1版) 3 1 9 2 - 1 が構成される。以下、旧回路 3 1 8 1 - 1 ~ 3 1 8 1 - n は、それぞれ旧回路 1 ~ n、新回路 3 1 9 1 - 2 は、新回路 1 (area1版) と表記する。

【 0 1 6 7 】

旧回路 1 ~ n は、図 1 3 の最初の診断時のFPGA 3 1 5 1 においても、FPGA 3 1 5 1 内に構成されていた回路である。

【 0 1 6 8 】

新回路 1 (area1版) は、更新後のFPGA 3 1 5 1 において、図 1 2 の更新前のFPGA 3 1 5 1 と比較して新たに追加された回路である。

【 0 1 6 9 】

旧回路 1 は、新回路 1 (area1版) およびMPU 3 1 1 1 と接続する。

旧回路 2 は、新回路 1 (area1版) および旧回路 3 と接続する。

旧回路 3 は、旧回路 2 および制御デバイス 3 1 6 1 - 1 ~ 3 1 6 1 - m と接続する。

【 0 1 7 0 】

新回路 1 (area1版) は、旧回路 1、2 と接続する。新回路 1 は、システム 3 1 0 1 の通常動作時に動作する回路である。

【 0 1 7 1 】

新回路 1 (area1版) は、FPGA 3 1 5 1 内の領域area1に構成される。領域area1は、領域area0とは異なる領域である。

【 0 1 7 2 】

新回路 1 (area1版) の機能は、新回路 1 (area0版) と同様である。

また、旧回路 1 ~ 3 は、新回路 1 (area1版) の動作に必要な回路である。尚、新回路の動作に必要な回路とは、新回路の動作時に動作する (使用される) 回路である。新回路の動作に必要な回路は、例えば、新回路が動作時に使用するデータを生成して新回路に出力したり、他の回路から入力されたデータを新回路に中継したりする回路である。

【 0 1 7 3 】

旧回路 4 ~ n は、新回路 1 (area1版) の動作に必要な回路ではない回路である。すなわち、新回路 1 (area1版) は、回路 4 ~ n が動作していなくても正常な動作が可能である。

【 0 1 7 4 】

図 1 5 は、第 3 の実施の形態に係る診断方法のフローチャートである。

10

20

30

40

50

FPGA 3 1 5 1 は、FPGAデータ 3 1 4 2 に基づいて、リコンフィグレーションしており、
図 1 2 に示すアップデート前の構成となっている。

【 0 1 7 5 】

また、MPU 3 1 1 1 は、MPUファーム 3 1 3 3 を実行しているものとする。

ステップ S 3 5 0 1 において、MPU 3 1 1 1 は、システム 3 1 0 1 とネットワークを介して接続する外部装置から通信部 3 1 7 1 を介してファームパッケージ 3 1 3 2 を受信し、ファームパッケージ 3 1 3 2 を MPU FMEM 3 1 3 1 に書き込む。

【 0 1 7 6 】

ステップ S 3 5 0 2 において、MPU 3 1 1 1 は、FPGAデータ (area0版) 3 1 3 5 を読み出し、シリアルバス 3 2 0 1 経由でバスマスタとなり FPGA FMEM 3 1 4 1 に書き込む。上述のように、FPGA FMEM 3 1 4 1 に書き込まれた FPGAデータ (area0版) は、FPGAデータ 3 1 4 2 と表記する。

10

【 0 1 7 7 】

ステップ S 3 5 0 3 において、MPU 3 1 1 1 は、FPGA 3 1 5 1 にリコンフィグレーションを指示する。FPGA 3 1 5 1 は、指示を受信すると、リコンフィグレーションを行う。詳細には、FPGA 3 1 5 1 は、FPGAデータ (area0版) 3 1 4 2 を読み出し、FPGAデータ (area0版) 3 1 4 2 に基づいて、旧回路 1 ~ n および新回路 1 (area0版) を構成する。上述のように、新回路 1 (area0版) は、FPGA 3 1 5 1 内の領域 area0 に構成される。また、FPGA 3 1 5 1 は、MPU 3 1 1 1 を介して MPU FMEM 3 1 3 1 から FPGAデータ (area0版) 3 1 3 5 を受信し、FPGAデータ (area0版) 3 1 3 5 に基づいて、旧回路 1 ~ n および新回路 1 (area0版) を構成してもよい。その場合、ステップ S 3 5 0 2 の FPGAデータ (area0版) 3 1 3 5 を FPGA FMEM 3 1 4 1 に書き込む処理は無くてもよい。

20

【 0 1 7 8 】

ステップ S 3 5 0 4 において、MPU 3 1 1 1 は、FPGA診断プログラム 3 1 3 7 を実行する。FPGA診断プログラム 3 1 3 7 により MPU 3 1 1 1 は、新回路 1 (area0版) および旧回路 1 ~ 3 を診断する。診断処理は、例えば、予め定められたコマンドやデータを診断対象の回路に入力し、該回路が正常に動作するか否かをチェックする。

【 0 1 7 9 】

ステップ S 3 5 0 5 において、診断が正常に終了した場合、処理は終了し、診断が正常に終了しなかった場合 (すなわち、新回路 1 (area0版) または旧回路 1 ~ 3 のいずれかにエラーが検出された場合)、制御は、ステップ S 3 5 0 6 に進む。

30

【 0 1 8 0 】

ステップ S 3 5 0 6 において、MPU 3 1 1 1 は、FPGAデータ (area1版) 3 1 3 6 を読み出し、シリアルバス 3 2 0 1 経由でバスマスタとなり FPGA FMEM 3 1 4 1 に書き込む。上述のように、FPGA FMEM 3 1 4 1 に書き込まれた FPGAデータ (area1版) は、FPGAデータ 3 1 4 3 と表記する。

【 0 1 8 1 】

ステップ S 3 5 0 7 において、MPU 3 1 1 1 は、FPGA 3 1 5 1 にリコンフィグレーションを指示する。FPGA 3 1 5 1 は、指示を受信すると、リコンフィグレーションを行う。詳細には、FPGA 3 1 5 1 は、FPGAデータ (area1版) 3 1 4 3 を読み出し、FPGAデータ (area1版) 3 1 4 3 に基づいて、旧回路 1 ~ n および新回路 1 (area1版) を構成する。上述のように、新回路 1 (area1版) は、FPGA 3 1 5 1 の領域 area1 に構成される。また、FPGA 3 1 5 1 は、MPU 3 1 1 1 を介して MPU FMEM 3 1 3 1 から FPGAデータ (area1版) 3 1 3 6 を受信し、FPGAデータ (area0版) 3 1 3 6 に基づいて、旧回路 1 ~ n および新回路 1 (area1版) を構成してもよい。その場合、ステップ S 3 5 0 6 の FPGAデータ (area1版) 3 1 3 6 を FPGA FMEM 3 1 4 1 に書き込む処理は無くてもよい。

40

【 0 1 8 2 】

ステップ S 3 5 0 8 において、MPU 3 1 1 1 は、FPGA診断プログラム 3 1 3 7 を再度実行する。FPGA診断プログラム 3 1 3 7 により MPU 3 1 1 1 は、新回路 1 (area1版) および旧回路 1 ~ 3 を診断する。

50

【0183】

ステップS3509において、診断が正常に終了した場合、処理は終了し、診断が正常に終了しなかった場合（すなわち、新回路1（area1版）または旧回路1～3のいずれかにエラーが検出された場合）、制御はステップS3510に進む。

【0184】

ステップS3510において、MPU3111は、故障通知を行う。MPU3111は、例えば、エラーが検出された旨をシステム3101が有する表示部（不図示）に表示したり、システム3101とネットワークを介して接続される外部装置にエラー通知を行う。

【0185】

第3の実施の形態のシステムによれば、更新により新たに追加された全ての回路を診断することで、システム運用中に潜在的な故障によるエラーを検出することがなくなり、システムの信頼性が向上する。

10

【0186】

FPGAの製造過程で潜在的な故障がある一部分に集中的に発生している場合、多数のシステムでアップデートすると多数のシステムでFPGAの故障を検出してしまい、保守部品が不足する恐れがある。

【0187】

第3の実施の形態のシステムによれば、診断により故障が検出された場合、他の領域に再度新しい回路を構成することで、故障を回避し、FPGAの交換をせずに済ませることが出来る。

20

【0188】

第3の実施の形態のシステムによれば、FPGAの回路使用率を増やすことなく、潜在的な故障を回避することで、保守部品が不足するリスクおよび保守作業を低減することができる。

【0189】

図16は、情報処理装置（コンピュータ）の構成図である。

実施の形態のシステム1101、2101、3101は、例えば、図16に示すような情報処理装置1によって実現される。

【0190】

情報処理装置1は、Central Processing Unit（CPU）2、メモリ3、入力部4、出力部5、記憶部6、記録媒体駆動部7、およびネットワーク接続部8を備え、それらはバス9により互いに接続されている。

30

【0191】

CPU2は、情報処理装置1全体を制御する中央処理装置である。CPU2は、MPU1111、2111、3111に対応する。

【0192】

メモリ3は、プログラム実行の際に、記憶部6（あるいは可搬記録媒体10）に記憶されているプログラムあるいはデータを一時的に格納するRead Only Memory（ROM）やRandom Access Memory（RAM）等のメモリである。CPU2は、メモリ3を利用してプログラムを実行することにより、上述した各種処理を実行する。

40

【0193】

この場合、可搬記録媒体10等から読み出されたプログラムコード自体が実施の形態の機能を実現する。

【0194】

入力部4は、例えば、キーボード、マウス、タッチパネル等である。

出力部5は、例えば、ディスプレイ、プリンタ等である。

【0195】

記憶部6は、例えば、磁気ディスク装置、光ディスク装置、テープ装置、不揮発性メモリ等である。情報処理装置1は、記憶部6に、上述のプログラムとデータを保存しておき、必要に応じて、それらをメモリ3に読み出して使用する。

50

【 0 1 9 6 】

記憶部 6 は、MPU FMEM 1 1 3 1、 2 1 3 1、 3 1 3 1 および FPGA FMEM 1 1 4 1、 2 1 4 1、 3 1 4 1 に対応する。

【 0 1 9 7 】

記録媒体駆動部 7 は、可搬記録媒体 1 0 を駆動し、その記録内容にアクセスする。可搬記録媒体としては、メモリカード、フレキシブルディスク、Compact Disk Read Only Memory(CD-ROM)、光ディスク、光磁気ディスク等、任意のコンピュータ読み取り可能な記録媒体が用いられる。ユーザは、この可搬記録媒体 1 0 に上述のプログラムとデータを格納しておき、必要に応じて、それらをメモリ 3 に読み出して使用する。

【 0 1 9 8 】

ネットワーク接続部 8 は、LANやWAN等の任意の通信ネットワークに接続され、通信に伴うデータ変換を行う。ネットワーク接続部 8 は、通信部 1 1 7 1、 2 1 7 2、 3 1 7 1 に対応する。

【 0 1 9 9 】

FPGA 1 1 は、FPGAデータに基づいて内部に回路を構成する。FPGA 1 1 は、FPGA 1 1 5 1、 2 1 5 1、 3 1 5 1 に対応する。

【 0 2 0 0 】

以上の実施の形態に関して、さらに以下の付記を開示する。

(付記 1)

第 1 の回路構成情報を格納する記憶部と、

前記第 1 の回路構成情報に基づいて第 1 の複数の回路を構成するとともに、第 2 の回路構成情報に基づいて第 2 の複数の回路を構成する回路部と、

前記第 1 の回路構成情報を前記第 2 の回路構成情報に更新し、前記第 2 の複数の回路のうち、前記第 2 の回路構成情報により新たに追加された全ての回路を診断する処理部と、を有することを特徴とする診断装置。

(付記 2)

前記処理部は、前記新たに追加された全ての回路および該新たに追加された回路の動作に必要な回路のみ診断することを特徴とする付記 1 記載の診断装置。

(付記 3)

前記第 2 の回路構成情報は、前記第 2 の回路構成情報により新たに追加された全ての回路を診断する診断回路を構成する情報を含み、

前記処理部は、前記診断回路に診断の開始を指示し、

前記診断回路は、前記指示を受信すると、前記第 2 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする付記 1 記載の診断装置。

(付記 4)

前記処理部は、前記診断回路から診断完了の通知を受信した場合、前記第 2 の回路構成情報を第 3 の回路構成情報に更新し、

前記回路部は、前記第 3 の回路構成情報に基づいて、第 3 の複数の回路を構成することを特徴とする付記 3 記載の診断装置。

(付記 5)

前記処理部は、診断処理において、エラーが検出された場合、前記第 2 の回路構成情報を前記第 2 の回路構成情報により新たに追加された第 1 の回路と同じ機能を有する第 2 の回路を前記第 1 の回路と異なる位置に構成する第 3 の回路構成情報に更新し、

前記回路部は、前記第 3 の回路構成情報に基づいて、第 3 の複数の回路を構成し、

前記処理部は、前記第 3 の複数の回路のうち、前記第 3 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする付記 1 記載の診断装置。

(付記 6)

第 1 の回路構成情報を格納する記憶部を有する診断装置の制御方法において、

前記診断装置が有する回路部が、前記第 1 の回路構成情報に基づいて第 1 の複数の回路を構成するとともに、第 2 の回路構成情報に基づいて第 2 の複数の回路を構成し、

10

20

30

40

50

前記診断装置が有する処理部が、前記第 1 の回路構成情報を前記第 2 の回路構成情報に更新し、前記第 2 の複数の回路のうち、前記第 2 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする診断装置の制御方法。

(付記 7)

前記診断する処理は、前記新たに追加された全ての回路および該新たに追加された回路の動作に必要な回路のみ診断することを特徴とする付記 6 記載の診断方法。

(付記 8)

前記第 2 の回路構成情報は、前記第 2 の回路構成情報により新たに追加された全ての回路を診断する診断回路を構成する情報を含み、

前記診断する処理は、前記診断回路に診断の開始を指示し、前記診断回路により、前記第 2 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする付記 6 記載の診断方法。

10

(付記 9)

前記診断する処理は、前記診断回路から診断完了の通知を受信した場合、前記第 2 の回路構成情報を第 3 の回路構成情報に更新し、

前記第 3 の回路構成情報に基づいて、前記回路部に第 3 の複数の回路を構成することを特徴とする付記 8 記載の診断方法。

(付記 10)

前記診断する処理は、エラーが検出された場合、

前記第 2 の回路構成情報を前記第 2 の回路構成情報により新たに追加された第 1 の回路と同じ機能を有する第 2 の回路を前記第 1 の回路と異なる位置に構成する第 3 の回路構成情報に更新し、

20

前記第 3 の回路構成情報に基づいて、前記回路部に第 3 の複数の回路を構成し、

前記第 3 の複数の回路のうち、前記第 3 の回路構成情報により新たに追加された全ての回路を診断することを特徴とする付記 6 記載の診断方法。

(付記 11)

第 1 の回路構成情報を格納する記憶部を有する診断装置の制御プログラムにおいて、

前記診断装置が有する回路部に、前記第 1 の回路構成情報に基づいて第 1 の複数の回路を構成するとともに、第 2 の回路構成情報に基づいて第 2 の複数の回路を構成させ、

前記診断装置が有する処理部に、前記第 1 の回路構成情報を前記第 2 の回路構成情報に更新し、前記第 2 の複数の回路のうち、前記第 2 の回路構成情報により新たに追加された全ての回路を診断させることを特徴とする診断装置の制御プログラム。

30

(付記 12)

前記診断する処理は、前記新たに追加された全ての回路および該新たに追加された回路の動作に必要な回路のみ診断することを特徴とする付記 11 記載の診断プログラム。

(付記 13)

前記第 2 の回路構成情報は、前記第 2 の回路構成情報により新たに追加された全ての回路を診断する診断回路を構成する情報を含み、

前記診断する処理は、前記診断回路に診断の開始を指示することを特徴とする付記 11 記載の診断プログラム。

40

(付記 14)

前記診断する処理は、前記診断回路から診断完了の通知を受信した場合、前記第 2 の回路構成情報を第 3 の回路構成情報に更新し、

前記第 3 の回路構成情報に基づいて、前記回路部に第 3 の複数の回路を構成することを特徴とする付記 13 記載の診断プログラム。

(付記 15)

前記診断する処理は、エラーが検出された場合、

前記第 2 の回路構成情報を前記第 2 の回路構成情報により新たに追加された第 1 の回路と同じ機能を有する第 2 の回路を前記第 1 の回路と異なる位置に構成する第 3 の回路構成情報に更新し、

50

前記第3の回路構成情報に基づいて、前記回路部に第3の複数の回路を構成し、
 前記第3の複数の回路のうち、前記第3の回路構成情報により新たに追加された全ての回路を診断することを特徴とする付記11記載の診断プログラム。

【符号の説明】

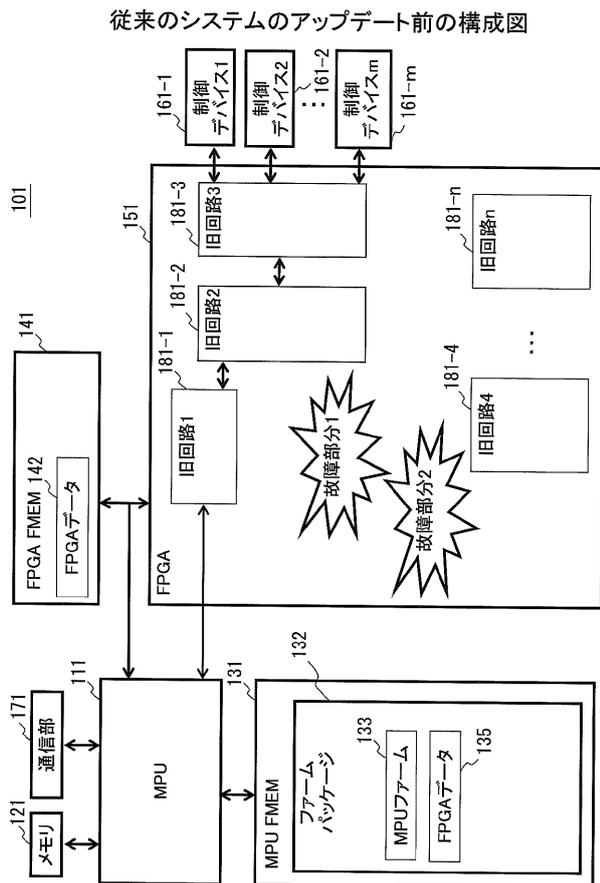
【0201】

- 101 システム
- 111 MPU
- 121 メモリ
- 131 MPU FMEM
- 141 FPGA FMEM
- 151 FPGA
- 161 制御デバイス
- 171 通信部
- 1101、2101、3101 システム
- 1111、2111、3111 MPU
- 1121、2121、3121 メモリ
- 1131、2131、3131 MPU FMEM
- 1141、2141、3141 FPGA FMEM
- 1151、2151、3151 FPGA
- 1161、2161、3161 制御デバイス
- 1171、2171、3171 通信部
- 1181、2181、3181 旧回路
- 1191、2191、3191 新回路
- 1201、2201、3201 シリアルバス

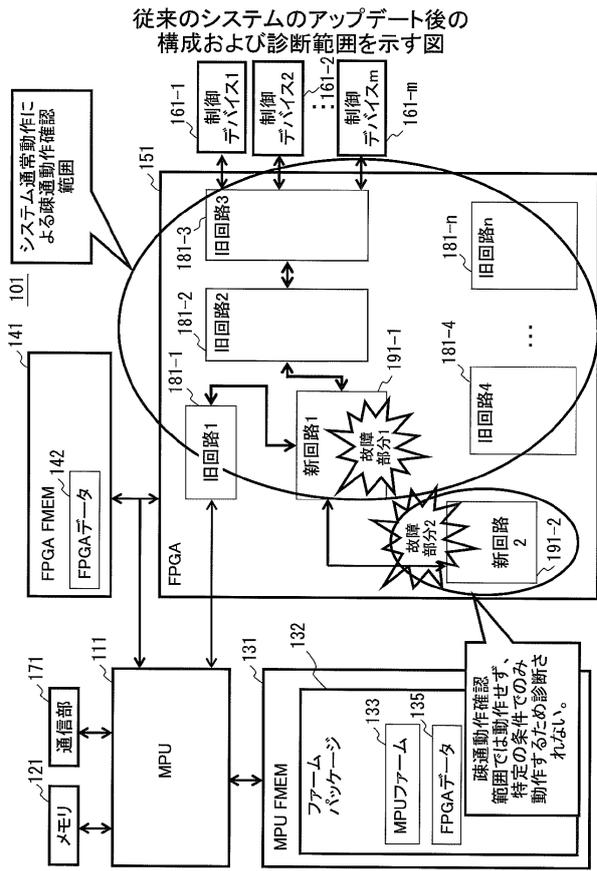
10

20

【図1】

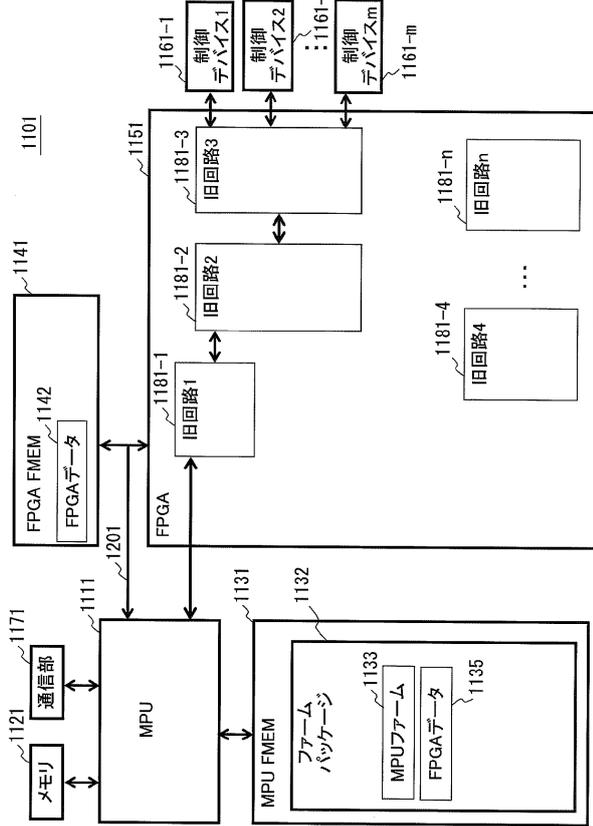


【図2】



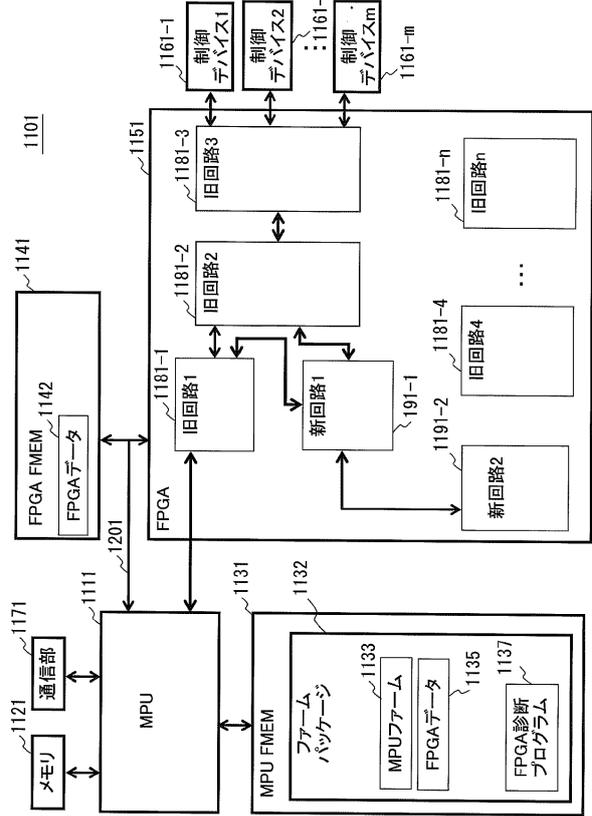
【 図 3 】

第1の実施の形態に係るシステムのアップデート前の構成図



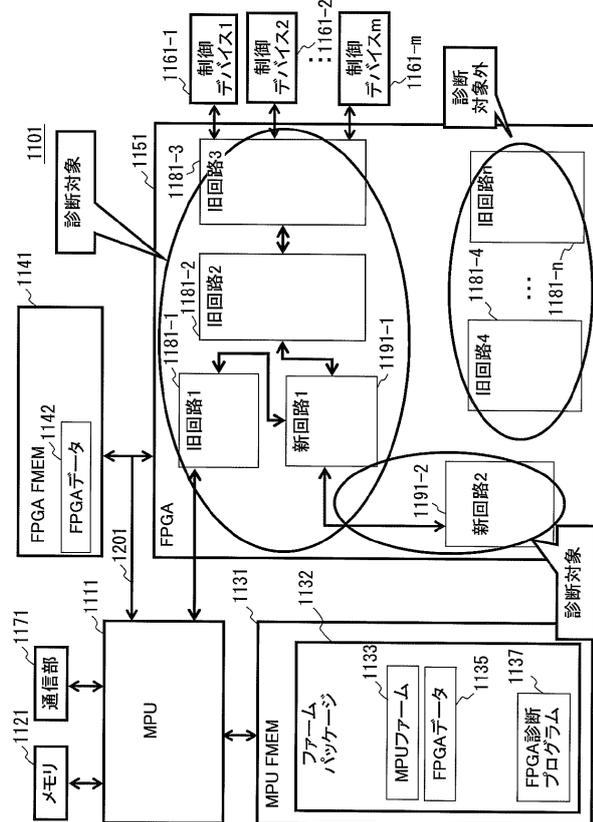
【 図 4 】

第1の実施の形態に係るシステムのアップデート後の構成図



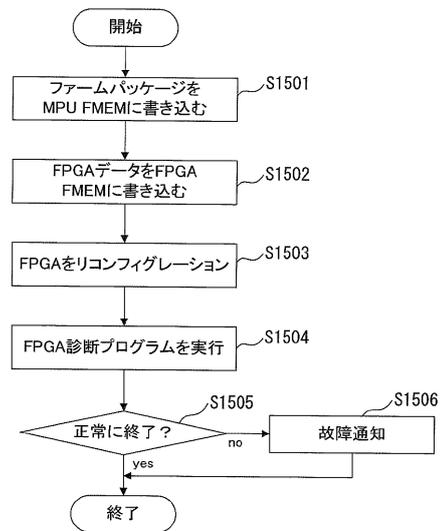
【 図 5 】

第1の実施の形態に係る診断方法における診断範囲を示す図



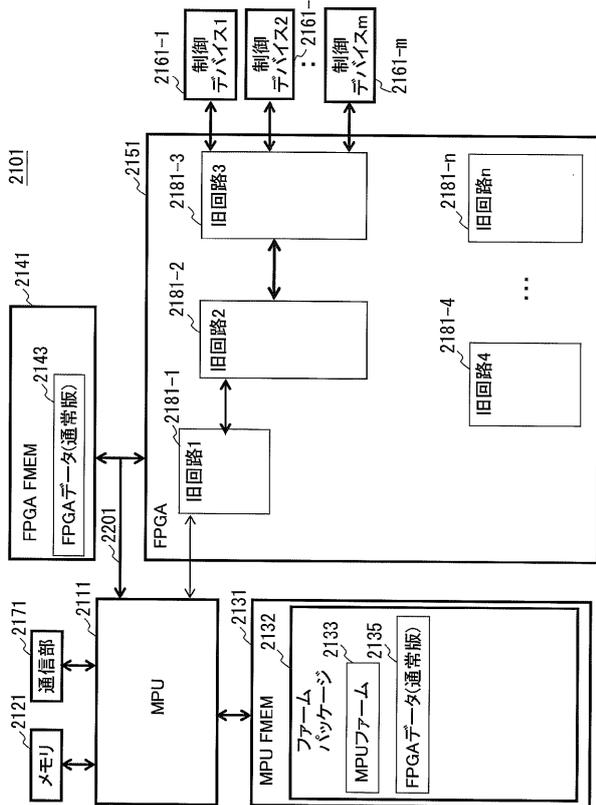
【 図 6 】

第1の実施の形態に係る診断方法のフローチャート



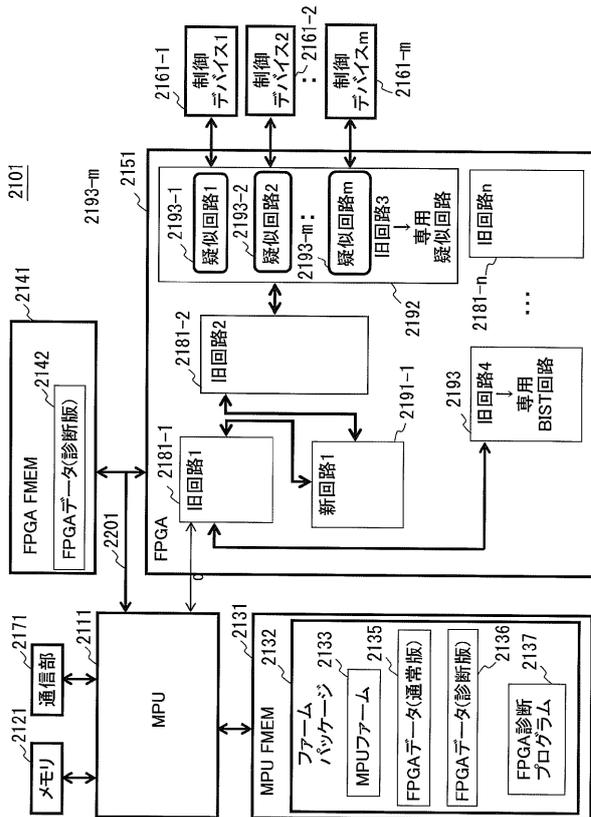
【 図 7 】

第2の実施の形態に係るシステムのアップデート前の構成図



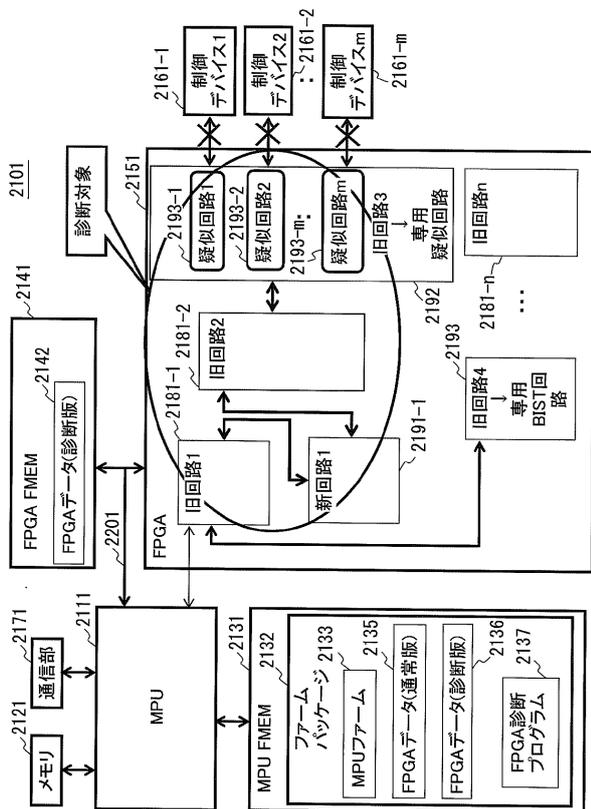
【 図 8 】

第2の実施の形態に係るシステムのアップデート後の診断時の構成図



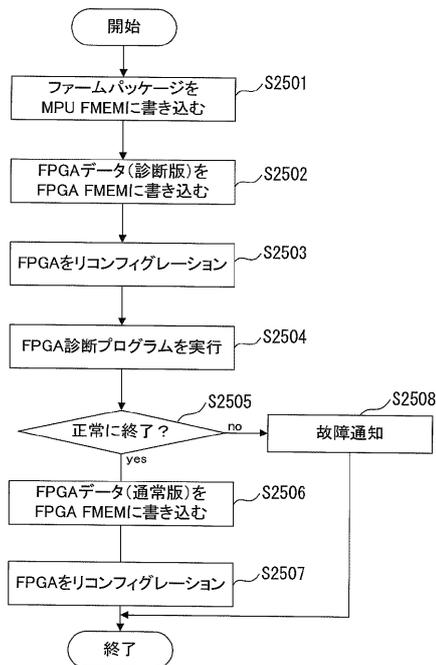
【 図 9 】

第2の実施の形態に係る診断方法における診断範囲を示す図



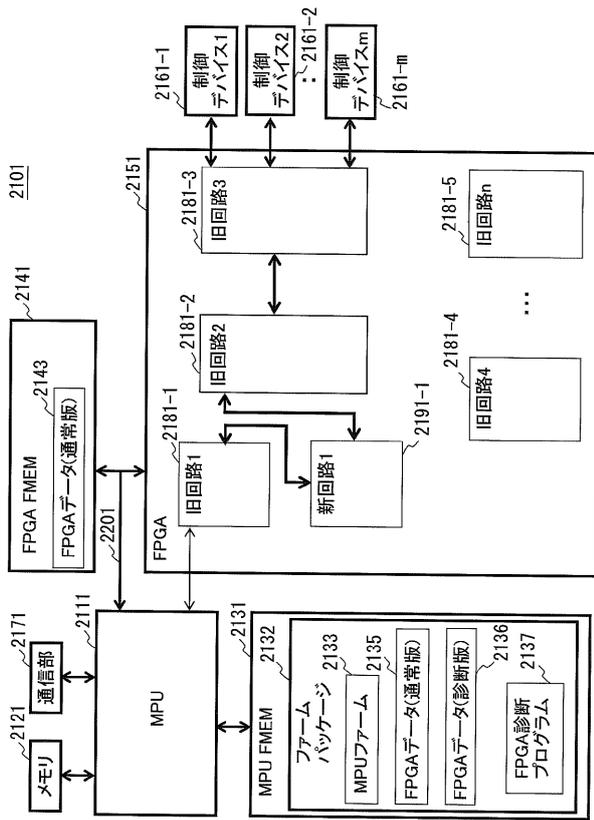
【 図 10 】

第2の実施の形態に係る診断方法のフローチャート



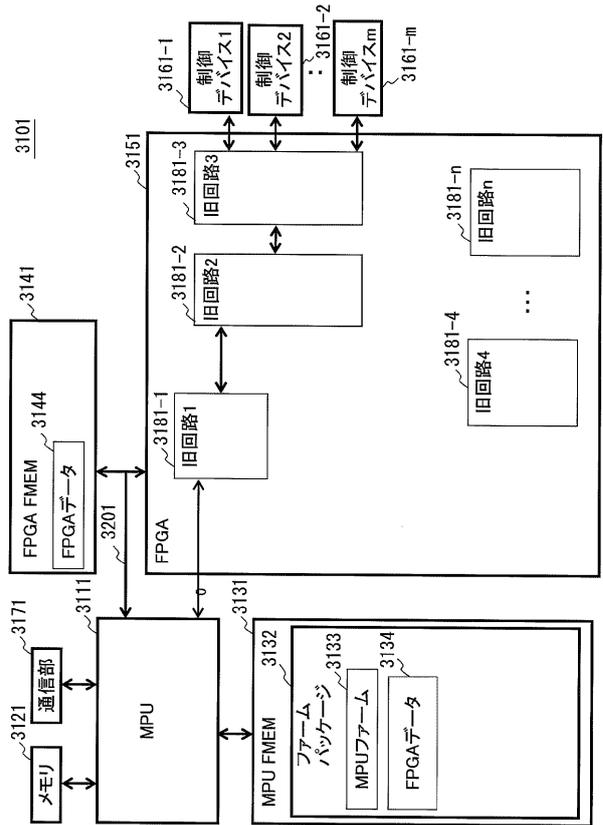
【 図 1 1 】

第2の実施の形態に係るシステムのアップデート後の診断後の構成図



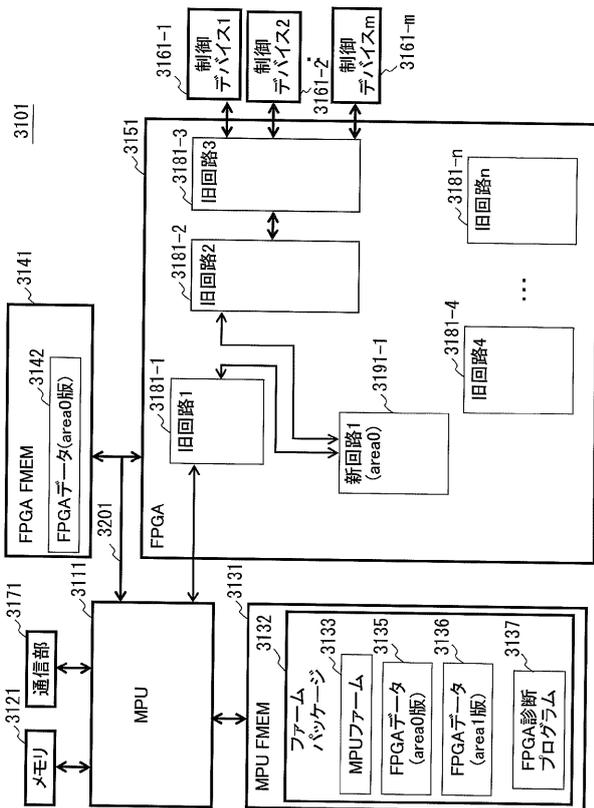
【 図 1 2 】

第3の実施の形態に係るシステムのアップデート前の構成図



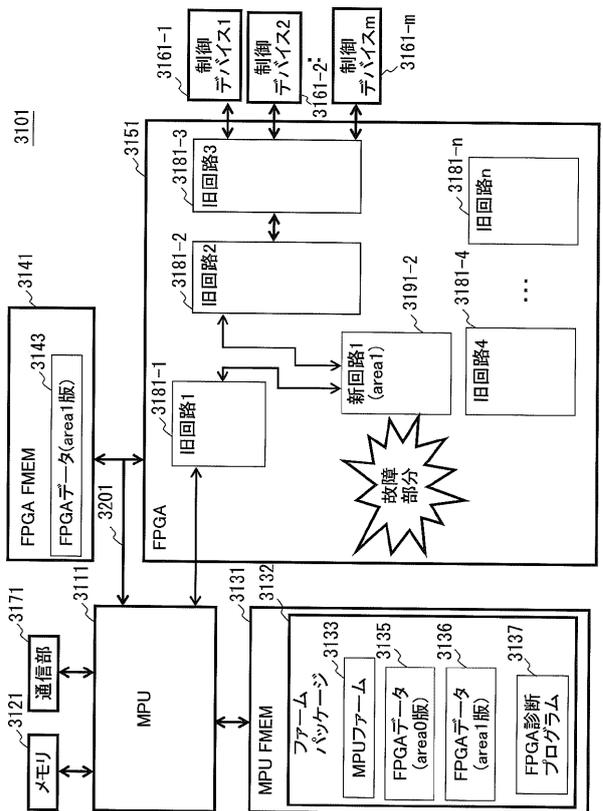
【 図 1 3 】

第3の実施の形態に係るシステムのアップデート後の最初の診断時の構成図



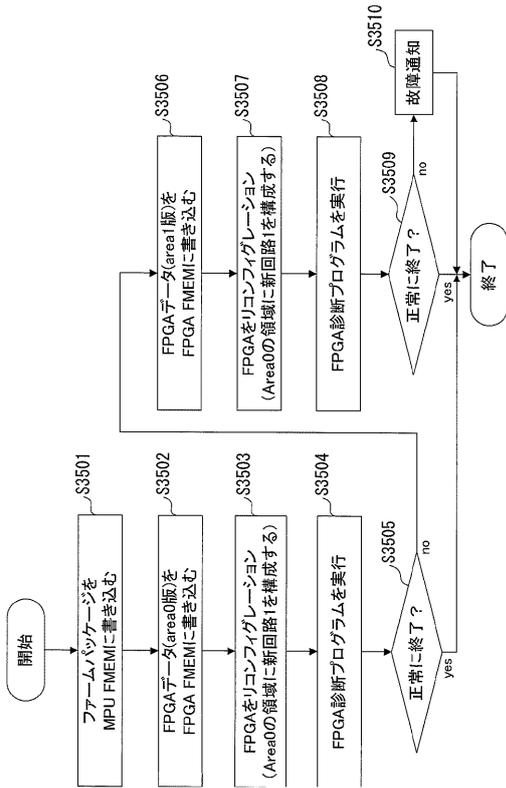
【 図 1 4 】

第3の実施の形態に係るシステムのアップデート後の再診断時の構成図



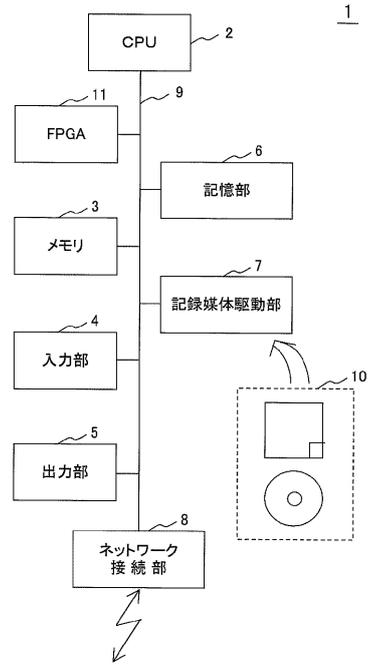
【 図 1 5 】

第3の実施の形態に係る診断方法のフローチャート



【 図 1 6 】

情報処理装置(コンピュータ)の構成図



フロントページの続き

Fターム(参考) 5F064 AA08 BB09 BB12 BB15 BB31 FF02 FF52
5J042 BA11