



(21)申請案號：102126104 (22)申請日：中華民國 102 (2013) 年 07 月 22 日

(51)Int. Cl. : *H01L29/78 (2006.01)* *H01L21/318 (2006.01)*

(30)優先權：2012/07/27 日本 2012-167614

2012/07/27 日本 2012-167615

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；田中哲弘 TANAKA, TETSUHIRO (JP)；
家田義紀 IEDA, YOSHINORI (JP)；宮本敏行 MIYAMOTO, TOSHIYUKI (JP)；野
村昌史 NOMURA, MASAFUMI (JP)；羽持貴士 HAMOCHI, TAKASHI (JP)；岡崎
健一 OKAZAKI, KENICHI (JP)；一條充弘 ICHJO, MITSUHIRO (JP)；遠藤俊弥
ENDO, TOSHIYA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201143029A US 2011/0089417A1

US 2011/0168993A1 US 2012/0153442A1

審查人員：侯鈺玲

申請專利範圍項數：10 項 圖式數：26 共 127 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

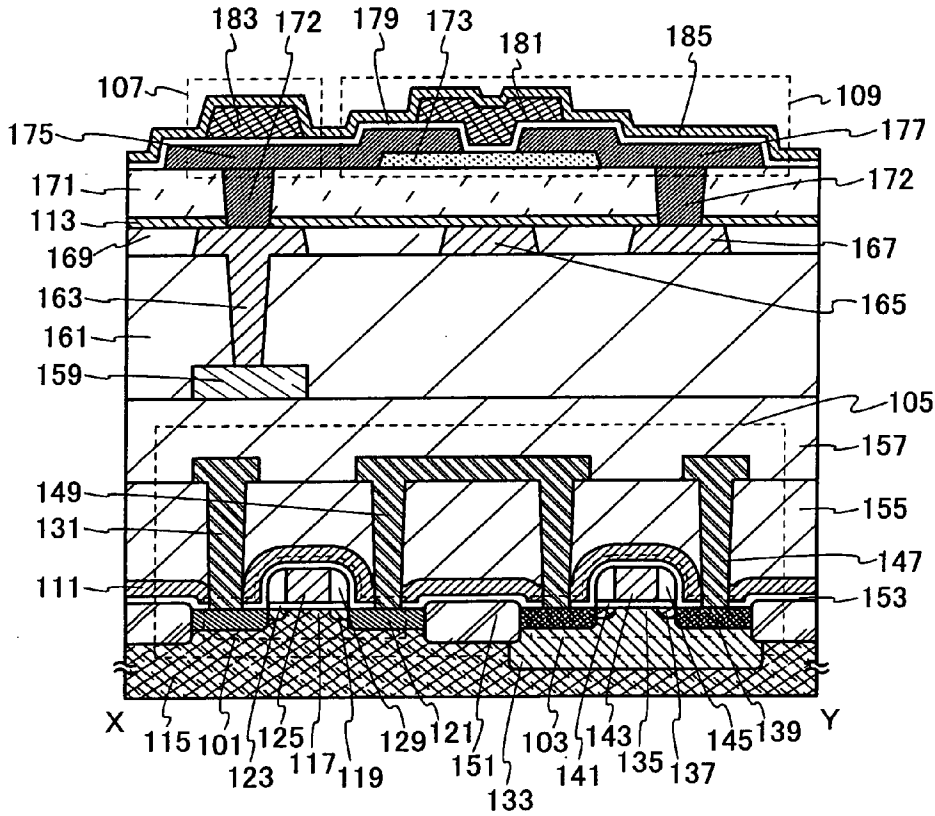
(57)摘要

本發明的一個方式提供一種在氧化物半導體的電晶體中能夠抑制氫擴散到氧化物半導體膜中的絕緣膜。另外，提供一種半導體裝置，該半導體裝置包括使用矽半導體的電晶體及使用氧化物半導體的電晶體並具有良好的電特性。在使用矽半導體的電晶體與使用氧化物半導體的電晶體之間設置具有彼此不同功能的兩個氮化絕緣膜。明確而言，在使用矽半導體的電晶體上設置含有氫的第一氮化絕緣膜，並且在該第一氮化絕緣膜與使用氧化物半導體的電晶體之間設置具有比第一氮化絕緣膜低的含氫量且用作氫障壁膜第二氮化絕緣膜。

A nitride insulating film which prevents diffusion of hydrogen into an oxide semiconductor film in a transistor including an oxide semiconductor is provided. Further, a semiconductor device which has favorable electrical characteristics by using a transistor including a silicon semiconductor and a transistor including an oxide semiconductor is provided. Two nitride insulating films having different functions are provided between the transistor including a silicon semiconductor and the transistor including an oxide semiconductor. Specifically, a first nitride insulating film which contains hydrogen is provided over the transistor including a silicon semiconductor, and a second nitride insulating film which has a lower hydrogen content than the first nitride insulating film and functions as a barrier film against hydrogen is provided between the first nitride insulating film and the transistor including an oxide semiconductor.

指定代表圖：

圖 1A



符號簡單說明：

- 101 . . . 電晶體
- 103 . . . 電晶體
- 105 . . . CMOS 電路
- 107 . . . 電容元件
- 109 . . . 電晶體
- 111 . . . 氮化絕緣膜
- 113 . . . 氮化絕緣膜
- 115 . . . 基板
- 117 . . . 通道形成區
- 119 . . . 雜質區
- 121 . . . 高濃度雜質區
- 123 . . . 閘極絕緣膜
- 125 . . . 閘極電極
- 129 . . . 側壁
- 131 . . . 電極
- 133 . . . n 阱
- 135 . . . 通道形成區
- 137 . . . 雜質區
- 139 . . . 高濃度雜質區
- 141 . . . 閘極絕緣膜
- 143 . . . 閘極電極
- 145 . . . 側壁
- 147 . . . 電極
- 149 . . . 電極
- 151 . . . 元件分離絕緣膜
- 153 . . . 絕緣膜
- 155 . . . 層間絕緣膜
- 157 . . . 層間絕緣膜
- 159 . . . 電極
- 161 . . . 層間絕緣膜
- 163 . . . 電極
- 165 . . . 電極

- 167 . . . 電極
- 169 . . . 絕緣膜
- 171 . . . 絕緣膜
- 172 . . . 連接電極
- 173 . . . 氧化物半導
體膜
- 175 . . . 源極電極
- 177 . . . 汲極電極
- 179 . . . 閘極絕緣膜
- 181 . . . 閘極電極
- 183 . . . 電極
- 185 . . . 絕緣膜

發明摘要

※申請案號：102126104

※申請日：102年07月22日

※IPC分類：

【發明名稱】(中文/英文)

H01L29/178

(2006.01)

半導體裝置

H01L21/318

(2006.01)

Semiconductor device

【中文】

本發明的一個方式提供一種在氧化物半導體的電晶體中能夠抑制氫擴散到氧化物半導體膜中的絕緣膜。另外，提供一種半導體裝置，該半導體裝置包括使用矽半導體的電晶體及使用氧化物半導體的電晶體並具有良好的電特性。在使用矽半導體的電晶體與使用氧化物半導體的電晶體之間設置具有彼此不同功能的兩個氮化絕緣膜。明確而言，在使用矽半導體的電晶體上設置含有氫的第一氮化絕緣膜，並且在該第一氮化絕緣膜與使用氧化物半導體的電晶體之間設置具有比第一氮化絕緣膜低的含氫量且用作氫障壁膜第二氮化絕緣膜。

【英文】

A nitride insulating film which prevents diffusion of hydrogen into an oxide semiconductor film in a transistor including an oxide semiconductor is provided. Further, a semiconductor device which has favorable electrical characteristics by using a transistor including a silicon semiconductor and a transistor including an oxide semiconductor is provided. Two nitride insulating films having different functions are provided between the transistor including a silicon semiconductor and the transistor including an oxide semiconductor. Specifically, a first nitride insulating film which contains hydrogen is provided over the transistor including a silicon semiconductor, and a second nitride insulating film which has a lower hydrogen content than the first nitride insulating film and functions as a barrier film against hydrogen is provided between the first nitride insulating film and the transistor including an oxide semiconductor.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

101：電晶體	103：電晶體
105：CMOS 電路	107：電容元件
109：電晶體	111：氮化絕緣膜
113：氮化絕緣膜	115：基板
117：通道形成區	119：雜質區
121：高濃度雜質區	123：閘極絕緣膜
125：閘極電極	129：側壁
131：電極	133：n 阱
135：通道形成區	137：雜質區
139：高濃度雜質區	141：閘極絕緣膜
143：閘極電極	145：側壁
147：電極	149：電極
151：元件分離絕緣膜	153：絕緣膜
155：層間絕緣膜	157：層間絕緣膜
159：電極	161：層間絕緣膜
163：電極	165：電極
167：電極	169：絕緣膜
171：絕緣膜	172：連接電極
173：氧化物半導體膜	175：源極電極
177：汲極電極	179：閘極絕緣膜
181：閘極電極	183：電極
185：絕緣膜	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本說明書等所公開的發明係關於一種包括電晶體的半導體裝置。另外，本說明書等所公開的發明係關於一種包括在該半導體裝置中的氮化絕緣膜。

【先前技術】

近年來，對提高中央處理器（CPU：Central Processing Unit）等半導體裝置的工作速度的技術開發日益火熱。CPU 包括包含邏輯電路的半導體積體電路，該半導體積體電路包括形成在半導體晶片上的電晶體、記憶體以及作為連接端子的電極等。

作為有關提高工作速度的技術開發，為了提高 CPU 的工作速度及積體度而進行電晶體等半導體元件的微型化。

藉由進行電晶體等半導體元件的微型化，CPU 的積體度及工作速度得到提高，而電晶體的洩漏電流卻增加。其結果，導致 CPU 的耗電量的增加。

另外，可應用於電晶體的半導體膜除了廣泛認知的矽

半導體之外還可以使用呈現半導體特性的金屬氧化物（以下記作氧化物半導體）形成。

例如，公開了將作為氧化物半導體的氧化鋅或 In-Ga-Zn 類氧化物半導體用於通道形成區來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

此外，公開了藉由在使用單晶矽半導體的電晶體的上方設置使用氧化物半導體的電晶體來製造耗電量被降低且高度積體化了的半導體裝置的技術（參照專利文獻 3）。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[專利文獻 3]日本專利申請公開第 2011-109079 號公報

在使用氧化物半導體的電晶體中，有時從構成電晶體的絕緣膜等釋放的元素作為雜質擴散到構成通道形成區的氧化物半導體膜中而使電晶體的電特性（典型的為臨界電壓）發生變動，導致半導體裝置的可靠性下降。

例如，當構成電晶體的絕緣膜含有氫（包括水等氫化合物）時，該氫擴散到氧化物半導體膜中而使電晶體的電特性發生變動，導致半導體裝置的可靠性下降。

侵入到氧化物半導體膜中的氫與結合於金屬原子的氧發生反應而形成水，同時缺陷形成在氧脫離了的晶格（或者氧脫離了的部分）中。另外，氫的一部分與氧發生反應而生成作為載子的電子。因此，包含含有氫的氧化物半導

體膜的電晶體容易具有常導通（normally-on）特性。

另外，由於使用氧化物半導體的電晶體為 n 通道電晶體，所以在本說明書中，將可認為在閘極電壓為 0V 的情況下沒有流過汲極電流的電晶體定義為具有常閉特性的電晶體。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是提供一種能夠抑制氫擴散到氧化物半導體膜中的氮化絕緣膜。

另外，已知在包含矽半導體區的電晶體中，為了實現良好的電特性而對包含通道形成區的矽半導體區進行氫化處理。另外，在本說明書等中，矽半導體是指矽、碳化矽、矽鍺等所有的含有矽的半導體材料。

氫化處理可以利用氫氛圍下的加熱處理、離子植入法或者離子摻雜法等進行，然而，這些方法在處理時間、安全性以及成本方面仍有課題。因此，安全性及成本方面的改善是非常有助益的。

例如，即使包含邏輯電路和半導體積體電路等的半導體裝置為在使用單晶矽的電晶體上設置有使用氧化物半導體的電晶體的半導體裝置，為了改善使用單晶矽的電晶體的電特性也需要進行氫化處理。

鑒於上述問題，本發明的一個方式的目的之一是提供一種半導體裝置，該半導體裝置包括使用矽半導體的電晶體及使用氧化物半導體的電晶體並具有良好的電特性。

另外，本發明的一個方式的目的之一是提供一種半導體裝置，該半導體裝置包括使用矽半導體的電晶體及使用氧化物半導體的電晶體並具有高可靠性。

本發明的一個方式的目的的是實現上述目的中的至少一個。

鑒於上述問題，本發明的一個方式是一種包括多個電晶體的半導體裝置，該多個電晶體為使用矽半導體的電晶體以及使用氧化物半導體的電晶體，其中，爲了提高半導體裝置的積體度，在使用矽半導體的電晶體上層疊使用氧化物半導體的電晶體，並且，在使用矽半導體的電晶體與使用氧化物半導體的電晶體之間設置具有彼此不同功能的兩個氮化絕緣膜。明確而言，在使用矽半導體的電晶體上設置含有氫的第一氮化絕緣膜，並且在該第一氮化絕緣膜與使用氧化物半導體的電晶體之間設置具有比第一氮化絕緣膜低的含氫量且用作氫障壁膜的第二氮化絕緣膜。另外，含氫量低於第一氮化絕緣膜且用作氫障壁膜的第二氮化絕緣膜可以層疊在第一氮化絕緣膜上。

本發明的一個方式是一種半導體裝置，在該半導體裝置中層疊有多個電晶體，該半導體裝置包括：通道形成區設置在矽半導體區中的第一電晶體；設置在第一電晶體上且通道形成區設置在氧化物半導體膜中的第二電晶體；設置在第一電晶體與第二電晶體之間的第一氮化絕緣膜；以及設置在第一氮化絕緣膜與第二電晶體之間的第二氮化絕緣膜，其中，第一氮化絕緣膜包含氫，並且，第二氮化絕

緣膜為具有比第一氮化絕緣膜低的含氫量且用作氫障壁膜。另外，也可以將第二氮化絕緣膜層疊在第一氮化絕緣膜上。

在上述半導體裝置中，第一氮化絕緣膜的藉由熱脫附譜法測定出的氫分子的釋放量為 5.0×10^{23} 分子/cm³ 以上，並且，第二氮化絕緣膜的藉由光譜橢偏儀測定出的波長為 633nm 的光的折射率為 1.95 以上且在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫時的蝕刻速度為 2.0nm/分以下。另外，第二氮化絕緣膜的藉由 X 射線反射法測定出的密度為 2.75g/cm³ 以上。

一般來說，形成的膜越緻密，折射率越高，形成的膜越緻密，蝕刻速度則越減慢。因此，藉由使用具有上述範圍的折射率及蝕刻速度的氮化絕緣膜，可以形成緻密的第二氮化絕緣膜，可以使其發揮氫阻擋性。另外，由於形成的膜越緻密，膜密度越增加，所以為了使第二氮化絕緣膜充分發揮氫阻擋性，較佳為使用具有上述範圍的密度的氮化絕緣膜形成第二氮化絕緣膜。

利用熱脫附譜法測定出的氫分子的釋放量為 5.0×10^{23} 分子/cm³ 以上的第一氮化絕緣膜在被加熱時釋放氫。

另外，藉由加熱釋放氫的第一氮化絕緣膜的氫濃度為 20atomic% 以上且 25atomic% 以下，具有氫阻擋性的第二氮化絕緣膜的氫濃度為 10atomic% 以上且 15atomic% 以下，上述氫濃度是利用盧瑟福背散射分析測定的值。如此，氮化絕緣膜中的氫濃度越低，越不容易釋放氫，由此

能夠發揮氫阻擋性。例如，第一氮化絕緣膜及第二氮化絕緣膜可以使用氮化矽膜形成。

在上述半導體裝置中，第一電晶體及第二電晶體具有頂開極結構。

另外，本發明的一個方式是一種半導體裝置，其中將具有與第二氮化絕緣膜相同結構的第三氮化絕緣膜設置在第二電晶體上。

由於第一氮化絕緣膜在被加熱時釋放氫，因此，藉由設置第一氮化絕緣膜，可以將因半導體裝置的製程中的加熱處理等而釋放的氫移動到第一電晶體的矽半導體區中，由此可以對第一電晶體的矽半導體區進行氫化處理。

第二氮化絕緣膜由不容易使擴散到氧化物半導體膜中的氫透過的絕緣膜形成，可以說其具有氫阻擋性。此外，可以說第二氮化絕緣膜是抑制氫擴散到氧化物半導體膜中的絕緣膜或者防止氫擴散到氧化物半導體膜中的絕緣膜。

上述半導體裝置還包括設置在第一氮化絕緣膜與第二氮化絕緣膜之間且與第一氮化絕緣膜及第二氮化絕緣膜接觸的氧化物絕緣膜。該氧化物絕緣膜可以為氧化矽膜或氮化矽膜。

第二氮化絕緣膜由具有比第一氮化絕緣膜低的氫濃度的緻密的氮化絕緣膜形成。因此，第二氮化絕緣膜用作氫障壁膜。當以與第二氮化絕緣膜接觸的方式設置由含有氫的氮化絕緣膜形成的第一氮化絕緣膜時，根據第二氮化絕緣膜的形成方法，第一氮化絕緣膜所包含的氫有可能混入

第二氮化絕緣膜而使其氫濃度增加。因此，如上所述，藉由在第一氮化絕緣膜與第二氮化絕緣膜之間設置氧化物絕緣膜，可以防止當形成第二氮化絕緣膜時第一氮化絕緣膜所包含的氫混入第二氮化絕緣膜，由此可以充分使第二氮化絕緣膜發揮氫障壁膜的功能。

另外，本發明的一個方式是一種可用作第二氮化絕緣膜的氮化絕緣膜，尤其為可用作第二氮化絕緣膜的氮化矽膜。

根據本發明的一個方式，可以提供一種可以防止氫擴散到氧化物半導體膜中的絕緣膜。

根據本發明的一個方式，可以在使用矽半導體的電晶體中安全且容易地進行氫化處理。

根據本發明的一個方式，可以提供一種半導體裝置，該半導體裝置包括使用矽半導體的電晶體及使用氧化物半導體的電晶體並具有良好的電特性。

根據本發明的一個方式，可以提供一種半導體裝置，該半導體裝置包括使用矽半導體的電晶體及使用氧化物半導體的電晶體並具有高可靠性。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是示出本發明的一個方式的半導體裝置的剖面圖以及其電路圖；

圖 2 是示出本發明的一個方式的半導體裝置的俯視

圖；

圖 3A 至圖 3C 是示出本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 4A 和圖 4B 是示出本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 5A 和圖 5B 是示出本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 6 是示出本發明的一個方式的半導體裝置的剖面圖；

圖 7 是示出本發明的一個方式的半導體裝置的剖面圖；

圖 8A 至圖 8C 是示出本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 9 是示出本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 10A 和圖 10B 是示出本發明的一個方式的半導體裝置的剖面圖；

圖 11A 至圖 11C 是示出本發明的一個方式的半導體裝置的剖面圖以及其電路圖；

圖 12 是示出本發明的一個方式的半導體裝置的俯視圖；

圖 13 是示出本發明的一個方式的半導體裝置的剖面圖；

圖 14A 至圖 14C 是示出本發明的一個方式的半導體

裝置的剖面圖以及其電路圖；

圖 15A 和圖 15B 是示出本發明的一個方式的半導體裝置的剖面圖；

圖 16 是示出本發明的一個方式的半導體裝置的電路圖；

圖 17 是示出本發明的一個方式的半導體裝置的透視圖；

圖 18 是可用於本發明的一個方式的半導體裝置的電晶體的剖面圖；

圖 19A 至圖 19C 是示出本發明的一個方式的半導體裝置的方塊圖；

圖 20A 至圖 20C 是說明電子裝置的圖；

圖 21A 和圖 21B 是示出樣本的結構的圖；

圖 22A 和圖 22B 是示出熱脫附譜分析的結果的圖；

圖 23A 和圖 23B 是示出折射率及膜密度的測定結果的圖；

圖 24 是示出蝕刻速度的測定結果的圖；

圖 25A 和圖 25B 是示出折射率及膜密度的測定結果的圖；

圖 26 是示出蝕刻速度的測定結果的圖。

【實施方式】

下面，參照圖式詳細地說明本發明的實施方式。但是，所屬技術領域的普通技術人員可以很容易地理解一個

事實，就是本發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。另外，本發明不應被看作僅限定於以下實施方式的描述內容。

在以下說明的本發明的結構中，在不同圖式之間共同使用同一符號表示同一部分或具有相同功能的部分而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

在本說明書所說明的每個圖式中，各元件的大小、膜的厚度或區域為了清晰可見而有時被誇大。因此，不一定侷限於其尺度。

在本說明書等中，為方便起見，附加了第一、第二等序數詞，這些序數詞並不表示製程順序或疊層順序。另外，這些序數詞在本說明書等中不表示用來特定發明的事項的固有名稱。

此外，在電路工作中電流方向發生變化的情況等下，本發明中的“源極”和“汲極”的功能有時互相調換。因此，在本說明書中，可以互相調換使用“源極”和“汲極”。

另外，電壓是指兩個點之間的電位差，電位是指某一點的靜電場中的單位電荷具有的靜電能（電位能量）。但是，一般來說，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱為電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”理解為“電壓”，又可將“電

壓”理解為“電位”。

在本說明書中，當在進行光微影處理之後進行蝕刻處理時，去除在光微影處理中形成的遮罩。

實施方式 1

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置進行說明。

〈半導體裝置的結構〉

圖 1A 示出本發明的一個方式的半導體裝置的剖面圖。圖 1A 所示的半導體裝置包含多個電晶體，並且爲了提高積體度而在豎直方向上層疊有上述電晶體中的幾個。

明確而言，圖 1A 所示的半導體裝置包含：位於下部的使用第一半導體材料的 n 通道電晶體的電晶體 101 與 p 通道電晶體的電晶體 103 電連接而成的 CMOS（Complementary Metal Oxide Semiconductor；互補金屬氧化物半導體）電路 105；CMOS 電路 105 上的電容元件 107；使用第二半導體材料的 n 通道電晶體的電晶體 109；電晶體 101 及電晶體 103 上的含有氫且藉由加熱釋放氫的第一氮化絕緣膜 111；以及第一氮化絕緣膜 111 與電晶體 109 之間的具有比第一氮化絕緣膜 111 低的含氫量且用作氫障壁膜的第二氮化絕緣膜 113。

圖 1B 示出相當於圖 1A 所示的半導體裝置的電路圖。圖 1B 所示的電路圖的連接關係如下：電晶體 101 與

電晶體 103 電連接而成的 CMOS 電路 105 電連接到電容元件 107；CMOS 電路 105 及電容元件 107 電連接到使用氧化物半導體的電晶體 109。另外，電晶體 109 也可以電連接到其他電晶體。

第一半導體材料使用矽半導體等氧化物半導體以外的半導體材料，而第二半導體材料使用氧化物半導體。換言之，電晶體 101 及電晶體 103 為使用矽半導體的電晶體，電晶體 109 為使用氧化物半導體的電晶體。

電晶體 101 及電晶體 103 使用矽半導體，藉由使用單晶基板或多晶基板等，可以容易製造能夠高速工作的電晶體。

另外，在使用氧化物半導體的電晶體中，藉由從形成有通道形成區的氧化物半導體膜中充分去除氫等雜質而使其高度純化，可以容易製造洩漏電流（也被稱為關態洩漏電流（off-state leakage current）或關態電流（off-state current））小的電晶體。由此可以降低半導體裝置的耗電量。

第一氮化絕緣膜 111 由含有氫且藉由加熱釋放氫的氮化絕緣膜形成。明確而言，第一氮化絕緣膜 111 由如下氮化絕緣膜形成：藉由熱脫附譜（TDS：Thermal Desorption Spectroscopy）法（以下稱為 TDS 法）測定出的氫分子的釋放量為 5.0×10^{23} 分子/cm³ 以上，並且，藉由盧瑟福背散射分析測定出的氫濃度為 20atomic% 以上且 25atomic% 以下的氮化絕緣膜。該氮化絕緣膜例如可以使用氮化矽膜或

者氮氧化矽膜等。

在使用矽半導體的電晶體 101 及電晶體 103 的製程中，爲了實現良好的電特性，較佳爲進行氫化處理來至少修復形成有通道形成區的矽半導體區中的缺陷（懸空鍵）（進行氫封端）。因此，藉由在電晶體 101 及電晶體 103 上設置第一氮化絕緣膜 111 並利用從第一氮化絕緣膜 111 釋放的氫，可以進行氫化處理。由此，與習知的方法不同，可以安全且容易地進行氫化處理。例如，在半導體裝置的製程中，藉由在設置第一氮化絕緣膜 111 之後進行加熱處理，可以進行氫化處理，由此可以縮短半導體裝置的製造所需要的時間，並且可以提高半導體裝置的生產率。

第二氮化絕緣膜 113 爲具有比第一氮化絕緣膜 111 低的含氫量且用作氫障壁膜的絕緣膜。第二氮化絕緣膜 113 爲如下絕緣膜：至少抑制從第一氮化絕緣膜 111 釋放的氫擴散到電晶體 109 的氧化物半導體膜（詳細而言，通道形成區）中或者防止氫擴散到電晶體 109 的氧化物半導體膜的通道形成區中。

如此，第二氮化絕緣膜 113 可以使用含氫量低且緻密的氮化絕緣膜。明確而言，可以使用利用光譜橢圓偏振（spectroscopic ellipsometry）得到的波長爲 633nm 的光的折射率爲 1.95 以上，且在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫時的蝕刻速度爲 2.0nm/分以下的氮化絕緣膜。或者，可以使用藉由光譜橢圓偏振得到的波長爲 633nm 的光的折射率爲 1.95 以上，且藉由 X 射線反射

法測定出的膜密度為 2.75g/cm^3 以上的氮化絕緣膜。另外，第二氮化絕緣膜 113 的藉由盧瑟福背散射分析測定出的氫濃度較佳為 10atomic%以上且 15atomic%以下。

一般來說，形成的膜越緻密，折射率越高，形成的膜越緻密，蝕刻速度則越減慢。因此，藉由使用具有上述範圍的折射率及蝕刻速度的氮化絕緣膜，可以形成緻密的第二氮化絕緣膜 113，可以使其發揮氫阻擋性。另外，由於形成的膜越緻密，膜密度越增加，所以為了使第二氮化絕緣膜 113 充分發揮氫阻擋性，較佳為使用具有上述範圍的密度的氮化絕緣膜形成第二氮化絕緣膜 113。如此，氮化絕緣膜中的氫濃度越低，越不容易釋放氫，由此能夠發揮氫阻擋性。另外，該氮化絕緣膜例如可以使用氮化矽膜或者氮氧化矽膜等。

藉由設置第二氮化絕緣膜 113，可以抑制存在於電晶體 109 的下方（包括第一氮化絕緣膜 111）的氫作為雜質擴散到電晶體 109 的氧化物半導體膜（至少通道形成區）中，所以可以抑制電晶體 109 的電特性變動。因此，可以改善電晶體 109 的電特性，並且可以提高半導體裝置的可靠性。

接著，進一步說明本發明的一個方式的半導體裝置的詳細內容。

在圖 1A 所示的半導體裝置中，電晶體 101 及電晶體 103 的通道形成區可以形成在包含半導體材料的基板 115 中（塊（bulk）中）或者包含半導體材料的基板 115 上。

另外，在本實施方式中，說明如下情況：作為基板 115 使用具有 p 型導電型的單晶矽基板，並且電晶體 101 及電晶體 103 的通道形成區形成在基板 115 中的方式。

電晶體 101 包含：形成在基板 115 中的通道形成區 117；以夾著通道形成區 117 的方式設置的雜質區 119；與雜質區 119 電連接的高濃度雜質區 121（有時將雜質區 119 及高濃度雜質區 121 簡單地稱為雜質區）；設置在通道形成區 117 上的閘極絕緣膜 123；設置在閘極絕緣膜 123 上的閘極電極 125；設置在閘極電極 125 的側面的側壁 129；以與通道形成區 117 的一端的高濃度雜質區 121 接觸的方式設置的源極電極或者汲極電極（以下記作電極 131）。

雜質區 119 用作 LDD（Lightly Doped Drain：輕摻雜汲極）區或者擴展區（extension region）。高濃度雜質區 121 用作電晶體 101 的源極區或者汲極區。

電晶體 103 設置在藉由對基板 115 添加賦予 n 型導電型的雜質元素來形成的 n 阱 133 上。電晶體 103 包含：形成在 n 阱 133 中的通道形成區 135；以夾著通道形成區 135 的方式設置的雜質區 137；與雜質區 137 電連接的高濃度雜質區 139（有時將雜質區 137 及高濃度雜質區 139 簡單地稱為雜質區）；設置在通道形成區 135 上的閘極絕緣膜 141；設置在閘極絕緣膜 141 上的閘極電極 143；設置在閘極電極 143 的側面的側壁 145；以與形成於通道形成區 135 的一端的雜質區 137 電連接且與高濃度雜質區

139 接觸的方式設置的源極電極或者汲極電極（以下記作電極 147）。

雜質區 137 用作 LDD 區或者擴展區。高濃度雜質區 139 用作電晶體 103 的源極區或者汲極區。

此外，圖 1A 所示的半導體裝置還設置有電極 149，該電極 149 與形成於電晶體 101 的通道形成區 117 的另一端的高濃度雜質區 121 以及形成於電晶體 103 的通道形成區 135 的另一端的高濃度雜質區 139 接觸。電極 149 用作電晶體 101 的源極電極或者汲極電極，還用作電晶體 103 的源極電極或者汲極電極。另外，電晶體 101 與電晶體 103 藉由電極 149 彼此電連接而構成 CMOS 電路 105。

在基板 115 上以包圍電晶體 101 及電晶體 103 的方式設置有元件分離絕緣膜 151。另外，以覆蓋電晶體 101、電晶體 103 以及元件分離絕緣膜 151 的方式設置有絕緣膜 153，並且在絕緣膜 153 上設置有第一氮化絕緣膜 111。

在第一氮化絕緣膜 111 上設置有層間絕緣膜 155。另外，電極 131、電極 147 以及電極 149 以貫穿絕緣膜 153、第一氮化絕緣膜 111 以及層間絕緣膜 155 的方式設置，都用作佈線。

在層間絕緣膜 155 上設置有層間絕緣膜 157，並且在層間絕緣膜 157 上設置有電極 159。電極 159 還用作佈線。電極 159 藉由形成在絕緣膜 153、第一氮化絕緣膜 111、層間絕緣膜 155 以及層間絕緣膜 157 中的開口與電晶體 101 及電晶體 103（CMOS 電路 105）的閘極佈線

(未圖示)電連接。閘極佈線設置在閘極絕緣膜 123 及閘極絕緣膜 141 上，該閘極佈線分歧為電晶體 101 的閘極電極 125 及電晶體 103 的閘極電極 143。因此，CMOS 電路 105 與電容元件 107 電連接，電容元件 107 與電晶體 109 電連接。

在電極 159 及層間絕緣膜 157 上設置有層間絕緣膜 161。電極 163 藉由形成在層間絕緣膜 161 中的開口與電極 159 接觸。另外，在層間絕緣膜 161 上設置有電極 165 及電極 167。電極 165 設置在層間絕緣膜 161 上的與電晶體 109 的氧化物半導體膜 173 重疊的區域。電極 167 設置在與電晶體 109 的汲極電極 177 重疊的區域。另外，電極 163、電極 165 以及電極 167 還用作佈線。

在電極 163、電極 165 以及電極 167 之間設置有絕緣膜 169，電極 163、電極 165、電極 167 以及絕緣膜 169 都被平坦化。

在電極 163、電極 165、電極 167 以及絕緣膜 169 上設置有第二氮化絕緣膜 113，並且在第二氮化絕緣膜 113 上設置有絕緣膜 171。

在絕緣膜 171 上設置有電容元件 107 及電晶體 109。

電晶體 109 至少包含：設置在絕緣膜 171 上的氧化物半導體膜 173；以與氧化物半導體膜 173 接觸的方式設置的源極電極 175 及汲極電極 177；設置在氧化物半導體膜 173、源極電極 175 以及汲極電極 177 上的閘極絕緣膜 179；以與氧化物半導體膜 173 重疊的方式設置在閘極絕

緣膜 179 上的閘極電極 181。

源極電極 175 藉由設置在形成在第二氮化絕緣膜 113 及絕緣膜 171 中的開口中的連接電極 172 與電極 163 接觸。因此，源極電極 175 與電晶體 101 的閘極電極 125 及電晶體 103 的閘極電極 143 電連接。

汲極電極 177 藉由設置在形成在第二氮化絕緣膜 113 及絕緣膜 171 中的開口中的連接電極 172 與電極 167 接觸。

電極 183 設置在閘極絕緣膜 179 上的與源極電極 175 重疊的區域。在電容元件 107 中，源極電極 175 用作一個電極，閘極絕緣膜 179 用作電介質，電極 183 用作另一個電極。另外，電極 183 還用作佈線。

藉由作為電容元件 107 的一個電極使用電晶體 109 的源極電極 175，可以提高半導體裝置的積體度。

在閘極絕緣膜 179、閘極電極 181 以及電極 183 上設置有絕緣膜 185。

在電晶體 109 中，氧化物半導體膜 173 由非晶氧化物半導體、單晶氧化物半導體或者多晶氧化物半導體構成。

另外，較佳為從氧化物半導體膜 173 中充分去除氫等雜質而使其高度純化。明確而言，藉由二次離子質譜分析（SIMS：Secondary Ion Mass Spectrometry）得到的氧化物半導體膜 173 的氫濃度較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，較佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。當氧化物半導

體膜 173 含有氫時，該氫與結合於金屬原子的氧發生反應而形成水，同時缺陷形成在氧脫離了的晶格（或者氧脫離了的部分）中。另外，氫的一部分有時與氧結合而生成載子，導致電晶體 109 的關態電流的增大。

另外，將藉由二次離子質譜分析得到的氧化物半導體膜 173 的鹼金屬或者鹼土金屬的濃度設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為設定為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。鹼金屬和鹼土金屬有時與氧化物半導體結合而生成載子，導致電晶體 109 的關態電流的增大。另外，較佳為將氧化物半導體膜 173 的氮濃度設定為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。

如此，藉由儘量降低氧化物半導體膜 173 中的雜質使其高度純化，可以大幅度降低電晶體 109 的洩漏電流。另外，可以降低電晶體 109 的臨界電壓的變動（負漂移）。因此，可以製造具有良好電特性的半導體裝置。此外，可以製造可靠性高的半導體裝置。

另外，根據各種實驗可以證明：通道形成區形成在被高度純化了的氧化物半導體膜中的電晶體的關態電流低。例如，即便是通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度 L 為 $10 \mu\text{m}$ 的元件，在源極電極和汲極電極之間的電壓（汲極電壓）為 1V 至 10V 的範圍內，也可以使關態電流為半導體參數分析儀的測量界限以下，即 $1 \times 10^{-13} \text{A}$ 以下。在此情況下，可知：相當於關態電流除以電晶體的通道寬度的數值的關態電流為 $100 \text{zA}/\mu\text{m}$ 以下。此外，藉由使用使電容元

件和電晶體連接，並由該電晶體控制流入到電容元件的電荷或從電容元件流出的電荷的電路，來進行關態電流的測量。在該測量中，使用上述電晶體並根據電容元件的每單位時間的電荷量的推移而測量該電晶體的關態電流。由此可知：當電晶體的源極電極與汲極電極之間的電壓為 3V 時，可以獲得更低的關態電流，即幾十 $\text{yA}/\mu\text{m}$ 。由此，使用通道形成區形成在被高度純化了的氧化物半導體膜中的電晶體的關態電流顯著低。

包含在氧化物半導體中的氧缺陷有時生成載子，有可能導致電晶體的電特性及可靠性的下降。因此，在氧化物半導體膜 173 中，較佳為儘量減少氧缺陷。例如，在氧化物半導體膜 173 中，利用在平行於膜表面的方向上施加磁場的電子自旋共振法的 g 值為 1.93 的自旋密度（相當於氧化物半導體膜 173 中的氧缺陷密度）較佳為降低到檢測器的檢測下限以下。藉由儘量減少氧缺陷，可以抑制電晶體 109 的臨界電壓的變動（負漂移），由此可以提高半導體裝置的電特性及可靠性。

另外，圖 2 示出本發明的一個方式的半導體裝置的一部分的俯視圖。圖 1A 所示的剖面圖相當於圖 2 所示的俯視圖的鎖鏈線 XY 之間的剖面圖。在圖 2 所示的俯視圖中，為了容易理解，未圖示構成要素的一部分（CMOS 電路 105、第一氮化絕緣膜 111、第二氮化絕緣膜 113、其他閘極絕緣膜以及層間絕緣膜等）。

<半導體裝置的製造方法>

接著，參照圖式對本發明的一個方式的半導體裝置的製造方法進行說明。下面，首先對構成下部的 CMOS 電路的電晶體的製造方法進行說明，然後對上部的使用氧化物半導體的電晶體的製造方法進行說明。

用作半導體裝置的基板 115 為含有矽半導體的基板。

首先，準備含有半導體材料的基板 115。作為基板 115 可以使用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI (Silicon On Insulator: 絕緣體上矽) 基板等，電晶體 101 及電晶體 103 的通道形成區可以形成在半導體基板中(塊中)或半導體基板上。

在本實施方式所示的半導體裝置中，作為基板 115 使用單晶矽基板，並且在該單晶矽基板上設置電晶體 101 及電晶體 103。換言之，在本實施方式中，作為第一半導體材料的矽半導體為單晶矽，並且電晶體 101 及電晶體 103 的通道形成區由單晶矽構成。另外，本實施方式示出作為基板 115 使用具有 p 型導電型的單晶基板的例子。

藉由對基板 115 的形成電晶體 103 的區域添加賦予 n 型導電型的雜質元素來形成 n 阱 133。電晶體 103 的通道形成區 135 形成在 n 阱 133 中。作為賦予 n 型導電型的雜質元素可以使用磷 (P) 或砷 (As) 等。

另外，不對作為 n 通道電晶體的電晶體 101 的形成區域添加賦予 p 型導電型的雜質元素，但是也可以藉由添加

賦予 p 型導電型的雜質元素來形成 p 阱。作為賦予 p 型導電型的雜質元素，可以使用硼（B）、鋁（Al）或鎵（Ga）等。

另一方面，在具有 n 型導電型的單晶矽基板的情況下，也可以藉由添加賦予 p 型導電型的雜質元素形成 p 阱，並將電晶體 101 的通道形成區 135 形成在 p 阱中。

n 阱 133 或 p 阱可以藉由利用離子摻雜法或離子植入法等添加上述雜質元素來形成。

在基板 115 上形成元件分離絕緣膜 151。元件分離絕緣膜 151 可以利用公知的方法形成。例如，在基板 115 上形成保護膜，並以該保護膜為遮罩進行蝕刻處理，去除基板 115 的不被該保護絕緣膜覆蓋的區域（露出的區域）來形成凹部。作為該蝕刻處理較佳為使用乾蝕刻，但是也可以使用濕蝕刻。可以根據被蝕刻的材料適當地選擇蝕刻氣體和蝕刻劑。然後，以覆蓋基板 115 的方式形成絕緣膜，選擇性地去除形成在凹部以外的區域上的絕緣膜，可以形成元件分離絕緣膜 151。該絕緣膜使用氧化矽膜、氮化矽膜、氮氧化矽膜等形成。作為該絕緣膜的去除方法，可以使用 CMP（Chemical Mechanical Polishing：化學機械拋光）等拋光處理或蝕刻處理等，可以使用其中任何方法。另外，上述保護膜在形成凹部之後或者在形成元件分離絕緣膜 151 之後去除。另外，在進行 CMP 等拋光處理或蝕刻處理之後，進行洗滌處理以及用來去除附著於被處理表面上的水分的加熱處理。

另外，在形成元件分離絕緣膜 151 之後的半導體裝置的製程中，在進行 CMP 等拋光處理或蝕刻處理之後，進行上述洗滌處理以及加熱處理。

另外，元件分離絕緣膜 151 也可以利用 LOCOS (Local Oxidation of Silicon：矽的局部氧化) 等元件分離法形成。

接著，在形成有元件分離絕緣膜 151 的基板 115 上形成在後面加工為閘極絕緣膜 123 及閘極絕緣膜 141 的絕緣膜，在該絕緣膜上形成含有導電材料的膜（導電膜），並且對該導電膜進行加工來形成閘極電極 125 及閘極電極 143。加工為閘極絕緣膜 123 及閘極絕緣膜 141 的絕緣膜利用 CVD 法或濺射法等形成氧化矽膜、氧化鉛膜、氧化鋁膜、氧化鉍膜、氮化矽膜或者氮氧化矽膜等的單層或者疊層。另外，也可以藉由高密度電漿處理或熱氧化處理使基板 115 的表面氧化或氮化，形成加工為閘極絕緣膜 123 及閘極絕緣膜 141 的絕緣膜。例如，可以使用 He、Ar、Kr、Xe 等稀有氣體與氧、氧化氮、氨、氮、氫等混合氣體進行高密度電漿處理。另外，對該絕緣膜的厚度沒有特別的限制，例如其厚度可以設定為 1nm 以上且 100nm 以下。

對加工為閘極電極 125 及閘極電極 143 的導電膜的材料沒有特別的限制，可以使用各種導電材料，諸如鋁、銅、鈦、鉍、鎢等的金屬材料。此外，也可以使用含有導電材料的多晶矽等半導體材料形成含有導電材料的膜。對

形成方法也沒有特別的限制，可以使用蒸鍍法、CVD法、濺射法、旋塗法等各種成膜方法。另外，在本實施方式中，使用金屬材料形成導電膜。可以利用乾蝕刻或濕蝕刻對絕緣膜及導電膜進行加工。另外，對上述導電膜的厚度沒有特別的限制，可以根據形成時間及所希望的電阻率等而決定。

接著，在形成電晶體 101 的區域形成保護膜，並以閘極電極 143 為遮罩對形成電晶體 103 的區域添加賦予 p 型導電型的雜質元素來形成雜質區。另外，在形成電晶體 103 的區域形成保護膜，並以閘極電極 125 為遮罩對形成電晶體 101 的區域添加賦予 n 型導電型的雜質元素來形成雜質區。藉由形成上述雜質區，基板 115 中的位於閘極電極 125 之下的區域成為電晶體 101 的通道形成區 117（參照圖 3A）。此處，所添加的雜質的濃度可以適當地設定，但是較佳為根據半導體元件的微型化的程度而提高該濃度。另外，也可以形成覆蓋閘極電極 125 及閘極電極 143 的絕緣膜並經由該絕緣膜添加雜質元素。

接著，形成側壁 129 及側壁 145。側壁 129 及側壁 145 可以藉由在形成覆蓋閘極電極 125 及閘極電極 143 的絕緣膜之後對該絕緣膜進行各向異性高的蝕刻處理來以自對準的方式形成。另外，當形成側壁 129 及側壁 145 時，同時閘極絕緣膜 123 及閘極絕緣膜 141 也就形成了。

接著，以覆蓋閘極電極 125、閘極電極 143、雜質區、側壁 129 及側壁 145 等的方式形成絕緣膜 153。然

後，在絕緣膜 153 上的形成電晶體 103 的區域上形成保護膜，以閘極電極 125 及側壁 129 為遮罩對雜質區添加賦予 n 型導電型的雜質元素來形成雜質區 119 及高濃度雜質區 121。另外，在絕緣膜 153 的形成電晶體 101 的區域上形成保護膜，以閘極電極 143 及側壁 145 為遮罩對雜質區添加賦予 p 型導電型的雜質元素來形成雜質區 137 及高濃度雜質區 139。另外，也可以先添加雜質元素再形成絕緣膜 153。

另外，本發明的一個方式的半導體裝置不侷限於圖 1A 和圖 1B 所示的結構。例如，可以使用包含矽化物的電晶體或不包含側壁的電晶體作為電晶體 101 及電晶體 103。當具有包含矽化物的結構時，可以進一步使源極區及汲極區低電阻化，並可以實現半導體裝置的工作速度的高速化。此外，由於可以以低電壓進行工作，所以可以降低半導體裝置的耗電量。能夠形成矽化物的金屬材料例如可以舉出鈦、鉭、鎢、鎳、鈷、鉑等。

接著，在上述絕緣膜 153 上形成第一氮化絕緣膜 111。將第一氮化絕緣膜 111 的厚度設定為如下：其含氫量足以至少能夠充分對電晶體 101 的通道形成區 117 及電晶體 103 的通道形成區 135 進行氫化處理的厚度。例如，將其設定為 50nm 以上且 1000nm 以下，較佳為設定為 100nm 以上且 500nm 以下。圖 3A 示出藉由到此為止的製程而得到的結構。

在此，對第一氮化絕緣膜 111 的形成方法進行說明。

第一氮化絕緣膜 111 由含有氫且藉由加熱釋放氫的氮化絕緣膜形成。可用於第一氮化絕緣膜 111 的氮化矽膜或氮氧化矽膜可以以如下條件形成。在電漿 CVD 設備的抽成真空的處理室中設置基板，將該基板的溫度保持為 300°C 以上且 400°C 以下，較佳為設定為 320°C 以上且 370°C 以下，對該處理室引入原料氣體，將處理室內的壓力設定為 40Pa 以上且 600Pa 以下，較佳為設定為 100Pa 以上且 500Pa 以下，對設置在處理室內的電極施加高頻功率。作為原料氣體使用含有矽的沉積氣體及氮。另外，作為原料氣體也可以使用氫。含有矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。為了使形成的氮化絕緣膜含有氫，較佳為使用含有氫的氮作為原料氣體形成第一氮化絕緣膜 111。例如，當使用電漿 CVD 設備形成第一氮化絕緣膜 111 時，將供應到抽成真空的處理室內的氮的流量設定為含有矽的沉積氣體的 20 倍以上且 1000 倍以下，較佳為設定為 150 倍以上且 750 倍以下。另外，當作原料氣體使用氫時，將氫的流量設定為含有矽的沉積氣體的 1 倍以上且 100 倍以下，較佳為設定為 1 倍以上且 50 倍以下。

在形成第一氮化絕緣膜 111 之後進行加熱處理來至少修復電晶體 101 的通道形成區 117 及電晶體 103 的通道形成區 135 中的缺陷（進行氫封端）。藉由上述加熱處理，還可以修復閘極絕緣膜 123 及閘極絕緣膜 141 中的缺陷、閘極絕緣膜 123 與矽之間的介面的缺陷等。因此，在本發

明的一個方式的半導體裝置中，藉由利用第一氮化絕緣膜 111 及加熱處理可以進行氫化處理。

當進行上述加熱處理時，加熱處理裝置不侷限於電爐，也可以利用被加熱的氣體等媒體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用 GRTA (Gas Rapid Thermal Anneal：氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal：燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal：快速熱退火) 裝置。LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光 (電磁波) 的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。另外，當進行上述加熱處理時，可以適當地選擇處理時間或處理氛圍。另外，只要在形成第一氮化絕緣膜 111 之後就可以任何時序進行加熱處理，可以適當地選擇進行加熱處理的時機。另外，例如可以將上述加熱處理兼作形成層間絕緣膜或電晶體 109 時進行的加熱處理等其他加熱處理。

接著，在第一氮化絕緣膜 111 上形成層間絕緣膜 155、電極 131、電極 147 以及電極 149 (參照圖 3B)。藉由對絕緣膜 153、第一氮化絕緣膜 111 以及層間絕緣膜 155 進行加工來形成到達高濃度雜質區 121 以及高濃度雜質區 139 的開口，在該開口中形成導電膜，然後對該導電膜進行蝕刻處理等加工來可以形成電極 131、電極 147 以及電極 149。注意，在形成上述開口之前利用 CMP 等拋

光處理或蝕刻處理等使層間絕緣膜 155 的表面平坦化。

層間絕緣膜 155 藉由形成無機絕緣膜或有機絕緣膜並對其進行加工來形成。無機絕緣膜可以使用氧化矽膜、氮化矽膜、氧化鋁膜等，有機絕緣膜可以使用丙烯酸樹脂、聚醯亞胺樹脂、苯並環丁烯樹脂、聚醯胺樹脂、環氧樹脂、矽氧烷基樹脂等。另外，層間絕緣膜 155 也可以具有層疊有多個上述絕緣膜的疊層結構。對無機絕緣膜及有機絕緣膜的形成方法沒有特別的限制，根據使用的材料適當地選擇。例如可以使用 CVD 法、濺射法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法）、絲網印刷、膠版印刷等。

當進行半導體裝置中的電晶體等半導體元件的微型化時，由於佈線之間的寄生電容變為明顯而信號延遲增大，所以氧化矽的相對介電常數（ $k=4.0$ 至 4.5 ）高，因此較佳為使用 k 為 3.0 以下的材料形成層間絕緣膜 155。另外，層間絕緣膜 155 用來平坦化，所以需要機械強度。只要確保層間絕緣膜 155 的機械強度，就可以使其多孔（porous）化而低介電常數化。

電極 131、電極 147 以及電極 149 較佳為具有如鑲嵌結構那樣的其一部分埋入在層間絕緣膜 155、第一氮化絕緣膜 111 以及絕緣膜 153 中的結構。對電極 131、電極 147 以及電極 149 的材料沒有特別的限制，可以使用各種導電材料，諸如鉬、鈦、鉻、鈹、鎢、鋁、銅、鈳、鈳等金屬材料。

另外，當形成電極 131、電極 147 以及電極 149 時，較佳為對其表面進行加工來使其平坦。例如，當在包含開口的區域形成薄的鈦膜或氮化鈦膜，並以填埋該開口的方式形成鎢膜時，藉由此後進行 CMP 可以在去除鎢膜、鈦膜、氮化鈦膜等的不需要的部分的同時提高表面的平坦性。

接著，在層間絕緣膜 155、電極 131、電極 147 以及電極 149 上形成層間絕緣膜 157，在層間絕緣膜 157 中形成到達閘極電極 125 及閘極電極 143 的開口（未圖示），並且在該開口中形成電極 159。然後，在層間絕緣膜 157 及電極 159 上形成層間絕緣膜 161（參照圖 3C）。

層間絕緣膜 157 及層間絕緣膜 161 可以使用可用於層間絕緣膜 155 的材料利用與層間絕緣膜 155 同樣的方法形成。電極 159 可以使用可用於電極 131 等的材料利用與電極 131 等同樣的方法形成。

接著，在層間絕緣膜 161 中形成到達電極 159 的開口，並且在該開口中形成電極 163。可以在形成電極 163 的同時形成電極 165 及電極 167。然後，以填埋電極 163、電極 165 以及電極 167 之間的空間的方式形成絕緣膜 169。接著，在電極 163、電極 165、電極 167 以及絕緣膜 169 上形成第二氮化絕緣膜 113（參照圖 4A）。

電極 163、電極 165 以及電極 167 可以使用可用於電極 131 等的材料利用與電極 131 等同樣的方法形成。絕緣膜 169 可以藉由如下方法形成：使用可用於層間絕緣膜

155 的材料利用與層間絕緣膜 155 同樣的方法形成，並且直到電極 163、電極 165 以及電極 167 的表面露出為止進行 CMP 等拋光處理或蝕刻處理。

在此，對本發明的一個方式的第二氮化絕緣膜的形成方法進行說明。第二氮化絕緣膜 113 由含氫量低且緻密的氮化絕緣膜形成。可用於第二氮化絕緣膜 113 的氮化矽膜或氮氧化矽膜可以以如下條件形成。在電漿 CVD 設備的抽成真空的處理室中設置基板，將該基板的溫度保持為 300°C 以上且 400°C 以下，較佳為設定為 320°C 以上且 370°C 以下，對該處理室引入原料氣體，將處理室內的壓力設定為 20Pa 以上且 200Pa 以下，較佳為設定為 30Pa 以上且 100Pa 以下，對設置在處理室內的電極施加高頻功率。作為第二氮化絕緣膜 113 的原料氣體較佳為至少使用含有矽的沉積氣體及氮。含有矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。為了儘量不使形成的氮化絕緣膜含有氫，不使用含有氫的氮或者使用少量的氮作為原料氣體來形成第二氮化絕緣膜 113。例如，當使用電漿 CVD 設備形成第二氮化絕緣膜 113 時，將供應到抽成真空的處理室內的氮的流量設定為含有矽的沉積氣體的 10 倍以上且 100 倍以下，較佳為設定為 15 倍以上且 40 倍以下。另外，將氮的流量設定為含有矽的沉積氣體的 0.1 倍以上且小於 1 倍，較佳為設定為 0.2 倍以上且 0.75 倍以下。

藉由作為原料氣體使用氮，可以促進含有矽的沉積氣

體及氮的分解。這是因為如下緣故：氮因電漿能或熱能而離解，離解時產生的能量有助於含有矽的沉積氣體分子的結合及氮分子的結合的分解。由此可以形成不容易使氫透過且用作氫障壁膜的氮化矽膜。

較佳為將第二氮化絕緣膜 113 的厚度設定為足以充分能夠防止氫從電晶體 109 的下方擴散到電晶體 109 中的氧化物半導體膜 173 中的厚度。例如，將其設定為 5nm 以上且 100nm 以下，較佳為設定為 15nm 以上且 50nm 以下。

另外，當第二氮化絕緣膜 113 為作為原料氣體使用矽烷、氮以及氮而形成的氮化矽膜時，藉由加厚第二氮化絕緣膜 113 的厚度，可以提高耐 ESD 性能。例如，藉由將第二氮化絕緣膜 113 的厚度設定為 300nm 以上且 400nm 以下，可以將耐受電壓提高到 300V 以上。藉由提高耐 ESD 性能，可以提高半導體裝置的良率。

在半導體裝置中，當將鎢用於電極 163、電極 165 以及電極 167 時，在後面形成的絕緣膜 171 所包含的氧有可能擴散到電極 163、電極 165 以及電極 167 而不能充分減少在後面形成的氧化物半導體膜 173 中的氧缺陷。第二氮化絕緣膜 113 用作氫障壁膜，所以不容易使氫透過。另外，第二氮化絕緣膜 113 還不容易使具有比氫大的原子半徑的元素的氧透過。因此，第二氮化絕緣膜 113 可以抑制絕緣膜 171 所包含的氧擴散到電極 163、電極 165 以及電極 167 中，由此可以充分減少氧化物半導體膜 173 中的氧

缺陷。

藉由施加電壓，可以將電極 165 用作背閘極電極。例如，藉由對電極 165 施加 GND（或者固定電位），可以控制在後面形成的電晶體 109 的電特性。另外，電極 165 還具有靜電遮蔽功能。注意，當不需要利用電極 165 控制電晶體 109 的臨界值而使電晶體 109 具有常閉特性時，也可以不設置電極 165。另外，如果當將電晶體 109 用於某個電路的一部分且設置電極 165 時產生問題，則也可以在該電路中不設置電極 165。

接著，在第二氮化絕緣膜 113 上形成絕緣膜 171 及連接電極 172。然後，在絕緣膜 171 及連接電極 172 上形成氧化物半導體膜 174（參照圖 4B）。

另外，爲了將絕緣膜 171 用作電晶體 109 的基底絕緣膜，並減少氧化物半導體膜 173 中的氧缺陷，作爲絕緣膜 171 較佳爲使用含有氧的絕緣膜。例如，作爲絕緣膜 171 利用 CVD 法或濺射法等形成氧化矽膜、氧化鎵膜、氧化鉛膜、氧化鈮膜、氧化鋁膜等氧化物絕緣膜、氧氮化矽膜、氧氮化鋁膜等氧氮化絕緣膜或者氮氧化矽膜等氮化物絕緣膜的單層或者層疊有多個上述絕緣膜的疊層。

連接電極 172 可以使用可用於電極 131 的材料利用與電極 131 同樣的方法形成。另外，當對形成的層間絕緣膜進行 CMP 等拋光處理或蝕刻處理形成絕緣膜 171 時，直到連接電極 172 的表面露出爲止進行拋光處理或蝕刻處理。

尤其是，絕緣膜 171 較佳為包含其含氧量超過化學計量組成的區域（氧過剩區）。在絕緣膜 171 中，當與在後面形成的氧化物半導體膜 173 接觸的區域至少包含氧過剩區時，可以對氧化物半導體膜 174（或者氧化物半導體膜 173）供應氧，將絕緣膜 171 所包含的氧移動到氧化物半導體膜 174 中，由此可以填補氧缺陷。例如，可以藉由利用 CVD 法或濺射法在氧氛圍下形成氧化物絕緣膜，可以在絕緣膜 171 中形成氧過剩區。或者，也可以在形成絕緣膜 171 之後引入氧來形成氧過剩區。

另外，絕緣膜 171 也可以為其含氧量超過化學計量組成的氧化物絕緣膜。例如，藉由使用利用 TDS 法測定出的氧分子的釋放量為 1.0×10^{18} 分子/cm³ 以上的氧化物絕緣膜，可以填補氧化物半導體膜 174 中的氧缺陷的至少一部分。

氧化物半導體膜 174 較佳為至少包含銦（In）或鋅（Zn）。尤其較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體的電晶體的電特性偏差的穩定劑，較佳為除了包含上述元素以外，還包含選自鎵（Ga）、錫（Sn）、鈦（Hf）、鋯（Zr）、鈦（Ti）、釷（Sc）、釷（Y）、鑰系元素（例如，鈾（Ce）、釷（Nd）、釷（Gd））中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦、氧化錫、氧化鋅；含有兩種金屬的氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg

類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；含有三種金屬的氧化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；含有四種金屬的氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

在此，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，也可以使用表示為 $\text{InMO}_3 (\text{ZnO})_m$ ($m > 0$ 且 m 不是整數) 的材料。另外，M 表示選自 Ga、Fe、Mn 和 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。另外，作為氧化物半導體，也可以使用表示為 $\text{In}_2\text{SnO}_5 (\text{ZnO})_n$ ($n > 0$ 且 n 是整數) 的材料。

例如，可以使用原子數比為 In : Ga : Zn = 1 : 1 : 1、

In : Ga : Zn=3 : 1 : 2 或 In : Ga : Zn=2 : 1 : 3 的 In-Ga-Zn 類氧化物或具有與其相似的原子數比的氧化物作為靶材。

可以利用濺射法、塗敷法、脈衝雷射蒸鍍法、雷射燒蝕法等形成氧化物半導體膜 174。另外，藉由印刷法形成氧化物半導體膜 174，可以直接形成經過元件分離的氧化物半導體膜。在藉由濺射法形成氧化物半導體膜的情況下，作為用來產生電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置或 DC 電源裝置等。另外，作為濺射氣體，適當地使用稀有氣體（典型的是氫）、氧氣體、稀有氣體和氧的混合氣體。此外，當採用稀有氣體和氧的混合氣體時，較佳為增高氧氣體對稀有氣體的比例。

接著，在氧化物半導體膜 174 上形成遮罩，利用該遮罩進行蝕刻處理來形成氧化物半導體膜 173（參照圖 5A）。上述蝕刻處理可以使用乾蝕刻或濕蝕刻。或者，也可以組合乾蝕刻和濕蝕刻而使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻劑、蝕刻時間、溫度等），來將其蝕刻成所希望的形狀。

氧化物半導體膜 173 的厚度為 1nm 以上且 100nm 以下，較佳為 1nm 以上且 30nm 以下，更佳為 1nm 以上且 50nm 以下，進一步較佳為 3nm 以上且 20nm 以下。

較佳為至少在形成氧化物半導體膜 173 之前（即，在形成氧化物半導體膜 174 之後）或者在形成氧化物半導體膜 173 之後進行加熱處理使氧化物半導體膜 173（或氧化物半導體膜 174）脫氫化或者脫水化。該加熱處理的溫度

典型地為 150°C 以上且低於基板的應變點，較佳為 200°C 以上且 450°C 以下，更佳為 300°C 以上且 450°C 以下。

上述加熱處理可以在氮、氧、超乾燥空氣（含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。另外，上述氮、氧、超乾燥空氣或稀有氣體較佳為不含有氫或水等。或者，也可以在惰性氣體氛圍中進行加熱之後在氧氛圍中進行加熱。注意，處理時間為 3 分鐘至 24 小時。

作為用於上述加熱處理的加熱裝置，可以使用可用於形成第一氮化絕緣膜 111 之後的加熱處理的加熱裝置。藉由使用 RTA 裝置，只在短時間內可以以基板的應變點以上的溫度進行加熱處理。由此可以縮短加熱處理時間。

藉由進行上述加熱處理，可以使氧化物半導體膜 173（或氧化物半導體膜 174）脫氫化或脫水化，還可以將絕緣膜 171 所包含的氧移動到氧化物半導體膜 173（或氧化物半導體膜 174）中來減少氧化物半導體膜 173（或氧化物半導體膜 174）中的氧缺陷。

作為減少氧化物半導體膜 173 中的氧缺陷的方法，可以採用至少在形成氧化物半導體膜 173 之前（即，在形成氧化物半導體膜 174 之後）或者在形成氧化物半導體膜 173 之後將其暴露於在氧化氛圍下產生的電漿的方法。作為氧化氛圍，可以舉出氧、臭氧、一氧化二氮、二氧化氮等氛圍。再者，在電漿處理中，較佳為將氧化物半導體膜 173 暴露於在對基板 115 一側不施加偏壓的狀態下產生的

電漿。其結果，可以不使氧化物半導體膜 173 受損傷並對氧化物半導體膜 173 供應氧，由此可以減少氧化物半導體膜 173 所包含的氧缺陷。另外，藉由蝕刻處理可以去除殘留在氧化物半導體膜 173 的表面的雜質，諸如氟、氯等鹵素。另外，也可以在氧化物半導體膜 173 上設置有在後面形成的閘極絕緣膜 179 的狀態下將其暴露於上述電漿。

例如，對電漿 CVD 設備的反應室導入一氧化二氮，使用 27.12MHz 的高頻電源向設置在反應室中的上部電極供應 $2.5 \times 10^{-2} \text{W/cm}^2$ 的高頻功率來形成氧電漿，並將氧化物半導體膜 173 暴露於該氧電漿。

接著，以至少與氧化物半導體膜 173 及連接電極 172 接觸的方式形成導電膜，在該導電膜上形成遮罩，利用該遮罩進行蝕刻處理，由此形成源極電極 175 及汲極電極 177。接著，以至少與氧化物半導體膜 173、源極電極 175 以及汲極電極 177 接觸的方式形成閘極絕緣膜 179（參照圖 5B）。

源極電極 175 及汲極電極 177 具有由鋁、鈦、鉻、鎳、銅、鈮、銦、鋇、鉬、銀、鉭或鎢構成的金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例如，可以舉出如下結構：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在鎢膜上層疊鈦膜的兩層結構；在銅-鎂-鋁合金膜上層疊銅膜的兩層結構；在鈦膜或氮化鈦膜上層疊鋁膜或銅膜，在其上還形成鈦膜或氮化鈦膜的三層結構；以及在鉬膜或氮化鉬膜上層疊鋁膜或銅膜，在其上

還形成鉬膜或氮化鉬膜的三層結構等。另外，還可以使用包含氧化銻、氧化錫或氧化鋅的透明導電材料。此外，也可以使用以摻雜了磷等雜質元素的多晶矽膜為代表的半導體膜、矽化鎳等矽化膜。上述導電膜可以使用濺射法、CVD 法、蒸鍍法、電鍍法、印刷法或者噴墨法等形成。另外，對上述導電膜的厚度沒有特別的限制，可以根據形成時間及所希望的電阻率等而決定。

源極電極 175 與汲極電極 177 之間間隔為電晶體 109 的通道長度 L 。當使電晶體 109 的通道長度 L 短於 50nm，例如為 30nm 左右時，較佳為將使用電子束對抗蝕劑進行曝光並顯影而成的遮罩用作導電膜的蝕刻遮罩。電子束的加速電壓越高，可以得到越微細的圖案。另外，藉由使用多電子束 (multiple electron beams) 可以縮減每個基板的處理時間。在能夠照射電子束的電子束掃描裝置中，例如加速電壓較佳為 5kV 至 50kV。電流強度較佳為 $5 \times 10^{-12} \text{A}$ 至 $1 \times 10^{-11} \text{A}$ 。最小光束徑較佳為 2nm 以下。另外，能夠製造的圖案的最小線寬度較佳為 8nm 以下。根據上述條件，例如可以將圖案的寬度設定為 30nm 以下，較佳為 20nm 以下，更佳為 8nm 以下。

閘極絕緣膜 179 可以具有氧化矽膜、氧化鎵膜、氧化鎵鋅膜、 Ga_2O_3 (Gd_2O_3) 膜、氧化鋅膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或者氮氧化矽膜的單層結構或疊層結構。此外，還可以使用具有絕緣性的 In-Ga-Zn 類氧化物膜。例如，具有絕緣性的 In-Ga-Zn 類氧化物膜

在如下條件下形成即可：使用 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ [原子數比] 的氧化物靶材；將基板溫度設定為室溫；作為濺射氣體使用氫或氫及氧的混合氣體。另外，閘極絕緣膜 179 與絕緣膜 171 同樣地較佳為包含其含氧量超過化學計量組成的區域（氧過剩區）。另外，閘極絕緣膜 179 與絕緣膜 171 同樣地也可以使用其含氧量超過化學計量組成的氧化物絕緣膜形成。另外，也可以使用可用於第二氮化絕緣膜 113 的氮化絕緣膜形成閘極絕緣膜 179。另外，當作閘極絕緣膜 179 使用氧化鎵形成時，可以利用 MOCVD（Metal Organic Chemical Vapor Deposition：有機金屬氣相沉積）法形成。

此外，藉由作為閘極絕緣膜 179 使用矽酸鈣（ HfSiO_x ）膜、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ）膜、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ）膜、氧化鈣膜、氧化鈮膜等 high-k 材料的絕緣膜，可以降低電晶體 109 的閘極漏電流。

閘極絕緣膜 179 可以藉由濺射法、CVD 法、蒸鍍法等形成。較佳為將閘極絕緣膜 179 的厚度設定為 5nm 以上且 400nm 以下，較佳為設定為 10nm 以上且 300nm 以下，更佳為設定為 50nm 以上且 250nm 以下。

也可以在形成閘極絕緣膜 179 之後進行加熱處理。該加熱處理可以與用來使氧化物半導體膜 173 脫氫化或脫水化的加熱處理同樣地進行。藉由進行上述加熱處理，可以將閘極絕緣膜 179 所包含的氧移動到氧化物半導體膜 173

中來減少氧化物半導體膜 173 中的氧缺陷。

另外，在形成源極電極 175 及汲極電極 177 之後，爲了去除蝕刻殘渣，較佳爲進行洗滌處理。藉由進行上述洗滌處理，可以抑制源極電極 175 與汲極電極 177 之間的短路。該洗滌處理可以藉由使用 TMAH (Tetramethylammonium Hydroxide : 四甲基氫氧化銨) 溶液等鹼性溶液、氫氟酸、草酸等酸性的溶液或者水進行。

接著，在閘極絕緣膜 179 的與氧化物半導體膜 173 重疊的區域上形成閘極電極 181，在閘極絕緣膜 179 的與源極電極 175 重疊的區域上形成電極 183。可以藉由在閘極絕緣膜 179 上形成導電膜，在該導電膜上形成遮罩，利用該遮罩進行蝕刻處理來形成閘極電極 181 及電極 183 (參照圖 1A)。

閘極電極 181 及電極 183 可以使用可用於源極電極 175 及汲極電極 177 的導電材料利用同樣的方法形成。

此外，爲了實現常閉的切換元件，較佳爲將由具有 5eV (電子伏特) 以上，較佳爲 5.5eV (電子伏特) 以上的功函數的材料形成的膜設置在閘極電極 181 與閘極絕緣膜 179 之間，使電晶體的臨界電壓爲正值。明確而言，較佳爲將由具有 In-N 鍵且固有電阻爲 $1 \times 10^{-1} \Omega \cdot \text{cm}$ 至 $1 \times 10^{-4} \Omega \cdot \text{cm}$ ，較佳爲 $5 \times 10^{-2} \Omega \cdot \text{cm}$ 至 $1 \times 10^{-4} \Omega \cdot \text{cm}$ 的固有電阻的材料形成的膜設置在閘極電極 181 與閘極絕緣膜 179 之間。作爲上述材料的一個例子，可以舉出包含氮的 In-Ga-Zn 類氧化物膜、包含氮的 In-Sn-O 膜、包含氮的 In-

Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 In-O 膜、金屬氮化膜 (InN 等) 等。

在本發明的一個方式的半導體裝置中，也可以在閘極絕緣膜 179、閘極電極 181 及電極 183 上形成絕緣膜 185。當將電晶體 109 設置在半導體裝置的最上部時，較佳為使用可用於第二氮化絕緣膜 113 的氮化絕緣膜形成絕緣膜 185。藉由採用上述結構，可以抑制大氣中的氫（包括水等氫化合物）侵入半導體裝置內部，由此可以改善半導體裝置的電特性。此外，可以提高半導體裝置的可靠性。

也可以在形成絕緣膜 185 之後進行加熱處理。該加熱處理可以與用來使氧化物半導體膜 173 脫氫化或脫水化的加熱處理同樣地進行。藉由進行上述加熱處理，可以減少氧化物半導體膜 173 中的氧缺陷。

藉由上述製程，可以製造本發明的一個方式的半導體裝置。由於在半導體裝置中，可以將電極 165 用作電晶體 109 的背閘極電極，所以可以說電晶體 109 具有雙閘極結構。另外，第二氮化絕緣膜 113 及絕緣膜 171 用作背閘極電極的閘極絕緣膜。

另外，當不設置電極 165 時，電晶體 109 具有頂閘極結構。換言之，藉由改變佈局，可以在同一基板上製造雙閘極結構的電晶體及頂閘極結構的電晶體，而不改變製程數。

另外，在本發明的一個方式的半導體裝置中，電晶體

109 如電晶體 101 及電晶體 103 那樣可以設置有側壁。另外，氧化物半導體膜 173 也可以形成有具有比通道形成區高的導電率的區域。例如，可以藉由對氧化物半導體膜 173 的與源極電極 175 或汲極電極 177 接觸的區域添加雜質來形成導電率高的區域。作為上述雜質，可以使用硼、氮、氟、鋁、磷、砷、銻、錫、銻、氮、氬、氫、氦、氖等。另外，該導電率高的區域也可以形成有用作 LDD 的區域。

另外，本實施方式所示的半導體裝置中的電晶體 109 具有源極電極 175 及汲極電極 177 與氧化物半導體膜 173 的頂面接觸的結構，但是還可以具有源極電極 175 及汲極電極 177 與氧化物半導體膜 173 的底面接觸的結構。

另外，也可以適當地決定本發明的一個方式的半導體裝置中的電晶體的位置關係（平面佈局圖）。例如，也可以以電晶體 101 及電晶體 103 的通道形成區與電晶體 109 的通道形成區正交的方式設置各電晶體。

另外，不一定必須使所有的構成本發明的一個方式的半導體裝置的層間絕緣膜平坦化。換言之，適當地決定是否對層間絕緣膜進行 CMP 等拋光處理或蝕刻處理。

另外，本發明的一個方式的半導體裝置中的電晶體可以具有鰭型結構。鰭型結構是指半導體基板的一部分被加工為板狀的突起形狀，並且閘極電極以與突起形狀的長邊方向交叉的方式設置。該閘極電極隔著閘極絕緣膜覆蓋突起結構的頂面及側面。藉由使本發明的一個方式的半導體

裝置中的電晶體具有鱗型結構，可以縮小通道寬度 W 由此實現電晶體的積體化。此外，可以增大通態電流。再者，可以提高控制效率，由此可以降低電晶體的關態電流及臨界電壓的變動。

本發明的一個方式的半導體裝置採用電晶體 101 及電晶體 103 藉由電極 159 及電極 163 與電晶體 109 電連接的結構，但是也可以採用電晶體 101 的閘極電極 125 及電晶體 103 的閘極電極 143 直接與電晶體 109 的源極電極 175 接觸的結構。在此情況下，可以適當地不設置層間絕緣膜。

在本發明的一個方式的半導體裝置中，還可以在電晶體 109 上設置電晶體等半導體元件。在此情況下，適當地設置層間絕緣膜，以對應於電路的連接關係的方式在該層間絕緣膜中形成開口，在該開口中形成電極來使該半導體元件與電晶體 101、電晶體 103 或者電晶體 109 電連接，即可。

另外，本發明的一個方式的半導體裝置不侷限於相當於圖 1B 所示的電路圖的半導體裝置，只要是如下半導體裝置即可：相當於至少包含使用矽半導體的電晶體及使用氧化物半導體的電晶體的電路，並且具有在使用矽半導體的電晶體與使用氧化物半導體的電晶體之間設置有第一氮化絕緣膜及第二氮化絕緣膜的疊層結構。

如上所述，在本發明的一個方式的半導體裝置中，在使用矽半導體的電晶體上設置有含有氫且藉由加熱釋放氫

的第一氮化絕緣膜，並且在第一氮化絕緣膜與使用氧化物半導體的電晶體之間設置有具有比第一氮化絕緣膜低的含氫量且用作氫障壁膜的第二氮化絕緣膜。藉由設置第一氮化絕緣膜，可以利用半導體裝置的製程中的加熱處理安全且容易地對矽半導體進行氮化處理。另外，藉由設置第二氮化絕緣膜，可以抑制因半導體裝置的製程中的加熱處理而被釋放的氫擴散到氧化物半導體中。因此，根據本發明的一個方式，可以製造具有良好的電特性及高可靠性的半導體裝置。

〈半導體裝置的變形例子 1〉

參照圖 6 對實施方式 1 所示的半導體裝置的變形例子進行說明。當使用不容易使氧透過的導電膜形成電極 163、電極 165 以及電極 167 時，或者當層疊具有氧阻擋性的氧化物膜（鈮氧化物等）而形成電極 163、電極 165 以及電極 167 時，可以將第二氮化絕緣膜 113 設置在層間絕緣膜 161 與電極 163、電極 165 以及電極 167 之間（參照圖 6）。

〈半導體裝置的變形例子 2〉

參照圖 7 對實施方式 1 所示的半導體裝置的變形例子進行說明。圖 7 所示的半導體裝置與圖 1A 和圖 1B 所示的半導體裝置的不同點為第一氮化絕緣膜 111 與第二氮化絕緣膜 113 接觸。

明確而言，圖 7 所示的半導體裝置包含：位於下部的使用第一半導體材料的 n 通道電晶體的電晶體 101 與 p 通道電晶體的電晶體 103 電連接而成的 CMOS 電路 105；CMOS 電路 105 上的電容元件 107；使用第二半導體材料的 n 通道電晶體的電晶體 109；電晶體 101 及電晶體 103 與電晶體 109 之間的含有氫且藉由加熱釋放氫的第一氮化絕緣膜 111；以及層疊在第一氮化絕緣膜 111 上的具有比第一氮化絕緣膜 111 低的含氫量且用作氫障壁膜的第二氮化絕緣膜 113。

在基板 115 上以包圍電晶體 101 及電晶體 103 的方式設置有元件分離絕緣膜 151。另外，以覆蓋電晶體 101、電晶體 103 以及元件分離絕緣膜 151 的方式設置有絕緣膜 153。

在絕緣膜 153 上設置有層間絕緣膜 155。

在電極 163、電極 165、電極 167 以及絕緣膜 169 上設置有第一氮化絕緣膜 111。以與第一氮化絕緣膜 111 接觸的方式設置有第二氮化絕緣膜 113，並且在第二氮化絕緣膜 113 上設置有絕緣膜 171。

源極電極 175 藉由設置在形成在第一氮化絕緣膜 111、第二氮化絕緣膜 113 及絕緣膜 171 中的開口中的連接電極 172 與電極 163 接觸。源極電極 175 與電晶體 101 的閘極電極 125 及電晶體 103 的閘極電極 143 電連接。

汲極電極 177 藉由設置在形成在第一氮化絕緣膜 111、第二氮化絕緣膜 113 及絕緣膜 171 中的開口中的連

接電極 172 與電極 167 接觸。

其他結構與實施方式 1 同樣。

〈半導體裝置的的變形例子 2 的製造方法〉

接著，參照圖 4A 至圖 6、圖 8A、圖 8B、圖 8C 以及圖 9 對上述半導體裝置的變形例子的製造方法進行說明。

如圖 8A 所示，利用與實施方式 1 同樣的製程製造電晶體 101 及電晶體 103。接著，在電晶體 101 及電晶體 103 上形成絕緣膜 153。

接著，在絕緣膜 153 上形成層間絕緣膜 155。然後，形成電極 131、電極 147 以及電極 149（參照圖 8B）。

接著，在層間絕緣膜 155、電極 131、電極 147 以及電極 149 上形成層間絕緣膜 157，在層間絕緣膜 157 中形成到達閘極電極 125 及閘極電極 143 的開口（未圖示），並且在該開口中形成電極 159。然後，在層間絕緣膜 157 及電極 159 上形成層間絕緣膜 161（參照圖 8C）。

接著，在層間絕緣膜 161 中形成到達電極 159 的開口，並且在該開口中形成電極 163。可以在形成電極 163 的同時形成電極 165 及電極 167。然後，以填埋電極 163、電極 165 以及電極 167 之間的空間的方式形成絕緣膜 169。接著，在電極 163、電極 165、電極 167 以及絕緣膜 169 上形成第一氮化絕緣膜 111，並且在第一氮化絕緣膜 111 上形成第二氮化絕緣膜 113（參照圖 9）。

將第一氮化絕緣膜 111 的厚度設定為如下：其含氫量

足以至少能夠充分對電晶體 101 的通道形成區 117 及電晶體 103 的通道形成區 135 進行氫化處理的厚度。例如，將其設定為 50nm 以上且 1000nm 以下，較佳為設定為 100nm 以上且 500nm 以下。

第一氫化絕緣膜 111 可以利用與實施方式 1 所示的氫化絕緣膜 111 同樣的方法形成。

較佳為將第二氫化絕緣膜 113 的厚度設定為充分能夠防止從電晶體 109 的下方擴散到電晶體 109 中的氧化物半導體膜 173 中的氫的厚度。例如，將其設定為 5nm 以上且 100nm 以下，較佳為設定為 15nm 以上且 50nm 以下。

第二氫化絕緣膜 113 可以利用與實施方式 1 所示的第二氫化絕緣膜 113 同樣的方法形成。

此後，藉由與實施方式 1 同樣地進行圖 4B 至圖 6 的製程，可以製造絕緣膜 171、連接電極 172、電晶體 109、電容元件 107 以及絕緣膜 185。

〈半導體裝置的變形例子 3〉

另外，本發明的一個方式的半導體裝置可以具有如下結構：在半導體裝置的變形例子 2 中的第一氫化絕緣膜 111 與第二氫化絕緣膜 113 之間設置有與第一氫化絕緣膜 111 及第二氫化絕緣膜 113 接觸的氧化物絕緣膜。該氧化物絕緣膜可以為氧化矽膜或氧氮化矽膜。

在本發明的一個方式的半導體裝置中，第二氫化絕緣膜 113 由具有比第一氫化絕緣膜 111 低的氫濃度的緻密的

氮化絕緣膜形成。因此，第二氮化絕緣膜 113 用作氫障壁膜。當以與第二氮化絕緣膜 113 接觸的方式設置由含有氫的氮化絕緣膜形成的第一氮化絕緣膜 111 時，根據第二氮化絕緣膜 113 的形成方法，第一氮化絕緣膜 111 所包含的氫有可能混入第二氮化絕緣膜 113 而使其氫濃度增加。因此，如上所述，藉由在第一氮化絕緣膜 111 與第二氮化絕緣膜 113 之間設置氧化物絕緣膜，可以防止當形成第二氮化絕緣膜 113 時第一氮化絕緣膜 111 所包含的氫混入第二氮化絕緣膜 113，由此可以充分使第二氮化絕緣膜 113 發揮作為氫障壁膜的功能。

〈半導體裝置的變形例子 4〉

半導體裝置的變形例子 2 及變形例子 3 的結構不侷限於圖 7 所示的結構。例如，當使用不容易使氧透過的導電膜形成電極 163、電極 165 以及電極 167 時，或者當層疊具有氧阻擋性的氧化物膜（鈦氧化物等）而構成電極 163、電極 165 以及電極 167 時，可以將第一氮化絕緣膜 111 及第二氮化絕緣膜 113 設置在層間絕緣膜 161 與電極 163、電極 165 以及電極 167 之間（參照圖 10A）。另外，也可以採用在第一氮化絕緣膜 111 與第二氮化絕緣膜 113 之間設置有電極 163、電極 165 以及電極 167 的結構（參照圖 10B）。藉由採用上述結構，可以防止電極 163、電極 165 以及電極 167 的氧化，所以可以防止電極 163、電極 165 以及電極 167 的電阻值的上升。

注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施方式 2

作為本發明的一個方式的半導體裝置的其他例子，圖 11A 示出邏輯電路的 NOR 電路的剖面圖的一個例子。圖 11B 是對應於圖 11A 的 NOR 型電路的電路圖，圖 11C 是 NAND 電路的電路圖。

圖 11A 是 NOR 電路的一部分的剖面圖，明確而言，是 p 通道電晶體的電晶體 202 與 n 通道電晶體的電晶體 203 的剖面圖。此外，圖 12 示出該 NOR 電路的一部分的俯視圖。圖 11A 所示的剖面圖相當於圖 12 所示的俯視圖的鎖鏈線 XY 之間的剖面。在圖 12 所示的俯視圖中，為了容易理解，未圖示構成要素的一部分（電晶體 202、第一氮化絕緣膜 211、第二氮化絕緣膜 213、其他閘極絕緣膜以及層間絕緣膜等）。

本實施方式的半導體裝置的一部分的結構與實施方式 1 所說明的半導體裝置不同，可以藉由適當地使用實施方式 1 所說明的半導體裝置的製造方法而製造該半導體裝置。

換言之，本實施方式的半導體裝置包含多個電晶體，並且為了提高積體度在水平方向上層疊有上述電晶體中的幾個。另外，相當於圖 11B 所示的 NOR 電路圖的圖 11A

的半導體裝置在 p 通道電晶體的電晶體 201 及 p 通道電晶體的電晶體 202 上包含含有氫且藉由加熱釋放氫的第一氮化絕緣膜 211，並在第一氮化絕緣膜 211 與電晶體 203 及電晶體 204 之間包含具有比第一氮化絕緣膜 211 低的含氫量且用作氫障壁膜的第二氮化絕緣膜 213。

圖 11A 所示的半導體裝置具有如下結構：基板 200 使用單晶矽基板，在該單晶矽基板上形成電晶體 202，在電晶體 202 上層疊使用氧化物半導體的電晶體 203。雖然未圖示，但可以將電晶體 201 設置在形成有電晶體 202 的基板 200 上。此外，雖然未圖示，但也可以將使用氧化物半導體的電晶體 204 設置在電晶體 202 上。

設置在電晶體 202 上的第一氮化絕緣膜 211 的結構與實施方式 1 所說明的半導體裝置的第一氮化絕緣膜 111 相同。因此，在本實施方式所說明的半導體裝置中，也可以藉由加熱處理修復至少包含在形成有電晶體 201 及電晶體 202 的通道形成區的單晶矽基板中的缺陷（懸空鍵）。

設置在第一氮化絕緣膜 211 與電晶體 203 之間的第二氮化絕緣膜 213 的結構與實施方式 1 所說明的半導體裝置的第二氮化絕緣膜 113 相同。因此，在本實施方式所說明的半導體裝置中，也可以抑制存在於電晶體 203 的下方（包括第一氮化絕緣膜 211）的氫作為雜質擴散到電晶體 203 的氧化物半導體膜（至少通道形成區）中。

在圖 11A 中，電晶體 202 的結構與實施方式 1 所說明的半導體裝置的電晶體 103 相同。此外，電晶體 203 的結

構與實施方式 1 所說明的半導體裝置的電晶體 109 相同。因此，電晶體 202 及電晶體 203 的詳細內容可以參照實施方式 1。在此，對與實施方式 1 所說明的半導體裝置的結構不同的部分進行說明。另外，電晶體 201 及電晶體 204 的結構也與實施方式 1 所說明的半導體裝置的電晶體 103 及電晶體 109 相同。

藉由電極 231、電極 234 及連接電極 239，電晶體 202 的電極 225 與電晶體 203 的源極電極 245a 電連接。電極 231 設置在形成在層間絕緣膜 230 中的開口中，電極 234 設置在形成在層間絕緣膜 233 中的開口中。此外，藉由連接電極 239，電晶體 203 的汲極電極 245b 與電極 236 電連接。

電極 232 設置在形成在層間絕緣膜 230 中的開口（未圖示）中，電極 235 設置在形成在層間絕緣膜 233 中的開口中。

電晶體 203 的閘極電極 205 藉由電極 235 與電極 232 電連接，並且藉由上述電極與電晶體 202 的閘極電極電連接。此外，電晶體 203 的閘極電極 205 與電極 280 電連接，電極 280 與電極 242 電連接。另外，電極 280 包括第一阻擋金屬膜 286、第二阻擋金屬膜 287 以及由第一阻擋金屬膜 286 與第二阻擋金屬膜 287 圍繞的低電阻導電膜 288。

電極 280 可以藉由如下方法形成。首先，形成層間絕緣膜 285，在層間絕緣膜 285 中形成到達電極 242 的開

口，形成第一阻擋金屬膜 286，在其上形成低電阻導電膜 288。其次，爲了平坦化進行拋光處理，至少使低電阻導電膜 288 的表面露出。爲了保護露出的低電阻導電膜 288，形成第二阻擋金屬膜 287。

低電阻導電膜 288 可以使用銅膜或銅合金膜。第一阻擋金屬膜 286 及第二阻擋金屬膜 287 使用用來抑制包含在低電阻導電膜 288 中的銅的擴散的導電材料即可，例如，使用氮化鋁膜、氮化鈾膜、氮化鎢膜等形成。

另外，藉由施加電壓，可以將電極 237 用作電晶體 203 的背閘極電極。該電極 237 設置在層間絕緣膜 233 上且可以使用與電極 234、電極 235 及電極 236 相同的製程形成。

當爲了減少電晶體 203 的氧化物半導體膜 273 中的氧缺陷而使用含有氧的絕緣膜作爲層間絕緣膜 238 時，由於第二氮化絕緣膜 213 不容易使氫及氧透過，因而可以抑制層間絕緣膜 238 所包含的氧擴散到層間絕緣膜 238 的下方（例如，電極 234、電極 235、電極 236 以及電極 237），由此可以充分減少氧化物半導體膜 273 中的氧缺陷。因此，可以得到具有良好的電特性以及高可靠性的電晶體 203，並且可以得到具有良好的電特性以及高可靠性的半導體裝置。

因爲圖 11A 所示的半導體裝置包含將通道形成區形成於矽半導體區中且高速工作的電晶體與將通道形成區形成於氧化物半導體膜中且關態電流極小的電晶體，所以可以

進行高速工作，由此可以充分降低耗電量。

此外，圖 11A 至圖 12 所示的半導體裝置與實施方式 1 所說明的半導體裝置同樣，不侷限於圖 11A 至圖 12 所示的結構。例如，當使用不容易使氧透過的導電膜形成電極 234、電極 235、電極 236 以及電極 237 時，或者當層疊具有氧阻擋性的氧化物膜（鈦氧化物等）而形成電極 234、電極 235、電極 236 以及電極 237 時，可以將第二氮化絕緣膜 213 設置在層間絕緣膜 233 與電極 234、電極 235、電極 236 以及電極 237 之間（參照圖 13）。

在圖 11C 所示的 NAND 電路中，p 通道電晶體的電晶體 251 及 p 通道電晶體的電晶體 254 的結構與圖 1A 所示的電晶體 103 相同，上述電晶體 251 及電晶體 254 是將通道形成區形成於矽半導體區中的電晶體。另外，n 通道電晶體的電晶體 252 及 n 通道電晶體的電晶體 253 的結構與圖 1A 所示的電晶體 109 相同，使用將通道形成區形成於氧化物半導體膜中的電晶體。此外，電晶體 103 及電晶體 109 的詳細內容可以參照實施方式 1。另外，由於圖 11C 所示的 NAND 電路與圖 11B 所示的 NOR 電路的不同點僅在於連接關係，因此該 NAND 電路的剖面結構或該 NAND 電路中的電晶體的疊層結構可以參照上述記載。

〈半導體裝置的變形例子 1〉

圖 14A 和圖 14B 示出本實施方式所示的半導體裝置的變形例子。相當於圖 14A 所示的 NOR 電路圖的半導體

裝置包括：設置在 p 通道電晶體的電晶體 201 及 p 通道電晶體的電晶體 202 與電晶體 203 及電晶體 204 之間的第一氮化絕緣膜 211，該第一氮化絕緣膜 211 含有氫且藉由加熱釋放氫；層疊在第一氮化絕緣膜 211 上的第二氮化絕緣膜 213，該第二氮化絕緣膜 213 具有比第一氮化絕緣膜 211 低的含氫量且用作氫障壁膜。

此外，在圖 14A 至圖 14C 所示的半導體裝置中，當使用不容易使氧透過的導電膜形成電極 234、電極 235、電極 236 以及電極 237 時，或者當層疊具有氧阻擋性的導電膜形成電極 234、電極 235、電極 236 以及電極 237 時，可以將第二氮化絕緣膜 213 設置在層間絕緣膜 233 與電極 234、電極 235、電極 236 以及電極 237 之間（參照圖 15A）。另外，也可以採用將電極 234、電極 235 以及電極 236 設置在第一氮絕緣膜 211 與第二氮化絕緣膜 213 之間的結構（參照圖 15B）。

〈半導體裝置的變形例子 2〉

另外，在本實施方式中示出使用 NOR 電路及 NAND 電路的例子，但不侷限於此，也可以利用使用矽半導體的電晶體及使用氧化物半導體的電晶體而形成 AND 電路或 OR 電路等。例如，藉由利用使用矽半導體的電晶體及使用氧化物半導體的電晶體，可以製造如下半導體裝置（記憶體裝置），該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

圖 16 示出該半導體裝置（也稱為記憶元件或記憶單元）的電路圖。

在圖 16 中，第一佈線（1st Line）與 n 通道電晶體的電晶體 301 的源極電極電連接，第二佈線（2nd Line）與電晶體 301 的汲極電極電連接。電晶體 301 可以使用實施方式 1 所說明的電晶體 101 或電晶體 103。

另外，第三佈線（3rd Line）與電晶體 303 的源極電極和汲極電極中的一方電連接，第四佈線（4th Line）與電晶體 303 的閘極電極電連接。並且，電晶體 301 的閘極電極以及電晶體 303 的源極電極和汲極電極中的一方與電容元件 305 的電極中的一方電連接，第五佈線（5th Line）與電容元件 305 的電極中的另一方電連接。

電晶體 303 可以使用實施方式 1 所說明的電晶體 109。此外，電容元件 305 可以使用實施方式 1 所說明的電容元件 107。

在具有圖 16 所示的電路結構的半導體裝置中，藉由有效地利用能夠保持電晶體 301 的閘極電極的電位的特徵，可以如下所示那樣進行資訊的寫入、保持以及讀出。

對資訊的寫入及保持進行說明。首先，將第四佈線的電位設定為使電晶體 303 成為導通狀態的電位，使電晶體 303 成為導通狀態。由此，對電晶體 301 的閘極電極與電容元件 305 施加第三佈線的電位。換言之，對電晶體 301 的閘極電極施加規定的電荷（寫入）。在此，施加賦予兩種不同電位位準的電荷（以下，稱為 Low 位準電荷、

High 位準電荷) 中的任一種。其次，藉由將第四佈線的電位設定為使電晶體 303 成為關閉狀態的電位，使電晶體 303 成為關閉狀態，保持對電晶體 301 的閘極電極施加的電荷（保持）。

因為電晶體 303 的關態電流極小，所以電晶體 301 的閘極電極的電荷被長時間地保持。

接下來，對資訊的讀出進行說明。當在對第一佈線施加規定的電位（恆電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，第二佈線根據保持在電晶體 301 的閘極電極的電荷量具有不同的電位。這是因為一般而言，在電晶體 301 為 n 通道電晶體的情況下，對電晶體 301 的閘極電極施加 High 位準電荷時的外觀上的臨界值 V_{th_H} 低於對電晶體 301 的閘極電極施加 Low 位準電荷時的外觀上的臨界值 V_{th_L} 的緣故。在此，外觀上的臨界電壓是指為了使電晶體 301 成為“導通狀態”所需要的第五佈線的電位。因此，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 之間的電位 V_0 ，可以辨別施加到電晶體 301 的閘極電極的電荷。例如，在寫入中，當被供應 High 位準電荷時，如果第五佈線的電位為 $V_0 (>V_{th_H})$ ，則電晶體 301 成為“導通狀態”。當被供應 Low 位準電荷時，即使第五佈線的電位為 $V_0 (<V_{th_L})$ ，電晶體 301 也維持“關閉狀態”。因此，根據第二佈線的電位可以讀出所保持的資訊。

注意，當將記憶單元配置為陣列狀時，需要唯讀出所

希望的記憶單元的資訊。在如此不讀出資訊的情況下，對第五佈線施加不管閘極電極的狀態如何都使電晶體 301 成爲“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線施加不管閘極電極的狀態如何都使電晶體 301 成爲“導通狀態”的電位，即大於 V_{th_L} 的電位，即可。

圖 17 示出與圖 16 所示的半導體裝置不同的半導體裝置的一個方式的例子。

圖 17 是該半導體裝置的透視圖。在圖 17 所示的半導體裝置中，上部作爲記憶體電路具有包括多個記憶單元的多個層的記憶單元陣列（記憶單元陣列 401（1）至記憶單元陣列 401（n），n 是 2 以上的整數），下部具有用來使記憶單元陣列 401（1）至記憶單元陣列 401（n）工作所需要的邏輯電路 403。

在圖 17 中示出邏輯電路 403、記憶單元陣列 401（1）及記憶單元陣列 401（2），作爲典型例子示出記憶單元陣列 401（1）或記憶單元陣列 401（2）所包含的多個記憶單元中的記憶單元 405a 和記憶單元 405b。作爲記憶單元 405a 和記憶單元 405b，例如也可以採用與本實施方式所說明的圖 16 的電路結構相同的結構。

此外，包括在記憶單元 405a 和記憶單元 405b 中的電晶體使用將通道形成區形成於氧化物半導體膜中的電晶體。將通道形成區形成於氧化物半導體膜中的電晶體的結構與實施方式 1 所說明的結構相同。

另外，邏輯電路 403 包含將通道形成區形成於氧化物半導體以外的半導體材料中的電晶體。例如，可以使用實施方式 1 所說明的使用矽半導體的電晶體（電晶體 101 或電晶體 103）。

記憶單元陣列 401 (1) 至記憶單元陣列 401 (n) 及邏輯電路 403 其間隔著層間絕緣膜層疊，藉由貫穿層間絕緣膜的電極（包括佈線）適當地彼此電連接。

在本實施方式所示的半導體裝置中，藉由使用將通道形成區形成於氧化物半導體膜中的關態電流極小的電晶體，可以在極長期間保持儲存資料。換言之，因為不需要進行更新工作，或者，可以將更新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使在沒有電力供給的情況下（注意，較佳為固定電位），也可以在長期間保持儲存資料。

另外，在本實施方式所示的半導體裝置中，資訊的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，由於不像習知的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，因此根本不會發生閘極絕緣膜的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對習知的非揮發性記憶體的問題的能夠重寫的次數沒有限制，而使可靠性得到顯著提高。再者，因為根據電晶體的導通狀態或關閉狀態而進行資訊寫入，所以也可以容易實現高速工作。

如上所述，本實施方式所示的半導體裝置因為使用在

矽半導體膜中包括通道形成區且高速工作的電晶體與在氧化物半導體膜中包括通道形成區且關態電流極小的電晶體，所以可以進行高速工作，由此可以充分降低耗電量。此外，由於該半導體裝置包含含有氫且藉由加熱釋放氫的第一氮化絕緣膜，也包含具有比第一氮化絕緣膜低的含氫量且用作氫障壁膜的第二氮化絕緣膜，因此可以得到具有良好的電特性及高可靠性的半導體裝置。

另外，本實施方式所示的結構、方法等可以與其他實施方式及實施例所示的結構、方法等適當地組合而使用。

實施方式 3

在本實施方式中，說明在可以應用於上述實施方式所說明的半導體裝置且在使用氧化物半導體的電晶體中可以應用於氧化物半導體膜的一個方式。

在使用氧化物半導體的電晶體中，氧化物半導體膜較佳為由如下半導體構成：非晶氧化物半導體、單晶氧化物半導體、多晶氧化物半導體以及包括結晶部的氧化物半導體（C Axis Aligned Crystalline Oxide Semiconductor：CAAC-OS）。

CAAC-OS 是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部為能夠容納在一邊短於 100nm 的立方體的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部為能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物

半導體膜。下面，詳細說明 CAAC-OS 膜。

在利用透射電子顯微鏡（TEM：Transmission Electron Microscope）所得到的 CAAC-OS 膜的影像中，不能明確地觀察到結晶部與結晶部之間的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易產生起因於晶界的電子遷移率的降低。

由從大致平行於樣本面的方向利用 TEM 所得到的 CAAC-OS 膜的影像（剖面 TEM 影像）可知，在結晶部中金屬原子排列為層狀。各金屬原子層具有反映被形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。在本說明書中，“平行”是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態，因此也包括 -5° 以上且 5° 以下的角度的狀態。另外，“垂直”是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態，因此也包括 85° 以上且 95° 以下的角度的狀態。

另一方面，由從大致垂直於樣本面的方向利用 TEM 所得到的 CAAC-OS 膜的影像（平面 TEM 影像）可知，在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間沒有確認到金屬原子的排列的有序性。

由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，在藉由 out-of-plane 法

分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜的情況下，在繞射角度 (2θ) 為 31° 附近有時出現峰值。由於該峰值歸屬於 InGaZnO_4 結晶的 (009) 面，所以可以確認到 CAAC-OS 膜的結晶具有 c 軸配向性並且 c 軸在大致垂直於 CAAC-OS 膜的被形成面或頂面的方向上配向。

另一方面，在藉由從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜的情況下，在 2θ 為 56° 附近有時出現峰值。該峰值歸屬於 InGaZnO_4 結晶的 (110) 面。在此，假設樣本是 InGaZnO_4 的單晶氧化物半導體膜，在將 2θ 固定為 56° 附近的狀態下，一邊以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本一邊進行分析 (ϕ 掃描)，此時觀察到六個歸屬於等價於 (110) 面的結晶面的峰值。另一方面，在該樣本是 CAAC-OS 膜的情況下，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸在平行於被形成面或頂面的法線向量的方向上配向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於平行於結晶的 ab 面的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸在平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向上配向。由此，例如，在藉由蝕刻等改變 CAAC-OS 膜的形狀的情況

下，有時結晶的 c 軸未必平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的晶化度未必均勻。例如，在 CAAC-OS 膜的結晶部藉由從 CAAC-OS 膜的頂面近旁產生的結晶生長而形成的情況下，有時頂面附近的區域的晶化度高於被形成面附近的區域。另外，在對 CAAC-OS 膜添加雜質時，被添加雜質的區域的晶化度變化，有時部分性地形成晶化度不同的區域。

注意，在藉由 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜的情況下，除了 2θ 為 31° 附近的峰值之外，有時還觀察到 2θ 為 36° 附近的峰值。 2θ 為 36° 附近的峰值示出不具有 c 軸配向性的結晶包括在 CAAC-OS 膜的一部分中。較佳的是，CAAC-OS 膜在 2θ 為 31° 附近出現峰值並在 2θ 為 36° 附近不出現峰值。

另外，作為形成 CAAC-OS 膜的方法可以舉出如下三個方法。

第一個方法是：藉由在 100°C 以上且 450°C 以下的成膜溫度下形成氧化物半導體膜，形成包括在氧化物半導體膜中的結晶部的 c 軸在平行於被形成面的法線向量或表面的法線向量的方向上一致的結晶部。

第二個方法是：藉由在以薄厚度形成氧化物半導體膜之後進行 200°C 以上且 700°C 以下的加熱處理，形成包括在氧化物半導體膜中的結晶部的 c 軸在平行於被形成面的法線向量或表面的法線向量的方向上一致的結晶部。

第三個方法是：藉由在以薄厚度形成第一層氧化物半導體膜之後進行 200°C 以上且 700°C 以下的加熱處理，並形成第二層氧化物半導體膜，來形成包括在氧化物半導體膜中的結晶部的 c 軸在平行於被形成面的法線向量或表面的法線向量的方向上一致的結晶部。

在使用氧化物半導體的電晶體中，當將 CAAC-OS 應用於氧化物半導體膜的電晶體時，起因於可見光或紫外光的照射的電特性的變動小。因此，將 CAAC-OS 應用於氧化物半導體膜的電晶體具有高可靠性。

此外，CAAC-OS 膜較佳為使用多晶的氧化物半導體濺射靶材且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域沿著 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子有時剝離。此時，藉由使該平板狀或顆粒狀的濺射粒子在保持結晶狀態的情況下到達被形成面，可以形成 CAAC-OS 膜。

另外，為了形成 CAAC-OS 膜，較佳為採用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）的濃度即可。另外，可以降低成膜氣體中的雜質濃度即可。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

另外，藉由增高成膜時的被形成面加熱溫度（例如，

基板加熱溫度)，在濺射粒子到達被形成面之後發生濺射粒子的遷移。明確而言，在將被形成面加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的被形成面的溫度，當平板狀或顆粒狀的濺射粒子到達被形成面時，在該被形成面上發生遷移，濺射粒子的平坦的面附著到被形成面。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

藉由將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳比混合，並進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到多晶的 In-Ga-Zn 類金屬氧化物靶材。此外，也可以在冷卻或加熱的同時進行該加壓處理。另外，X、Y 及 Z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳比例如為 2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 或 3 : 1 : 2。另外，粉末的種類及混合粉末時的莫耳比可以根據所製造的濺射靶材適當地改變即可。

另外，在使用氧化物半導體的電晶體中，當將單晶氧化物半導體用作氧化物半導體膜時，也可以藉由形成 CAAC-OS 並對該 CAAC-OS 進行雷射照射處理而加熱，來形成單晶氧化物半導體。另外，可以使用連續波或脈衝振

盪的氣體雷射器或者固體雷射器進行雷射照射處理。氣體雷射器可以使用受激準分子雷射器、YAG 雷射器、 YVO_4 雷射器、YLF 雷射器、 YAlO_3 雷射器、玻璃雷射器、紅寶石雷射器、Ti：藍寶石雷射器等。固體雷射器可以使用利用如摻雜有 Cr、Nd、Er、Ho、Ce、Co、Ti 或 Tm 的 YAG、 YVO_4 、YLF 以及 YAlO_3 等結晶的雷射器。

另外，在使用氧化物半導體的電晶體中，氧化物半導體膜可以採用層疊有多個氧化物半導體膜的結構。例如，也可以作為氧化物半導體膜使用第一氧化物半導體膜與第二氧化物半導體膜的疊層結構，並且第一氧化物半導體膜所包含的金屬氧化物的組成與第二氧化物半導體膜不同。例如，第一氧化物半導體膜所包含的金屬原子的原子數比可以與第二氧化物半導體膜不同。或者，也可以作為氧化物半導體膜使用第一氧化物半導體膜與第二氧化物半導體膜的疊層結構，並且第一氧化物半導體膜所包含的金屬元素與第二氧化物半導體膜不同。另外，可以作為第一氧化物半導體膜及第二氧化物半導體膜適當地使用包含兩種金屬的氧化物、包含三種金屬的氧化物或者包含四種金屬的氧化物。

此外，也可以使第一氧化物半導體膜與第二氧化物半導體膜的構成元素相同，並使兩者的組成不同。例如，也可以將第一氧化物半導體膜的原子數比設定為 In：Ga：Zn=1：1：1，將第二氧化物半導體膜的原子數比設定為 In：Ga：Zn=3：1：2。另外，也可以將第一氧化物半導體

膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=1 : 3 : 2$ ，將第二氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=2 : 1 : 3$ 。此外，各氧化物半導體膜的原子數比作為誤差包括上述原子數比的 $\pm 20\%$ 的變動。

此時，較佳為將第一氧化物半導體膜與第二氧化物半導體膜中的離閘極電極近的一側（通道一側）的氧化物半導體膜的 In 與 Ga 的含量比設定為 $\text{In} > \text{Ga}$ 。另外，較佳為將離閘極電極遠的一側（背通道一側）的氧化物半導體膜的 In 與 Ga 的含量比設定為 $\text{In} \leq \text{Ga}$ 。

此外，在使用氧化物半導體的電晶體中，氧化物半導體膜也可以具有三層結構，使第一氧化物半導體膜至第三氧化物半導體膜的構成元素相同，並使各組成不同。例如，也可以將第一氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=1 : 3 : 2$ ，將第二氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=3 : 1 : 2$ ，將第三氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=1 : 1 : 1$ 。

In 的原子數比比 Ga 及 Zn 小的氧化物半導體膜（典型為原子數比為 $\text{In} : \text{Ga} : \text{Zn}=1 : 3 : 2$ 的第一氧化物半導體膜）與 In 的原子數比比 Ga 及 Zn 大的氧化物半導體膜（典型為第二氧化物半導體膜）以及 Ga 、 Zn 和 In 的原子數比相同的氧化物半導體膜（典型為第三氧化物半導體膜）相比，由於不易發生氧缺陷，因此可以抑制載子密度增加。此外，當原子數比為 $\text{In} : \text{Ga} : \text{Zn}=1 : 3 : 2$ 的第一氧化物半導體膜具有非晶結構時，第二氧化物半導體膜容

易成爲 CAAC-OS 膜。

另外，因爲第一氧化物半導體膜至第三氧化物半導體膜的構成元素相同，所以第一氧化物半導體膜與第二氧化物半導體膜的介面的缺陷能階（陷阱能階）少。因此，藉由採用上述結構的氧化物半導體膜，可以減少因電晶體的隨時間變化或光 BT 壓力測試而發生的臨界電壓變動。

在氧化物半導體中，由於重金屬的 s 軌道主要有助於載子傳導，且藉由增加 In 的含率增加 s 軌道的重疊率，因此具有 $In > Ga$ 的組成的氧化物的遷移率比具有 $In \leq Ga$ 的組成的氧化物高。另外，由於 Ga 的氧缺陷的形成能量比 In 大且 Ga 不易產生氧缺陷，因此具有 $In \leq Ga$ 的組成的氧化物與具有 $In > Ga$ 的組成的氧化物相比具有穩定的特性。

層疊有多個氧化物半導體膜的電晶體藉由在通道一側使用具有 $In > Ga$ 的組成的氧化物半導體膜，並在背通道一側使用具有 $In \leq Ga$ 的組成的氧化物半導體膜，可以進一步提高電晶體的場效應遷移率及可靠性。

另外，第一氧化物半導體膜至第三氧化物半導體膜也可以使用結晶性不同的氧化物半導體。換言之，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、非晶氧化物半導體及 CAAC-OS 的結構。此外，在第一氧化物半導體膜至第三氧化物半導體膜中的任一個使用非晶氧化物半導體時，可以緩和氧化物半導體膜的內部應力或外部應力，可以降低電晶體的特性不均勻，並可以進一步提

高電晶體的可靠性。

注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施方式 4

在本實施方式中，說明可以應用於包括在本發明的一個方式的半導體裝置中的使用氧化物半導體的電晶體的一個方式。

圖 18 示出其結構的一部分與上述實施方式所說明的使用氧化物半導體的電晶體不同的電晶體 110。另外，圖 18 只示出使用氧化物半導體的電晶體 110，省略使用矽半導體的電晶體及電容元件等，並對本實施方式所說明的電晶體 110 使用當說明圖 1A 所示的半導體裝置時使用的元件符號。

電晶體 110 包括具有基底絕緣膜的功能的絕緣膜 171、氧化物半導體膜 173、接觸於氧化物半導體膜 173 的源極電極 175 及汲極電極 177、層疊氧化物絕緣膜 178 與氮化絕緣膜 180 而形成的閘極絕緣膜 179、設置在閘極絕緣膜 179 上的閘極電極 181、覆蓋絕緣膜 171、源極電極 175、汲極電極 177、閘極絕緣膜 179 及閘極電極 181 的絕緣膜 184 及絕緣膜 185。

電晶體 110 與電晶體 109 的不同點如下。在源極電極 175 及汲極電極 177 的端部具有步階。閘極絕緣膜 179 在

與氧化物半導體膜 173 接觸的一側的表面設置有氧化物絕緣膜 178，並在氧化物絕緣膜 178 上層疊有氮化絕緣膜 180。此外，對閘極絕緣膜 179 進行蝕刻處理，並使源極電極 175 及汲極電極 177 的一部分露出。另外，層疊有絕緣膜 184 及絕緣膜 185。

由於電晶體 110 的和電晶體 109 的結構只有一部分不同，因此電晶體 110 可以適當地使用電晶體 109 的製造方法來製造。例如，加熱處理的時機等可以與電晶體 109 的製造方法相同。

在電晶體 110 中，絕緣膜 171 及氧化物半導體膜 173 可以與電晶體 109 同樣地形成。

在電晶體 110 中，源極電極 175 及汲極電極 177 可以使用可以應用於電晶體 109 的源極電極 175 及汲極電極 177 的導電膜來形成，藉由使用形成於該導電膜上的遮罩以得到所希望的通道長度 L 的方式對該導電膜進行加工形成導電膜，然後，藉由進行灰化處理等而縮小該遮罩，並使用縮小的遮罩進行加工，使該導電膜的端部具有步階。由此，可以提高絕緣膜對源極電極 175 及汲極電極 177 的端部的覆蓋性。

在電晶體 110 中，閘極絕緣膜 179 是氧化物絕緣膜 178 與氮化絕緣膜 180 的疊層，接觸於氧化物半導體膜 173 的氧化物絕緣膜 178 較佳為包括多於化學計量組成的量的氧的區域（氧過剩區），例如可以為包括多於化學計量組成的量的氧的區域（氧過剩區）的氧化矽膜或氧氮化

矽膜。另外，氮化絕緣膜 180 較佳為使用可以應用於第二氮化絕緣膜 113 的氮化絕緣膜形成。

可用作氧化物絕緣膜 178 的氧化矽膜或氧氮化矽膜可以採用如下形成條件形成。該形成條件是將安裝在電漿 CVD 設備的抽成真空的處理室內的基板的溫度保持為 180℃ 以上且 250℃ 以下，更佳為 180℃ 以上且 230℃ 以下，將原料氣體導入處理室並將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，更佳為設定為 100Pa 以上且 200Pa 以下，對設置在處理室內的電極供應 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下，更佳為 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高頻功率。此外，原料氣體使用包含矽的沉積氣體及氧化性氣體。

由於氮化絕緣膜 180 可以與第二氮化絕緣膜 113 同樣地形成，因此可以參照上述實施方式。

將加工為閘極電極 181 的導電膜形成於使用上述形成方法形成的氧化物絕緣膜及氮化絕緣膜上，將遮罩形成於該導電膜上，藉由使用該遮罩對該氧化物絕緣膜、氮化絕緣膜及該導電膜進行乾蝕刻等而同時進行加工，可以形成電晶體 110 的閘極絕緣膜 179 及閘極電極 181。

此外，當使用氮化矽膜形成閘極絕緣膜 179 中的氮化絕緣膜 180 時可以得到如下效果。由於氮化矽膜與氧化矽膜相比，相對介電常數高，且為了得到相等的靜電容量所需要的厚度大，因而可以在物理上加厚閘極絕緣膜。因此，可以抑制電晶體 110 的耐受電壓下降，進而可以藉由

提高耐受電壓來提高半導體裝置的耐 ESD 性能。因此，可以提高電晶體 110 的良率，由此可以提高半導體裝置的良率。

絕緣膜 184 可以與氧化物絕緣膜 178 同樣地形成，尤其是包括多於化學計量組成的量的氧的區域（氧過剩區）的氧化物絕緣膜是較佳的，例如可以為包括多於化學計量組成的量的氧的區域（氧過剩區）的氧化矽膜或氧氮化矽膜。

在電晶體 110 中，當氧化物絕緣膜 178 及絕緣膜 184 包括多於化學計量組成的量的氧的區域（氧過剩區）時，藉由在電晶體 110 的製程中進行加熱，可以減少氧化物半導體膜 173 中的氧缺陷。例如，當製造本實施方式所說明的電晶體 110 時，較佳為在形成絕緣膜 185 之後進行加熱處理。藉由減少氧缺陷，可以提高電晶體 110 的電特性及可靠性。由此，可以提高半導體裝置的電特性及可靠性。

由於絕緣膜 185 可以與第二氮化絕緣膜 113 同樣地形成，因此可以參照上述實施方式。因為可以應用於絕緣膜 185 的氮化矽膜不容易使氫透過，所以可以抑制來自外部的氫的侵入，並可以提高電晶體 110 的電特性及可靠性。由此，可以提高半導體裝置的電特性及可靠性。

此外，本實施方式所說明的電晶體 110 除了可應用於實施方式 1 及其變形例子所說明的半導體裝置所包含的電晶體之外，還可應用於包括在實施方式 2 及其變形例子所說明的半導體裝置中的使用氧化物半導體的電晶體。另

外，電晶體 110 設置在使用矽半導體的電晶體上，當與具有佈線的功能的電極電連接時，可以適當地改變電晶體 110 的源極電極 175 及汲極電極 177 的形狀。

注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施方式 5

在本實施方式中，作為本發明的一個方式的半導體裝置的一個例子，說明至少在其一部分中使用上述實施方式所說明的半導體裝置的 CPU（Central Processing Unit：中央處理單元）。

圖 19A 是示出 CPU 的具體結構的方塊圖。圖 19A 所示的 CPU 在基板 1190 上包含具有 ALU1191（ALU：Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、定時控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面（Bus I/F）1198、能夠重寫的 ROM1199 以及 ROM 介面（ROM I/F）1189。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 19A 所示的 CPU 只不過是簡化其結構而所示的一個例子，所以實際的 CPU 根據其用途具有各種各樣的結構。

藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指

令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195。

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在進行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

另外，定時控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作定時的信號。例如，定時控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈發生器，並將該內部時脈信號 CLK2 供應到上述各種電路。

在圖 19A 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元可以使用上述實施方式所說明的記憶單元。

在圖 19A 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。

在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

如圖 19B 或圖 19C 所示，可以藉由在記憶單元群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來進行電源的停止。以下對圖 19B 和圖 19C 的電路進行說明。

圖 19B 和圖 19C 示出作為用來控制對記憶單元供應電源電位的切換元件採用使用包含在上述實施方式所說明的半導體裝置中的氧化物半導體的電晶體的結構的一個例子。

圖 19B 所示的記憶體裝置包括切換元件 1141 以及包含多個記憶單元 1142 的記憶單元群 1143。明確而言，作為各記憶單元 1142 可以使用上述實施方式所說明的記憶單元。記憶單元群 1143 所包含的各記憶單元 1142 藉由切換元件 1141 被施加高位準的電源電位 VDD。並且，記憶單元群 1143 所包含的各記憶單元 1142 被施加有信號 IN 的電位和低位準的電源電位 VSS。

在圖 19B 中，作為切換元件 1141 可以採用使用包含在上述實施方式所說明的半導體裝置中的使用氧化物半導體的電晶體，並且該電晶體的開關被施加到其閘極電極的信號 SigA 控制。

雖然在圖 19B 中示出切換元件 1141 只包含一個電晶

體的結構，但是對其沒有特別的限制，也可以包含多個電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯，又可以將上述多個電晶體串聯，還可以組並聯和串聯。

此外，在圖 19B 中，由切換元件 1141 控制對記憶單元群 1143 所包含的各記憶單元 1142 供應高位準的電源電位 VDD，但是也可以由切換元件 1141 控制供應低位準的電源電位 VSS。

另外，圖 19C 示出記憶體裝置的一個例子，其中藉由切換元件 1141 對記憶單元群 1143 所包含的各記憶單元 1142 供應低位準的電源電位 VSS。可以由切換元件 1141 控制對記憶單元群 1143 所包含的各記憶單元 1142 供應低位準的電源電位 VSS。

即使在記憶單元群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來暫時停止 CPU 的工作而停止供應電源電壓，也能夠保持資料，從而可以降低耗電量。明確地說，例如，在個人電腦的使用者停止對鍵盤等輸入裝置輸入資料時，可以停止 CPU 的工作，由此可以降低耗電量。

在此，雖然以 CPU 為例子來說明，但是也可以將上述電晶體應用於 DSP (Digital Signal Processor: 數位信號處理器)、定製 LSI、FPGA (Field Programmable Gate Array: 現場可程式邏輯閘陣列) 等的 LSI。

以上，本實施方式所示的結構、方法等可以與其他實

施方式及實施例所示的結構、方法等適當地組合而使用。

實施方式 6

在本實施方式中，參照圖 20A 至圖 20C 對設置有上述實施方式所說明的半導體裝置的電子裝置的例子進行說明。上述實施方式所說明的半導體裝置包括使用具有良好開關特性的氧化物半導體的電晶體，因此可以降低電子裝置的耗電量。此外，利用氧化物半導體的特性的新穎的半導體裝置（例如，記憶元件或者記憶單元等記憶體裝置）允許具有新結構的電子裝置的實現。注意，根據上述實施方式所說明的半導體裝置可被單獨或與其他元件相結合地安裝在電路基板等上，並安裝在電子裝置中。

在很多情況下，結合了上述實施方式所說明的半導體裝置的積體電路，除了包括上述實施方式所說明的半導體裝置的構成要素之外，還包括諸如電阻器、電容器和線圈之類的多種電路元件。作為積體電路的例子可以舉出被高度積體的算術電路、轉換電路、放大電路、記憶體電路以及涉及這些電路中的任意的電路。

上述半導體裝置可被應用於電視機或顯示器等顯示裝置中的切換元件等。在這個情況下，較佳為在同一個基板上設置半導體裝置和驅動器電路。當然，還可以僅對顯示裝置的驅動器電路使用半導體裝置。

明確而言，作為電子裝置，可以舉出電視機或顯示器等顯示裝置、照明設備、臺式或膝上型個人電腦、文字處

理器、再現儲存在藍光光碟或 DVD (Digital Versatile Disc : 數位影音光碟) 等儲存介質中的靜態影像或動態影像的影像再現裝置、可攜式 CD 播放器、收音機、磁帶答錄機、頭戴式耳機、音響、無繩電話子機、步話機、便攜無線設備、手機、車載電話、可攜式遊戲機、計算器、可攜式資訊終端、電子筆記本、電子書閱讀器、電子翻譯器、聲音輸入器、攝影機、數位靜態照相機、電動剃鬚刀、微波爐等高頻加熱裝置、電鍋、洗衣機、吸塵器、空調設備諸如空調器、洗碗機、烘碗機、乾衣機、烘被機、電冰箱、電冷凍箱、電冷藏冷凍箱、DNA 保存用冰凍器、煙探測器、輻射計數器 (radiation counters)、透析裝置等醫療設備等。再者，還可以舉出工業設備諸如引導燈、信號機、傳送帶、電梯、自動扶梯、工業機器人、蓄電系統等。另外，利用使用石油的引擎或使用來自非水類二次電池的電力藉由電動機推進的移動體等也包括在電子裝置的範疇內。作為上述移動體，例如可以舉出電動汽車 (EV)、兼具內燃機和電動機的混合動力汽車 (HEV)、插電式混合動力汽車 (PHEV)、使用履帶代替這些的車輪的履帶式車輛、包括電動輔助自行車的電動自行車、摩托車、電動輪椅、高爾夫球車、小型或大型船舶、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船。圖 20A 至圖 20C 示出上述電子裝置的具體例子。

在圖 20A 的電視機 8000 中，外殼 8001 組裝有顯示部

8002，利用顯示部 8002 可以顯示影像，並且從揚聲器部 8003 可以輸出聲音。

作為顯示部 8002，可以使用液晶顯示裝置、在各個像素中具備有機 EL 元件等發光元件的發光裝置、電泳顯示裝置、DMD (Digital Micromirror Device：數位微鏡裝置)、PDP (Plasma Display Panel：電漿顯示面板) 等半導體顯示裝置。

電視機 8000 也可以具備接收機及數據機等。電視機 8000 可以藉由利用接收機，接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

此外，電視機 8000 也可以具備用來進行資訊通信的 CPU、記憶體等。電視機 8000 也可以使用上述實施方式所說明的記憶體及 CPU。

在圖 20A 中，包括室內機 8200 和室外機 8204 的空調器是使用上述實施方式所說明的 CPU 的電子裝置的一個例子。明確地說，室內機 8200 包括外殼 8201、送風口 8202、CPU8203 等。在圖 20A 中，例示出 CPU8203 設置在室內機 8200 中的情況，但是 CPU8203 也可以設置在室外機 8204 中。或者，在室內機 8200 和室外機 8204 的兩者中設置 CPU8203。藉由將上述實施方式所說明的 CPU 用於空調器的 CPU，可以實現低耗電量化。

在圖 20A 中，電冷藏冷凍箱 8300 是具備上述實施方

式所說明的 CPU 的電子裝置的一個例子。明確地說，電冷藏冷凍箱 8300 包括外殼 8301、冷藏室門 8302、冷凍室門 8303 及 CPU8304 等。在圖 20A 中，CPU8304 設置在外殼 8301 的內部。藉由將上述實施方式所說明的 CPU 用於電冷藏冷凍箱 8300 的 CPU8304，可以實現低耗電量化。

在圖 20B 中，示出電子裝置的一個例子的電動汽車的例子。電動汽車 9700 安裝有二次電池 9701。二次電池 9701 的電力由控制電路 9702 調整輸出而供應到驅動裝置 9703。控制電路 9702 由包含 ROM、RAM、CPU（未圖示）等的處理裝置 9704 控制。藉由將上述實施方式所說明的 CPU 用於電動汽車 9700 的 CPU，可以實現低耗電量化。

驅動裝置 9703 是單獨利用直流電動機或交流電動機，或者將電動機和內燃機組合而構成。處理裝置 9704 根據電動汽車 9700 的駕駛員的運算元據（加速、減速、停止等）、行車資料（爬坡、下坡等資料或者行車中的車輪受到的負載等）等的輸入資料，向控制電路 9702 輸出控制信號。控制電路 9702 利用處理裝置 9704 的控制信號調整從二次電池 9701 供應的電能控制驅動裝置 9703 的輸出。當安裝有交流電動機時，雖然未圖示，但是還安裝有將直流轉換為交流的反相器。

本實施方式所示的結構、方法等可以與其他實施方式及實施例所示的結構、方法等適當地組合而使用。

實施例 1

在本實施例中，說明可用作包含在本發明的一個方式的半導體裝置中且含有氫的第一氮化絕緣膜的氮化絕緣膜的評估結果。在此，說明可用作第一氮化絕緣膜的含有氫且釋放氫的氮化絕緣膜。

首先，對用來評估的樣本的製造方法進行說明。在本實施例中製造的樣本的結構為結構 1。在結構 1 中，在矽晶片 991 上設置有氮化矽膜 993（參照圖 21A）。

氮化矽膜 993 利用電漿 CVD 法以四個條件（條件 1 至條件 4）形成。以各個條件形成的樣本分別為樣本 A1 至樣本 A4。另外，在樣本 A1 至樣本 A4 中，將氮化矽膜 993 的厚度都設定為 50nm。

條件 1 為如下條件：將保持矽晶片 991 的溫度設定為 350°C，作為原料氣體使用 10sccm 的矽烷及 5000sccm 的氮，將處理室內的壓力設定為 260Pa，以 27.12MHz 對平行平板電極施加 100W（功率密度為 1.8W/cm²）的高頻功率。另外，氮的流量為矽烷的流量的 500 倍。

條件 2 為如下條件：將保持矽晶片 991 的溫度設定為 350°C，作為原料氣體使用 20sccm 的矽烷及 500sccm 的氮，將處理室內的壓力設定為 40Pa，以 27.12MHz 對平行平板電極施加 900W（功率密度為 1.8W/cm²）的高頻功率。另外，氮的流量為矽烷的流量的 25 倍。

除了作為原料氣體使用氮之外，條件 3 與條件 2 相同。將保持矽晶片 991 的溫度設定為 350°C，作為原料氣

體使用 20sccm 的矽烷、500sccm 的氮以及 10sccm 的氫，將處理室內的壓力設定為 40Pa，以 27.12MHz 對平行平板電極施加 900W（功率密度為 $1.93\text{W}/\text{cm}^2$ ）的高頻功率。另外，氮的流量為矽烷的流量的 25 倍，並且氮的流量為矽烷的流量的 0.5 倍。

條件 4 為改變條件 3 的氮流量的條件。在條件 4 中，將氮流量設定為 15sccm，其他條件與條件 3 相同。另外，氮的流量為矽烷的流量的 25 倍，並且氮的流量為矽烷的流量的 0.75 倍。

對樣本 A1 至樣本 A4 進行 TDS 分析。

下面，對利用 TDS 分析的氫分子的釋放量的測量方法進行說明。

利用 TDS 分析測定的氣體的釋放量與質譜的積分值成正比。因此，根據絕緣膜的質譜的積分值以及在標準樣本的基準值所占的比例，可以計算出氣體的釋放量。標準樣本的基準值是指包含規定的原子的樣本的在質譜的積分值中原子密度所占的比例。

例如，根據作為標準樣本的包含規定密度的氫的矽晶片的 TDS 分析結果及絕緣膜的 TDS 分析結果，使用算式 1 可以算出絕緣膜中的氫分子的釋放量（ N_{H_2} ）。在此，假定利用 TDS 分析來得到的被檢出為質量數 2 的所有質譜都來源於氫分子。另外，因為質量數為 1 以外的氫原子的同位素在自然界中的存在比例極低，所以不加考慮。

算式 1

$$N_{H_2} = \frac{N_{H_2(s)}}{S_{H_2(s)}} \times S_{H_2} \times \alpha$$

N_{H_2} 是氫分子的釋放量。 $N_{H_2(s)}$ 為以密度換算從標準樣本釋放的氫分子的值。 $S_{H_2(s)}$ 是當對標準樣本進行 TDS 分析時的質譜的積分值。在此，將標準樣本的基準值設定為 $N_{H_2(s)} / S_{H_2(s)}$ 。 S_{H_2} 是當對絕緣膜進行 TDS 分析時的質譜的積分值。 α 是影響到 TDS 分析中的質譜強度的係數。關於算式 1 的詳細情況，可以參照日本專利申請公開平第 6-275697 號公報。

另外，在本實施例中，樣本 A1 至樣本 A4 的氫的釋放量是使用電子科學株式會社製造的熱脫附分析裝置 EMD-WA1000S/W 以包含 1×10^{16} atoms/cm² 的氫原子的矽晶片為標準樣本來測定的。

圖 22A 示出具有結構 1 的樣本 A1 至樣本 A4 的 TDS 分析結果。在圖 22A 中，橫軸表示基板溫度，縱軸表示對應於氫分子的釋放量的 TDS 強度。注意，本 TDS 分析中的氫分子的檢測下限為 1.0×10^{21} 分子/cm³。

在樣本 A1 至樣本 A4 中，雖然在基板溫度為 300°C 以上且 600°C 以下的範圍內都確認到示出氫分子的釋放的峰值，但是，每個樣本的 TDS 強度都不一樣。換言之，每個樣本的氫的釋放量不同。

樣本 A1 的氫分子的釋放量為 6.6×10^{23} 分子/cm³，樣本 A2 的氫分子的釋放量為 1.1×10^{23} 分子/cm³，樣本 A3 的氫分子的釋放量為 7.4×10^{22} 分子/cm³，樣本 A4 的氫分

子的釋放量為 8.4×10^{22} 分子/cm³。

由圖 22A 確認到樣本 A1 的氫分子的 TDS 強度比樣本 A2 至樣本 A4 高。換言之，確認到樣本 A1 中的氮化矽膜 993 的含氫量比樣本 A2 至樣本 A4 多。由此可知，如作為樣本 A1 的條件的條件 1 那樣，藉由增加氮對矽烷的流量比，可以形成含有氫且藉由加熱能夠釋放氫的氮化絕緣膜。

如上所述，以條件 1 形成的氮化矽膜適用於包含在本發明的一個方式的半導體裝置中的第一氮化絕緣膜。

實施例 2

在本實施例中，說明可用作包含在本發明的一個方式的半導體裝置中且用作氫障壁膜的第二氮化絕緣膜的氮化絕緣膜的評估結果。在此，說明可用作第二氮化絕緣膜的不容易使氫透過且具有氫阻擋性的氮化絕緣膜。

對製造的樣本進行說明。在本實施例中製造的樣本的結構的一部分與實施例 1 所示的結構 1 不同，該結構為結構 2。在結構 2 中，在矽晶片 991 上設置有氮化矽膜 995，並且在氮化矽膜 995 上設置有氮化矽膜 993（參照圖 21B）。

氮化矽膜 995 可以以可用於第一氮化絕緣膜的形成條件利用電漿 CVD 法形成。明確而言，以實施例 1 所示的條件 1 形成氮化矽膜 995。氮化矽膜 993 以可用於第二氮化絕緣膜的形成條件利用電漿 CVD 法形成。

氮化矽膜 993 以四個條件（條件 5 至條件 8）形成。以各個條件形成的樣本分別為樣本 B1 至樣本 B4。另外，在樣本 B1 至樣本 B4 中，將氮化矽膜 993 及氮化矽膜 995 的厚度都設定為 50nm。

條件 5 為與實施例 1 所說明的條件 2 相同的條件。氮的流量為矽烷的流量的 25 倍。

條件 6 為與實施例 1 所說明的條件 3 相同的條件。另外，氮的流量為矽烷的流量的 25 倍，並且氮的流量為矽烷的流量的 0.50 倍。

條件 7 為與實施例 1 所說明的條件 4 相同的條件。即，條件 7 為改變條件 3 的氮流量的條件。另外，氮的流量為矽烷的流量的 25 倍，並且氮的流量為矽烷的流量的 0.75 倍。

條件 8 為改變實施例 1 所說明的條件 4 的氮流量的條件。明確而言，將條件 4 的氮流量設定為 20sccm。另外，氮的流量為矽烷的流量的 25 倍，並且氮的流量為矽烷的流量的 1.0 倍。

與實施例 1 同樣地對樣本 B1 至樣本 B4 進行 TDS 分析。

在結構 2 中，由於氮化矽膜 995 為以條件 1 形成的釋放氫的氮化矽膜，所以藉由比較樣本 B1 至樣本 B4 的對應於氫的釋放的 TDS 強度，可以評估氮化矽膜 993 是否用作氫障壁膜。

圖 22B 示出樣本 B1 至樣本 B4 的 TDS 分析結果。

從圖 22B 確認到樣本 B4 的 TDS 強度比樣本 B1 至樣本 B3 的 TDS 強度高。另外，用作氮化矽膜 993 的原料氣體的氮的流量越多，TDS 強度越高。

另外，雖然在樣本 B1 至樣本 B3 中設置有釋放氫的氮化矽膜 995，但是圖 22B 所示的 TDS 強度與實施例 1 所示的樣本 A2 至樣本 A4 的 TDS 強度大致相同。換言之，樣本 B1 至樣本 B3 的氮化矽膜 993 為不容易使氫透過的氮化矽膜。因此，如實施方式 1 所說明，藉由將用作原料氣體的氮的流量設定為矽烷的 10 倍以上且 100 倍以下（較佳為 15 倍以上且 40 倍以下），並將氫的流量設定為矽烷的 0.1 倍以上且小於 1 倍（較佳為 0.2 倍以上且 0.75 倍以下）來形成氮化矽膜，可以形成不容易使氫透過且具有氫阻擋性的氮化矽膜。

如上所述，藉由本發明的一個方式的形成方法形成的氮化矽膜適用於包含在本發明的一個方式的半導體裝置中且用作氫障壁膜的氮化絕緣膜。

實施例 3

由實施例 2 可知，以條件 5、條件 6 或條件 7 形成的氮化矽膜 993 為不容易使氫透過且具有氫阻擋性的氮化矽膜。在本實施例中，說明這種氮化矽膜的折射率、膜密度、蝕刻速度以及膜中的氫濃度的評估結果。

所製造的樣本的結構為實施例 1 所說明的結構 1（參照圖 21A）。氮化矽膜 993 以實施例 2 所說明的條件 5 至

條件 8 利用電漿 CVD 法形成。在本實施例中，以條件 5 至條件 8 製造的樣本分別為樣本 C1 至樣本 C4。另外，在樣本 C1 至樣本 C4 中，將氮化矽膜 993 的厚度都設定為 50nm。

利用光譜橢圓偏振測定樣本 C1 至樣本 C4 的氮化矽膜 993 的波長為 633nm 的光的折射率。膜密度藉由 X 射線反射法測定。並且，測定在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫時的蝕刻速度。

對樣本 C1 至樣本 C4 進行上述各種測定。圖 23A 示出樣本 C1 至樣本 C4 的氮化矽膜 993 的折射率。圖 23B 示出樣本 C1 至樣本 C4 的氮化矽膜 993 的膜密度。圖 24 示出樣本 C1 至樣本 C4 的氮化矽膜 993 的蝕刻速度。

圖 23A 為示出當形成氮化矽膜 993 時供應的矽烷及氨的流量比與各樣本的折射率之間的關係的圖表。圖 23B 為示出當形成氮化矽膜 993 時供應的矽烷及氨的流量比與各樣本的膜密度之間的關係的圖表。圖 24 為示出當形成氮化矽膜 993 時供應的矽烷及氨的流量比與各樣本的蝕刻速度之間的關係的圖表。另外，在圖 23A、圖 23B 以及圖 24 中，當形成樣本 C1 時不供應氨。

不容易使氫透過的氮化矽膜（樣本 C1 至樣本 C3）的折射率為 1.95 以上（參照圖 23A），膜密度為 2.75g/cm^3 以上（參照圖 23B），蝕刻速度大致慢於 2.0nm/分 （參照圖 24）。

接著，說明改變結構 1 的樣本中的氮化矽膜 993 的形

成條件製造的樣本的評估結果。評估專案為折射率、膜密度、蝕刻速度以及氮化矽膜 993 中的氫濃度。

在此，以四個條件（條件 9 至條件 12）形成氮化矽膜 993。以條件 9 至條件 12 製造的樣本分別為樣本 D1 至樣本 D4。

條件 9 為如下條件：將保持矽晶片 991 的溫度設定為 350°C，作為原料氣體使用 200sccm 的矽烷及 5000sccm 的氮，將處理室內的壓力設定為 100Pa，以 27.12MHz 對平行平板電極施加 2000W（功率密度為 $3.0 \times 10^{-1} \text{W/cm}^2$ ）的高頻功率。另外，氮的流量為矽烷的流量的 25 倍。

條件 10 為如下條件：將保持矽晶片 991 的溫度設定為 350°C，作為原料氣體使用 200sccm 的矽烷、2000sccm 的氮以及 100sccm 的氫，將處理室內的壓力設定為 100Pa，以 27.12MHz 對平行平板電極施加 2000W（功率密度為 $3.0 \times 10^{-1} \text{W/cm}^2$ ）的高頻功率。另外，氮的流量為流量的矽烷的 10 倍，並且氫的流量為矽烷的流量的 0.5 倍。

條件 11 為將條件 10 的氮流量設定為 500sccm 的條件。另外，氮的流量為矽烷的流量的 10 倍，並且氫的流量為矽烷的流量的 2.5 倍。

條件 12 為將條件 10 的氮流量設定為 2000sccm 的條件。另外，氮的流量為矽烷的流量的 10 倍，並且氫的流量為矽烷的流量的 10 倍。

對樣本 D1 至樣本 D4 進行各種測定。利用光譜橢圓

偏振測定樣本 D1 至樣本 D4 的氮化矽膜 993 的波長為 633nm 的光的折射率。膜密度藉由 X 射線反射法測定。並且，測定在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫時的蝕刻速度。

圖 25A 示出樣本 D1 至樣本 D4 的折射率。圖 25B 示出各樣本的膜密度。圖 26 示出各樣本的蝕刻速度。

確認到樣本 D1 及樣本 D2 的折射率為 1.95 以上（參照圖 25A），膜密度為 2.75g/cm³ 以上（參照圖 25B），蝕刻速度大致慢於 2.0nm/分（參照圖 26）。

接著，製造具有結構 1 的樣本，其中以條件 9、條件 10 以及條件 12 形成 300nm 厚的氮化矽膜 993。以條件 9、條件 10 以及條件 12 製造的樣本分別為樣本 E1、樣本 E2 以及樣本 E3。

利用盧瑟福背散射分析測定樣本 E1 至樣本 E3 中的氮化矽膜 993 中的氫濃度。表 1 示出其結果。

[表 1]

	Si [atomic%]	N [atomic%]	H [atomic%]	O [atomic%]
樣本 E1	39.5	50.6	9.9	檢測下限
樣本 E2	36.2	50.3	13.5	檢測下限
樣本 E3	31.6	47.6	20.8	檢測下限

由表 1 可知，包含不容易使氫透過的氮化矽膜的樣本 E1 及樣本 E2 中的氮化矽膜中的氫濃度為 15atomic% 以下。另外，由於原料氣體中的氮對矽烷的流量比多（明確

而言，氮的流量為矽烷的流量的 10 倍），所以包含釋放氮的氮化矽膜的樣本 E3 中的氮化矽膜中的氮濃度為 20atomic%以上。

如上所述，適用於包含在本發明的一個方式的半導體裝置中的第一氮化絕緣膜的氮化矽膜的氮濃度為 10atomic%以上且 15atomic%以下。另外，適用於包含在本發明的一個方式的半導體裝置中且用作氮障壁膜的第二氮化絕緣膜的氮化矽膜的氮濃度為 20atomic%以上且 25atomic%以下，上述氮濃度是利用盧瑟福背散射分析測定的值。

【符號說明】

101：電晶體

103：電晶體

105：CMOS 電路

107：電容元件

109：電晶體

110：電晶體

111：氮化絕緣膜

113：氮化絕緣膜

115：基板

117：通道形成區

119：雜質區

121：高濃度雜質區

- 123 : 閘極絕緣膜
- 125 : 閘極電極
- 129 : 側壁
- 131 : 電極
- 133 : n 阱
- 135 : 通道形成區
- 137 : 雜質區
- 139 : 高濃度雜質區
- 141 : 閘極絕緣膜
- 143 : 閘極電極
- 145 : 側壁
- 147 : 電極
- 149 : 電極
- 151 : 元件分離絕緣膜
- 153 : 絕緣膜
- 155 : 層間絕緣膜
- 157 : 層間絕緣膜
- 159 : 電極
- 161 : 層間絕緣膜
- 163 : 電極
- 165 : 電極
- 167 : 電極
- 169 : 絕緣膜
- 171 : 絕緣膜

- 172 : 連接電極
- 173 : 氧化物半導體膜
- 174 : 氧化物半導體膜
- 175 : 源極電極
- 177 : 汲極電極
- 178 : 氧化物絕緣膜
- 179 : 閘極絕緣膜
- 180 : 氮化絕緣膜
- 181 : 閘極電極
- 183 : 電極
- 184 : 絕緣膜
- 185 : 絕緣膜
- 200 : 基板
- 201 : 電晶體
- 202 : 電晶體
- 203 : 電晶體
- 204 : 電晶體
- 205 : 閘極電極
- 211 : 氮化絕緣膜
- 213 : 氮化絕緣膜
- 225 : 電極
- 230 : 層間絕緣膜
- 231 : 電極
- 232 : 電極

- 233 : 層間絕緣膜
- 234 : 電極
- 235 : 電極
- 236 : 電極
- 237 : 電極
- 238 : 層間絕緣膜
- 239 : 連接電極
- 242 : 電極
- 245a : 源極電極
- 245b : 汲極電極
- 251 : 電晶體
- 252 : 電晶體
- 253 : 電晶體
- 254 : 電晶體
- 273 : 氧化物半導體膜
- 280 : 電極
- 285 : 層間絕緣膜
- 286 : 阻擋金屬膜
- 287 : 阻擋金屬膜
- 288 : 低電阻導電膜
- 301 : 電晶體
- 303 : 電晶體
- 305 : 電容元件
- 401 : 記憶單元陣列

403 : 邏輯電路
405a : 記憶單元
405b : 記憶單元
991 : 矽晶片
993 : 氮化矽膜
995 : 氮化矽膜
1141 : 切換元件
1142 : 記憶單元
1143 : 記憶單元群
1189 : ROM 介面
1190 : 基板
1191 : ALU
1192 : ALU 控制器
1193 : 指令解碼器
1194 : 中斷控制器
1195 : 時序控制器
1196 : 暫存器
1197 : 暫存器控制器
1198 : 匯流排介面
1199 : ROM
3401 : 記憶單元陣列
8000 : 電視機
8001 : 外殼
8002 : 顯示部

- 8003 : 揚聲器部
- 8200 : 室內機
- 8201 : 外殼
- 8202 : 送風口
- 8203 : CPU
- 8204 : 室外機
- 8300 : 電冷藏冷凍箱
- 8301 : 外殼
- 8302 : 冷藏室門
- 8303 : 冷凍室門
- 8304 : CPU
- 9700 : 電動汽車
- 9701 : 二次電池
- 9702 : 控制電路
- 9703 : 驅動裝置
- 9704 : 處理裝置

申請專利範圍

1. 一種半導體裝置，包括：

包括包含第一通道形成區的矽半導體膜的第一電晶體；

該第一電晶體上的包括第一氮化絕緣膜及第二氮化絕緣膜的絕緣膜；

該絕緣膜上的包括包含第二通道形成區的氧化物半導體膜的第二電晶體；以及

在該第二電晶體上的第三氮化絕緣膜，

其中，該第二氮化絕緣膜設置在該第一氮化絕緣膜與該氧化物半導體膜之間，

其中，該第二氮化絕緣膜的氮濃度低於該第一氮化絕緣膜的氮濃度，

其中，在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫進行蝕刻的情況下，該第二氮化絕緣膜的蝕刻速度為 2.0nm/分以下，並且

其中，在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫進行蝕刻的情況下，該第三氮化絕緣膜的蝕刻速度為 2.0nm/分以下。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該第一氮化絕緣膜的氮濃度為 20atomic% 以上且 25atomic% 以下。

3. 根據申請專利範圍第 1 項之半導體裝置，其中該第二氮化絕緣膜與該第一氮化絕緣膜接觸。

4. 根據申請專利範圍第 1 項之半導體裝置，其中該第一電晶體及該第二電晶體都具有頂閘極結構。

5. 根據申請專利範圍第 1 項之半導體裝置，其中該絕緣膜還包括氧化物絕緣膜，該氧化物絕緣膜在該第一氮化絕緣膜與該第二氮化絕緣膜之間且接觸於該第一氮化絕緣膜及該第二氮化絕緣膜。

6. 一種半導體裝置，包括：

包括包含第一通道形成區的矽半導體膜的第一電晶體；

該第一電晶體上的絕緣膜，該絕緣膜包括第一氮化絕緣膜及該第一氮化絕緣膜上的第二氮化絕緣膜；

該絕緣膜上的第二電晶體，該第二電晶體包括第一電極、第二電極及包含第二通道形成區的氧化物半導體膜；
以及

在該第二電晶體上的第三氮化絕緣膜，

其中，該第一電極和該第二電極都與該第二通道形成區重疊，

該第一電極與該第二氮化絕緣膜接觸，

其中，該第二氮化絕緣膜的氫濃度低於該第一氮化絕緣膜的氫濃度，

其中，在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫進行蝕刻的情況下，該第二氮化絕緣膜的蝕刻速度為 2.0nm/分以下，並且

其中，在 20°C 以上且 25°C 以下的溫度下使用 0.5wt%

氟化氫進行蝕刻的情況下，該第三氮化絕緣膜的蝕刻速度為 2.0nm/分以下。

7. 根據申請專利範圍第 1 或 6 項之半導體裝置，其中該氧化物半導體膜包括銻、鎵、及鋅。

8. 一種半導體裝置，包括：

包括包含第一通道形成區的矽半導體膜的第一電晶體；

該第一電晶體上的絕緣膜，該絕緣膜包括第一氮化絕緣膜及該第一氮化絕緣膜上且接觸於該第一氮化絕緣膜的第二氮化絕緣膜；

該絕緣膜上的第二電晶體，該第二電晶體包括第一電極、第二電極及包含第二通道形成區的氧化物半導體膜；以及

在該第二電晶體上的第三氮化絕緣膜，

其中，該第一電極和該第二電極都與該第二通道形成區重疊，

該第一電極與該第一氮化絕緣膜接觸，

其中，該第二氮化絕緣膜的氫濃度低於該第一氮化絕緣膜的氫濃度，

其中，在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫進行蝕刻的情況下，該第二氮化絕緣膜的蝕刻速度為 2.0nm/分以下，並且

其中，在 20°C 以上且 25°C 以下的溫度下使用 0.5wt% 氟化氫進行蝕刻的情況下，該第三氮化絕緣膜的蝕刻速度

為 2.0nm/分以下。

9. 根據申請專利範圍第 1、6 或、8 項之半導體裝置，其中該第二氮化絕緣膜的密度為 2.75g/cm^3 以上。

10. 根據申請專利範圍第 1、6 或、8 項之半導體裝置，其中該第二氮化絕緣膜的氮濃度為 10atomic% 以上且 15atomic% 以下。

圖式

圖 1A

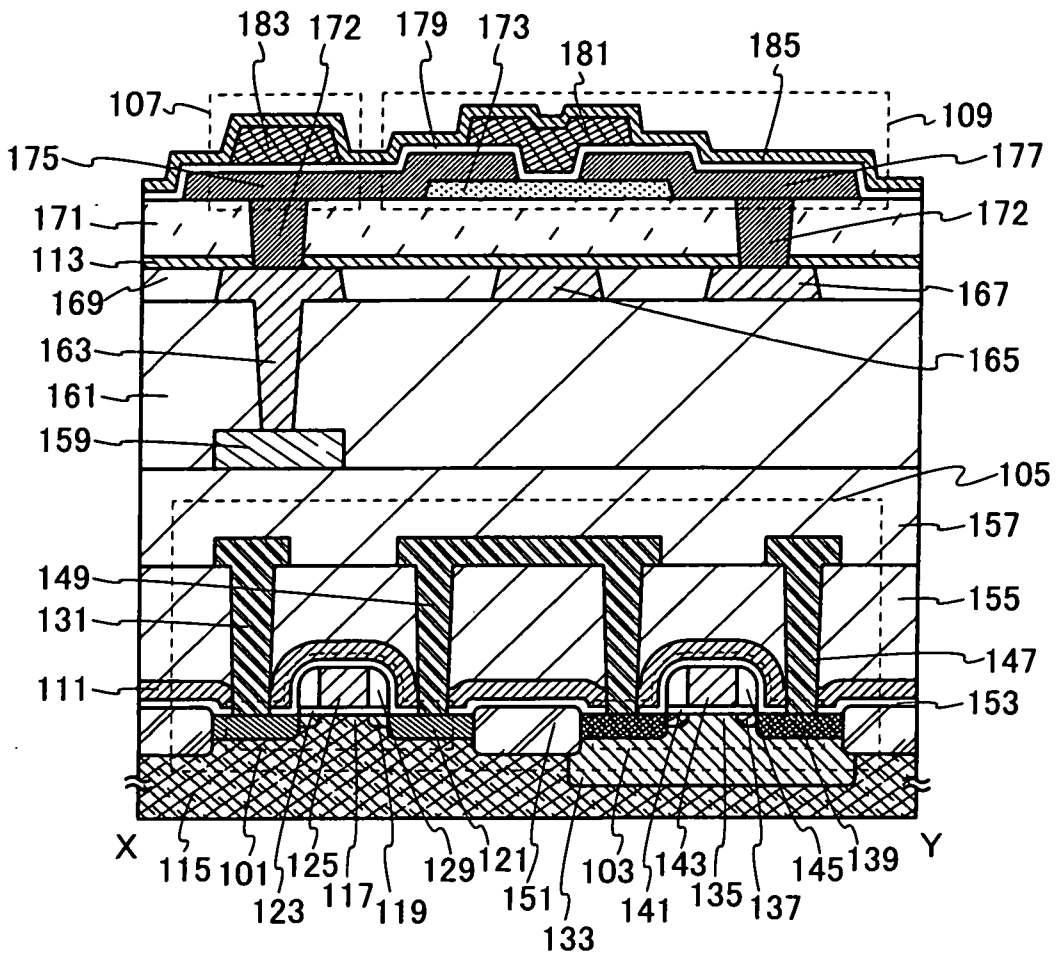


圖 1B

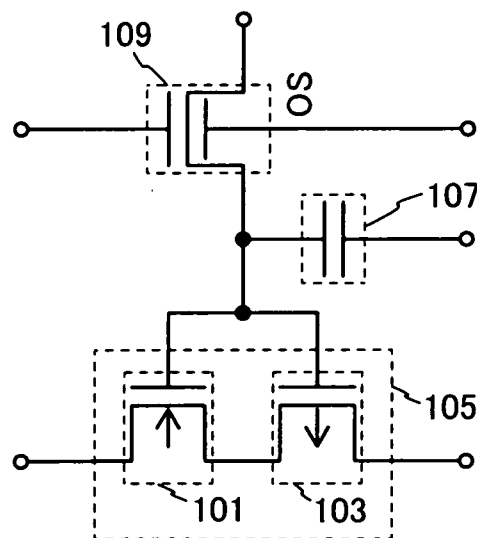


圖 2

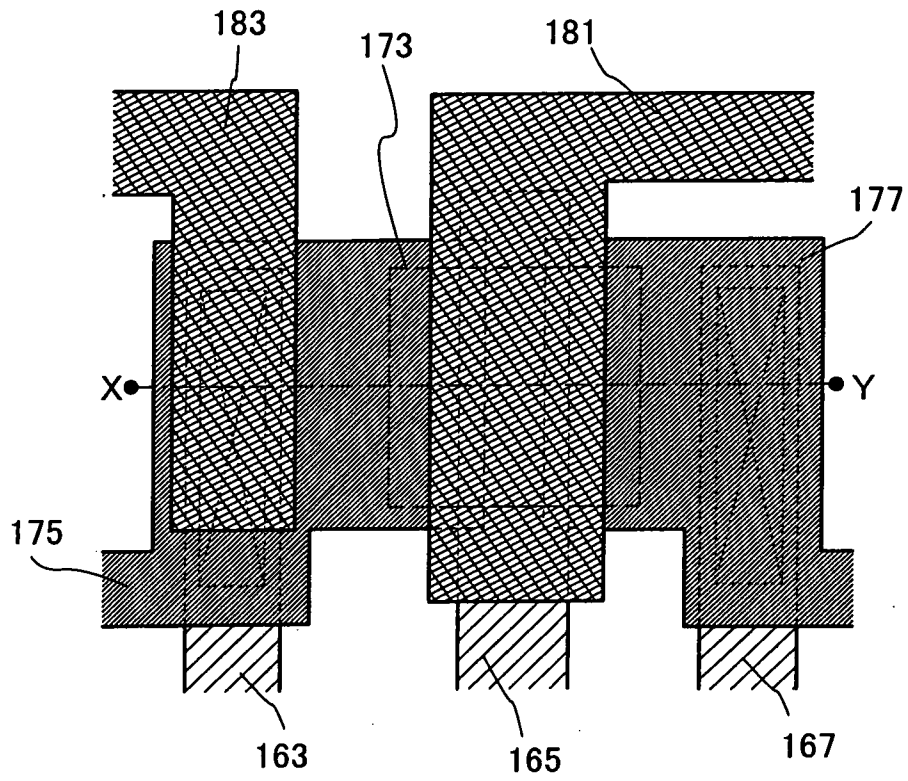


圖 3A

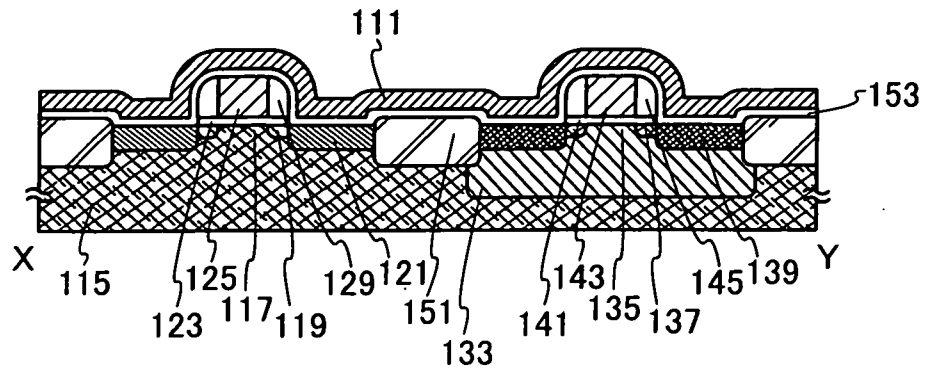


圖 3B

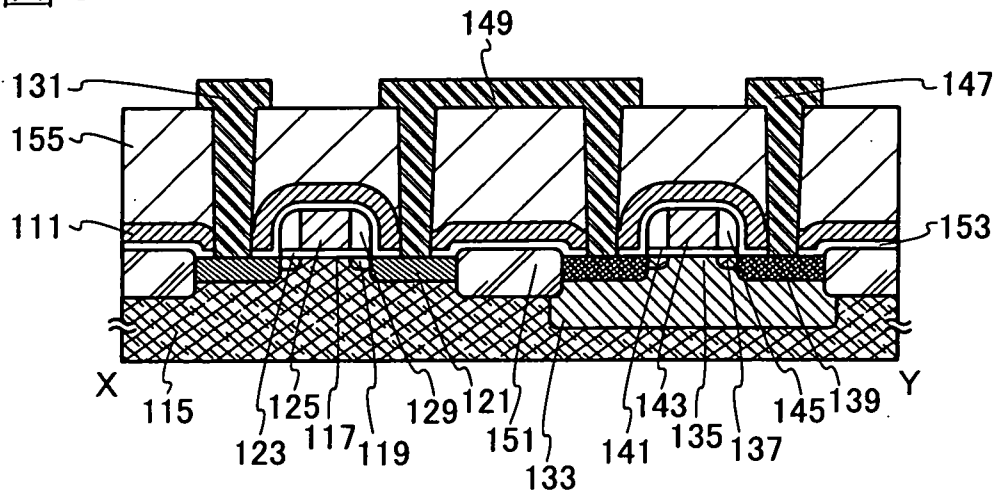


圖 3C

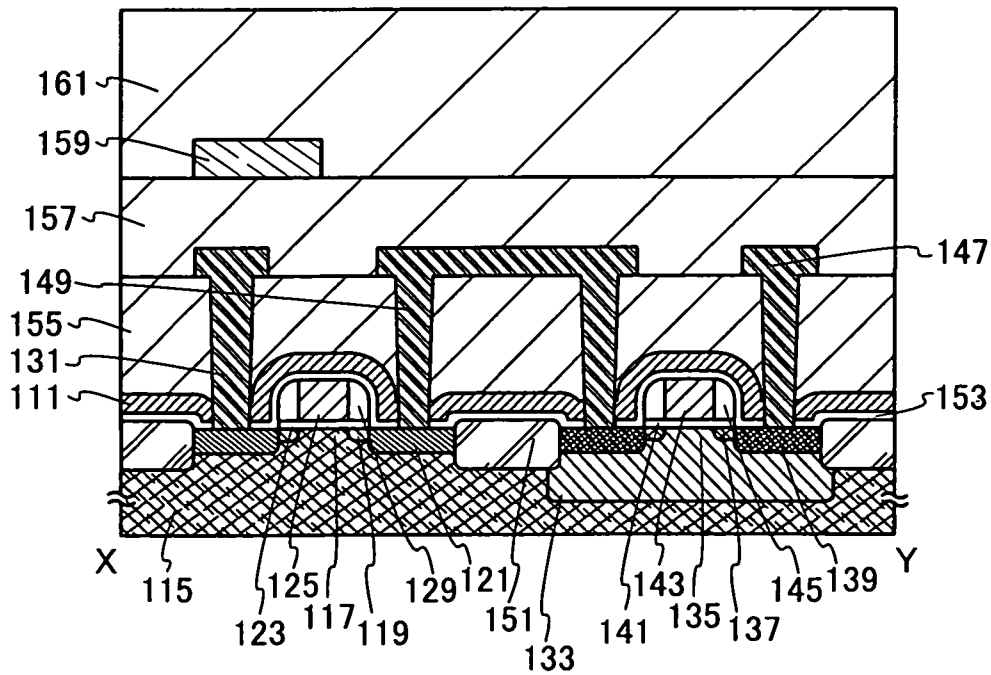


圖 4A

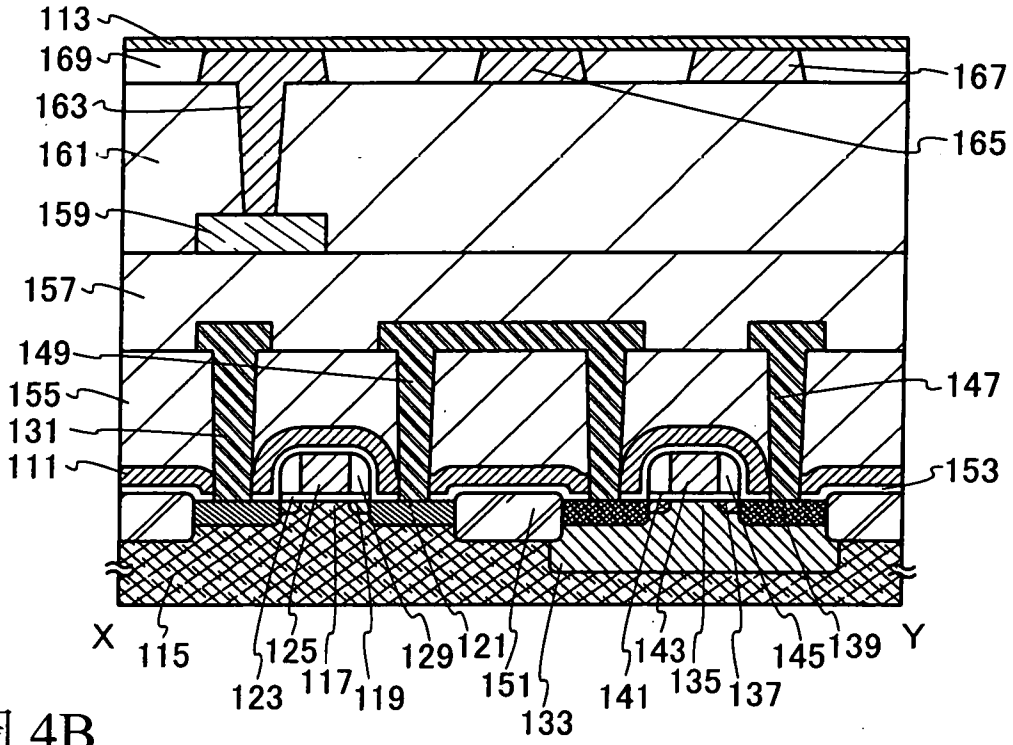


圖 4B

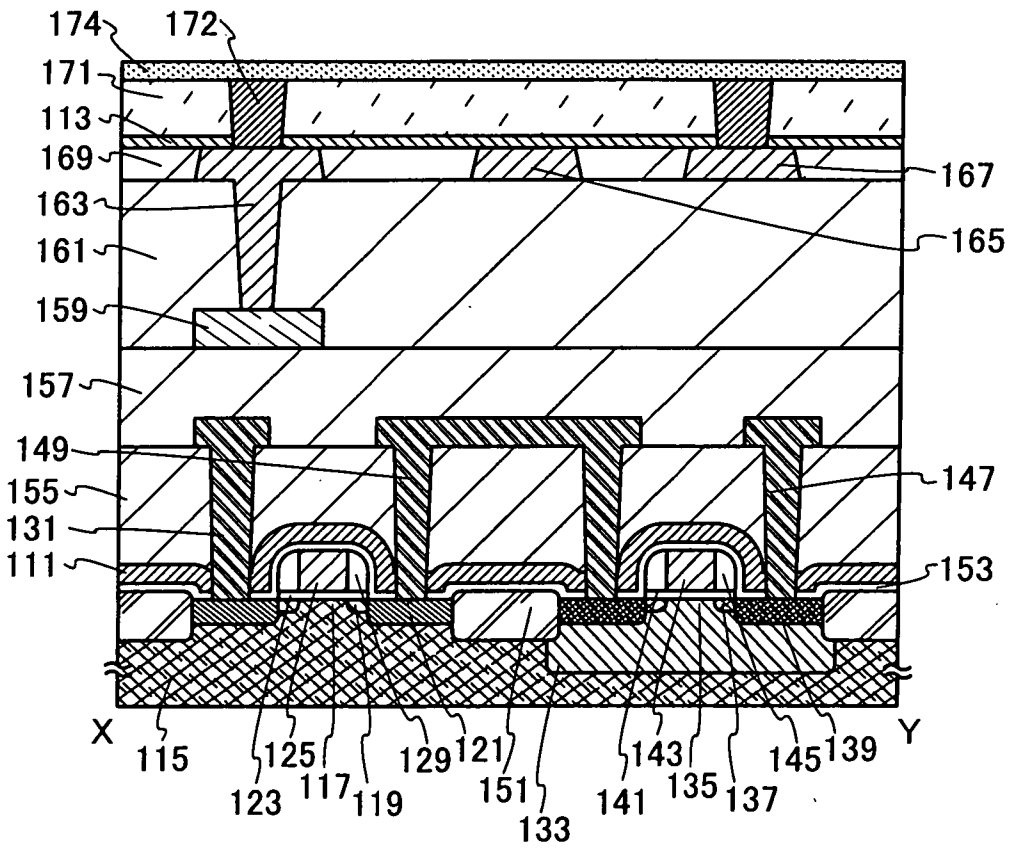


圖 5A

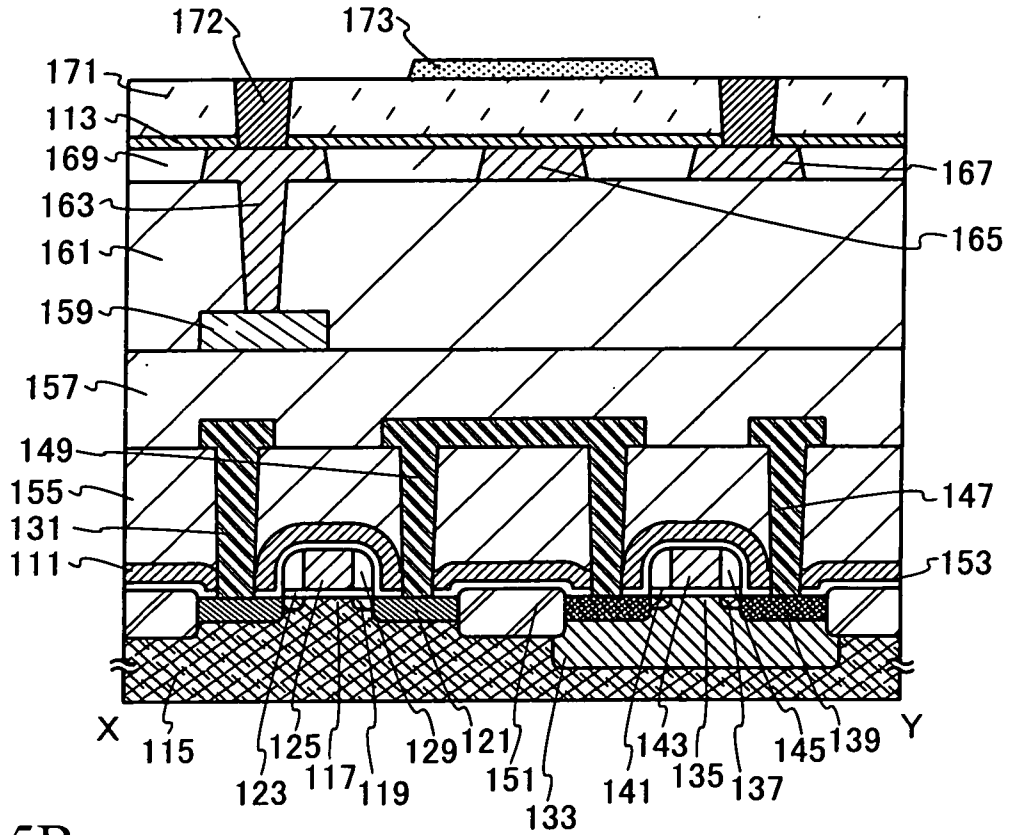


圖 5B

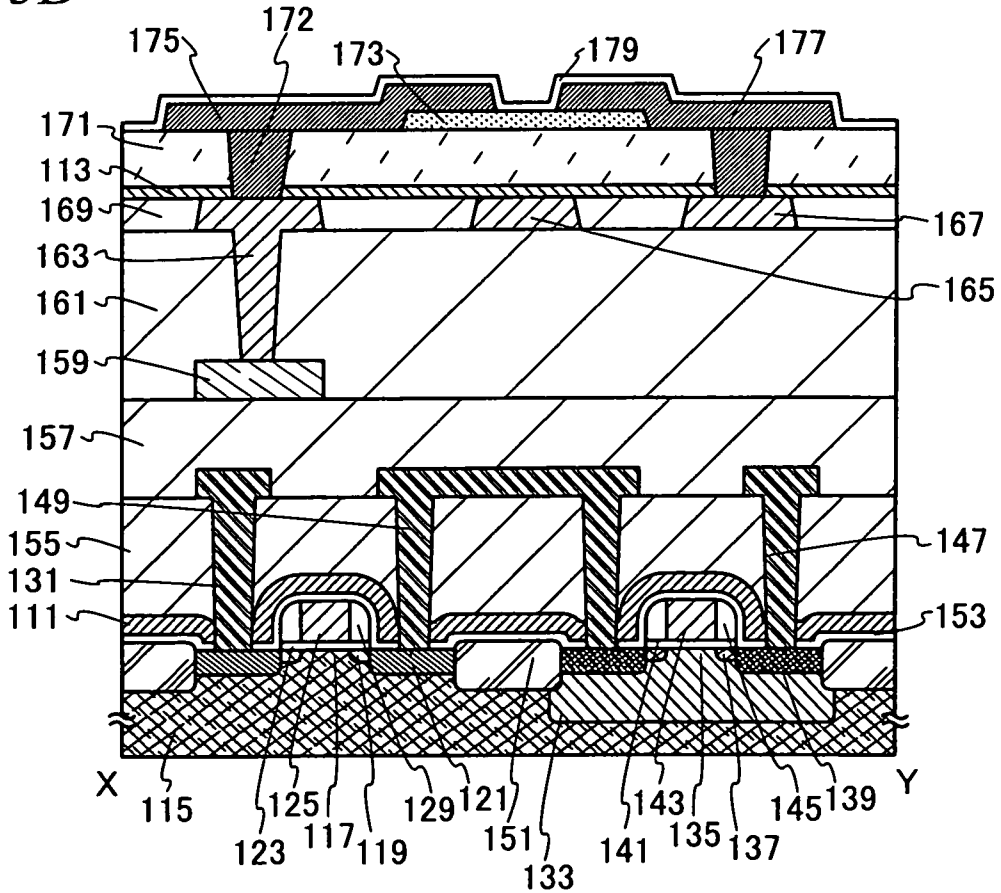


圖 6

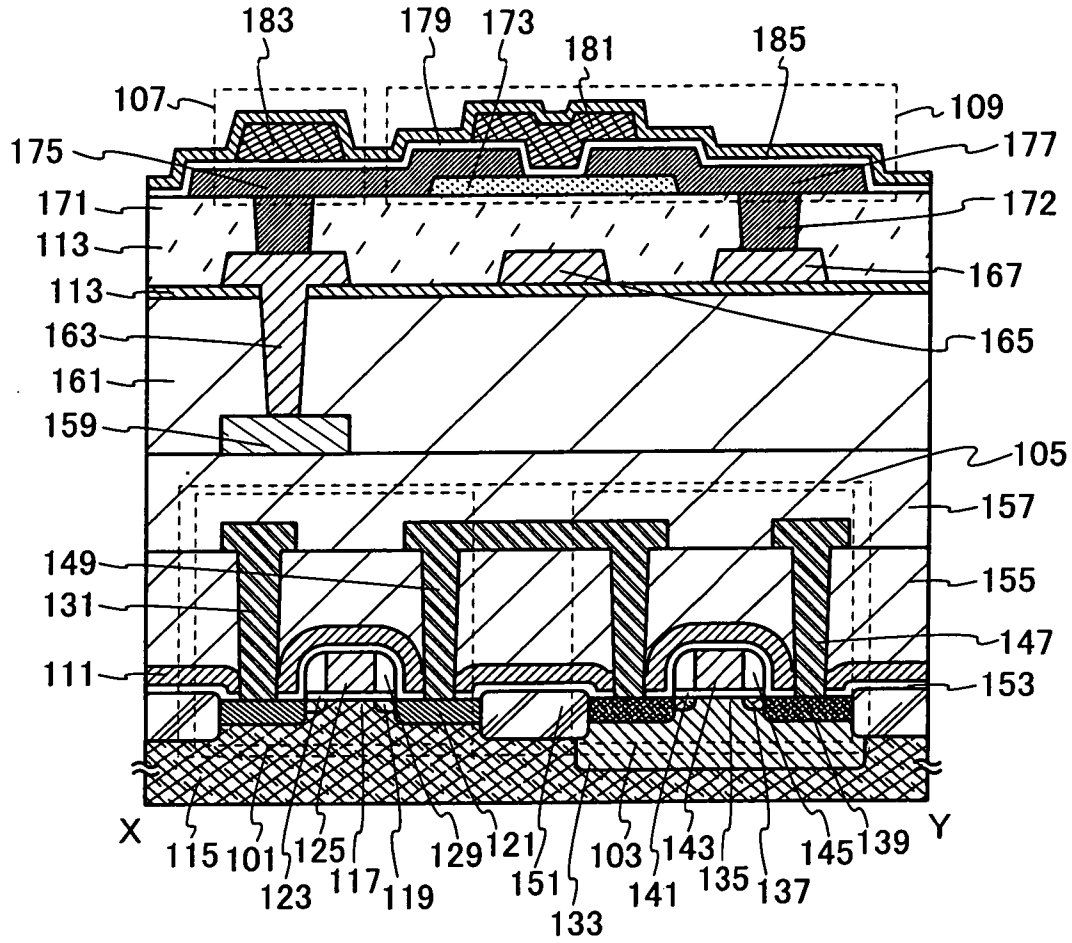


圖 7

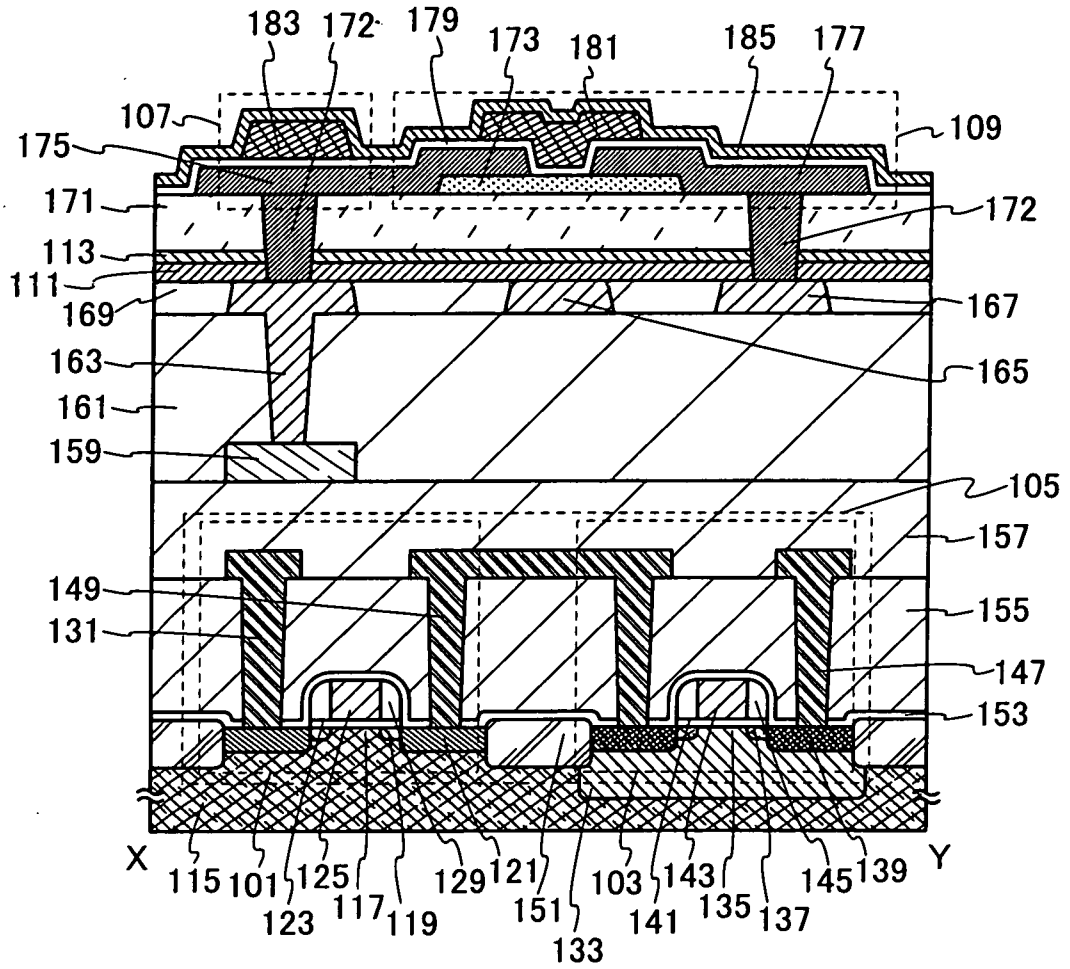


圖 9

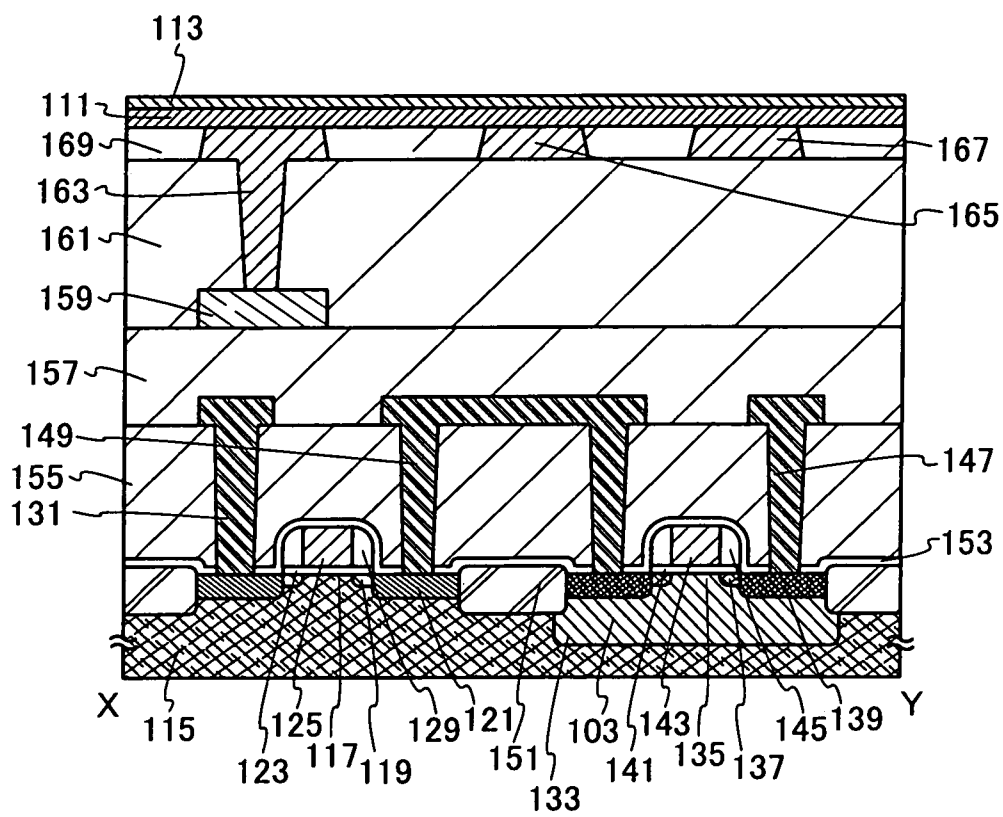


圖 10A

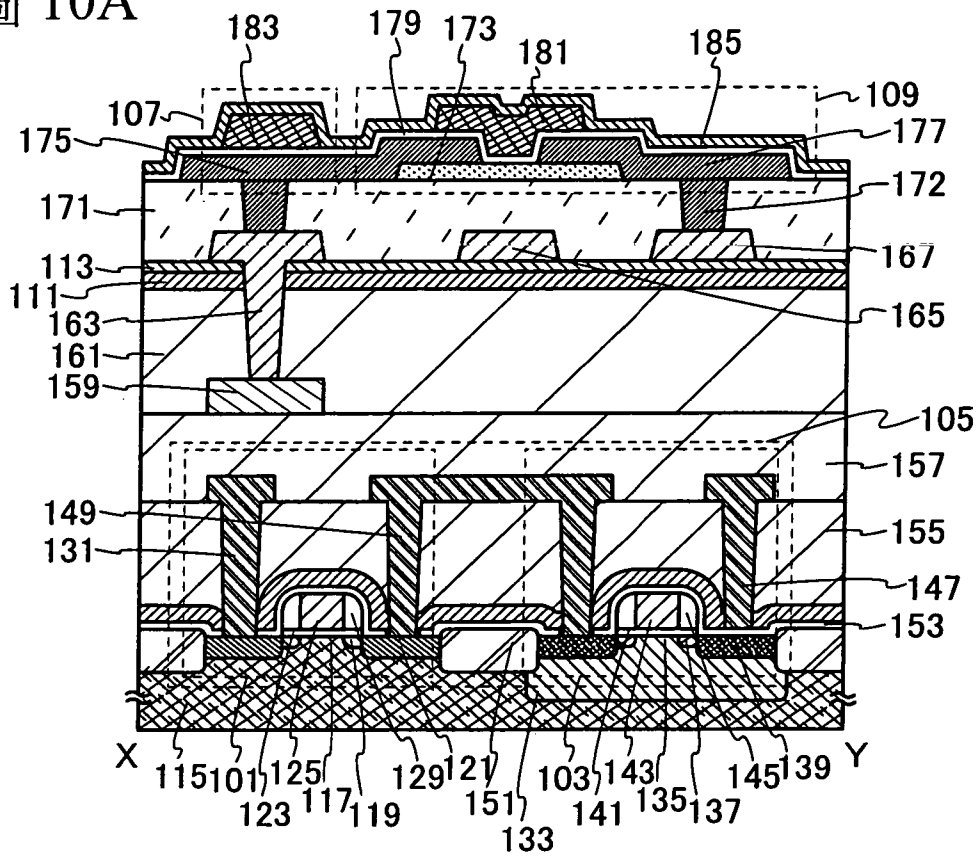


圖 10B

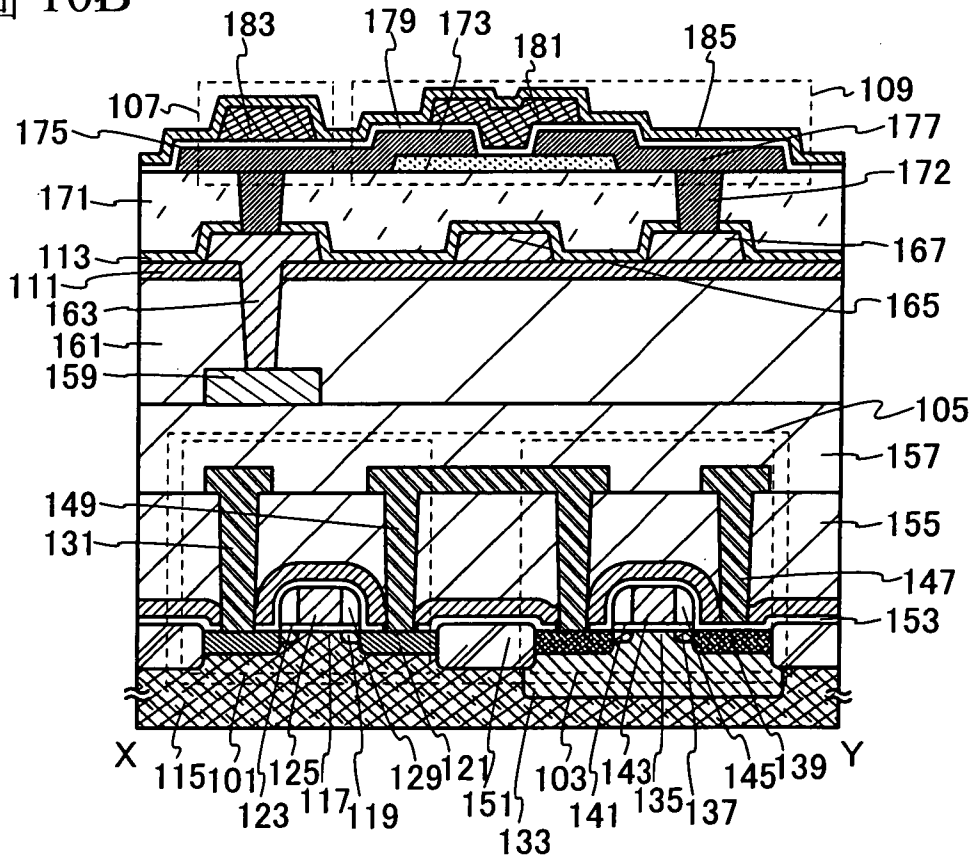


圖 11A

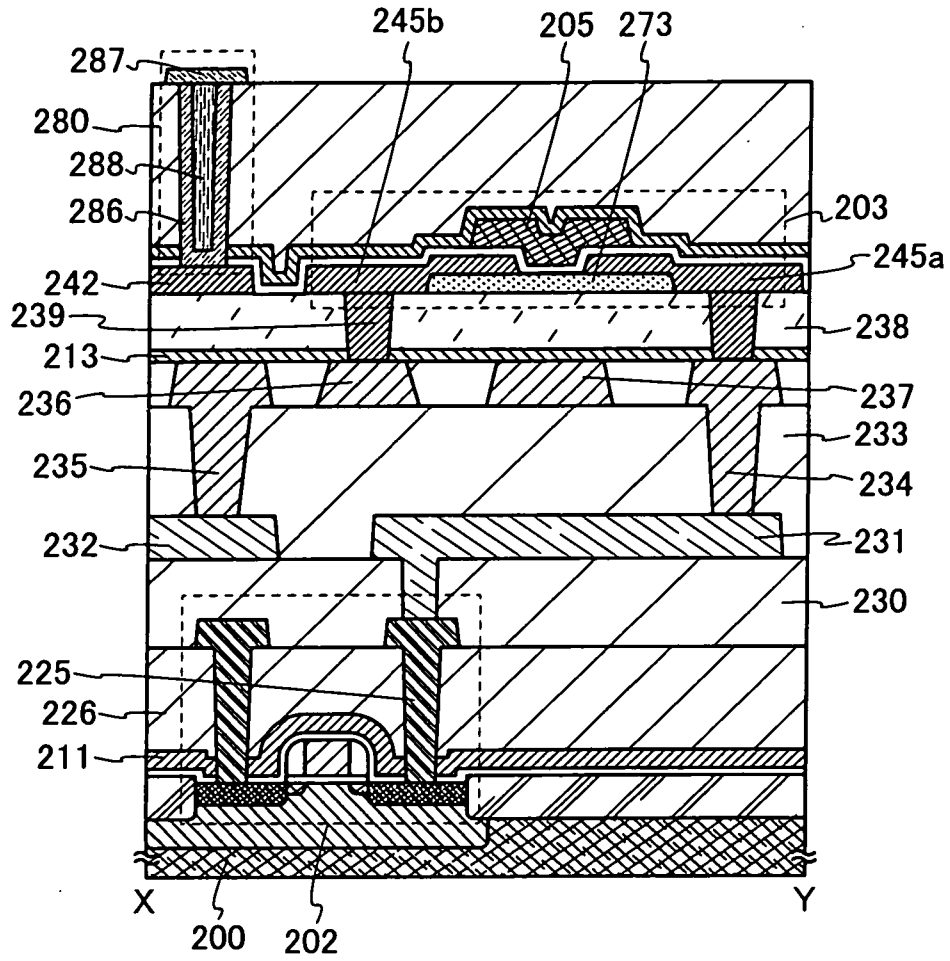


圖 11B

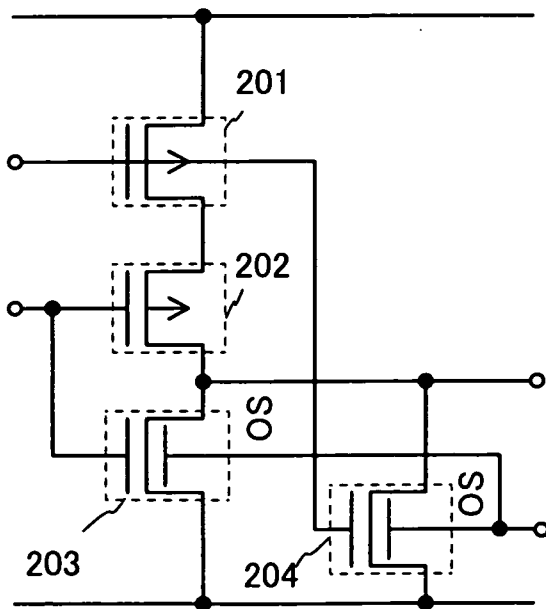


圖 11C

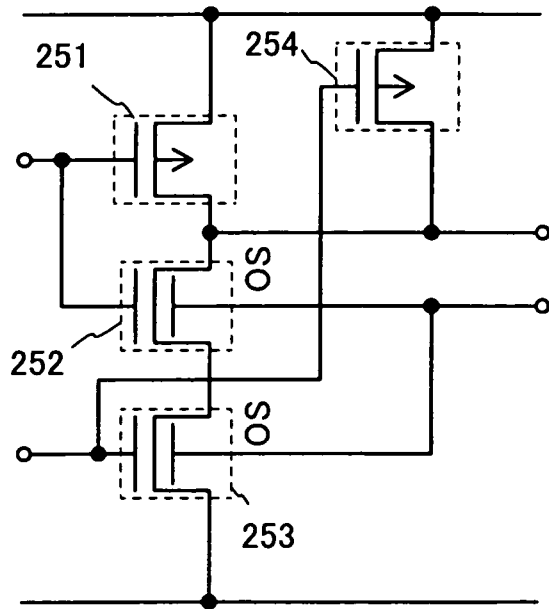


圖 12

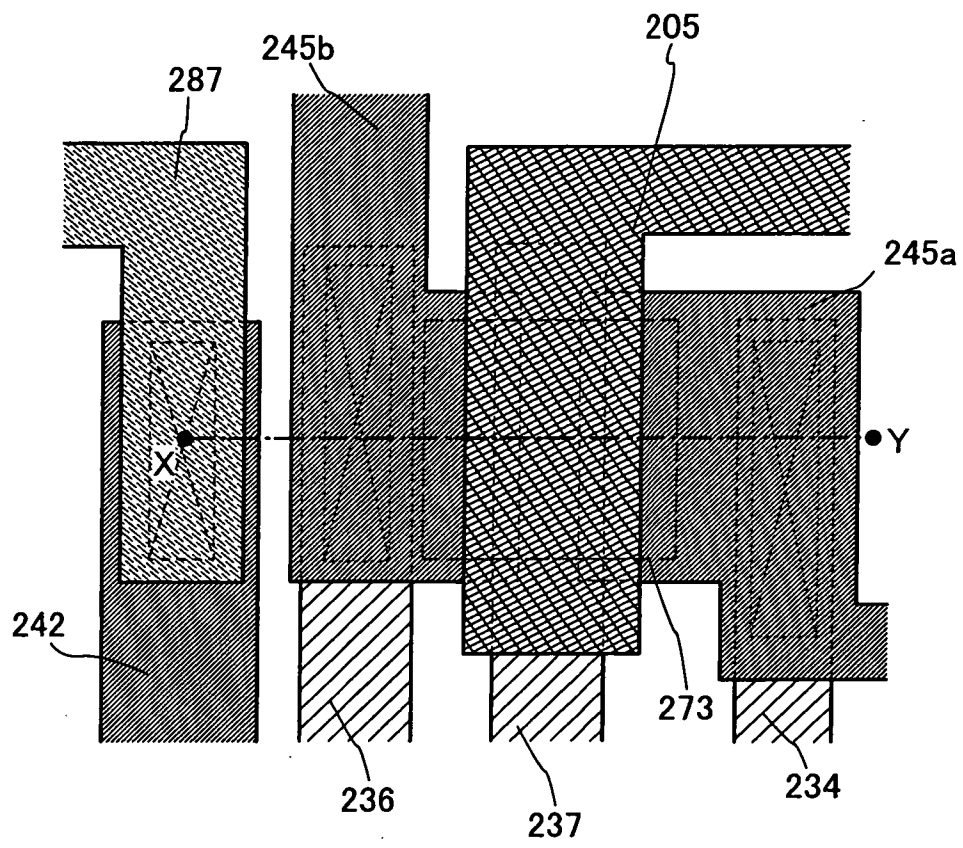


圖 13

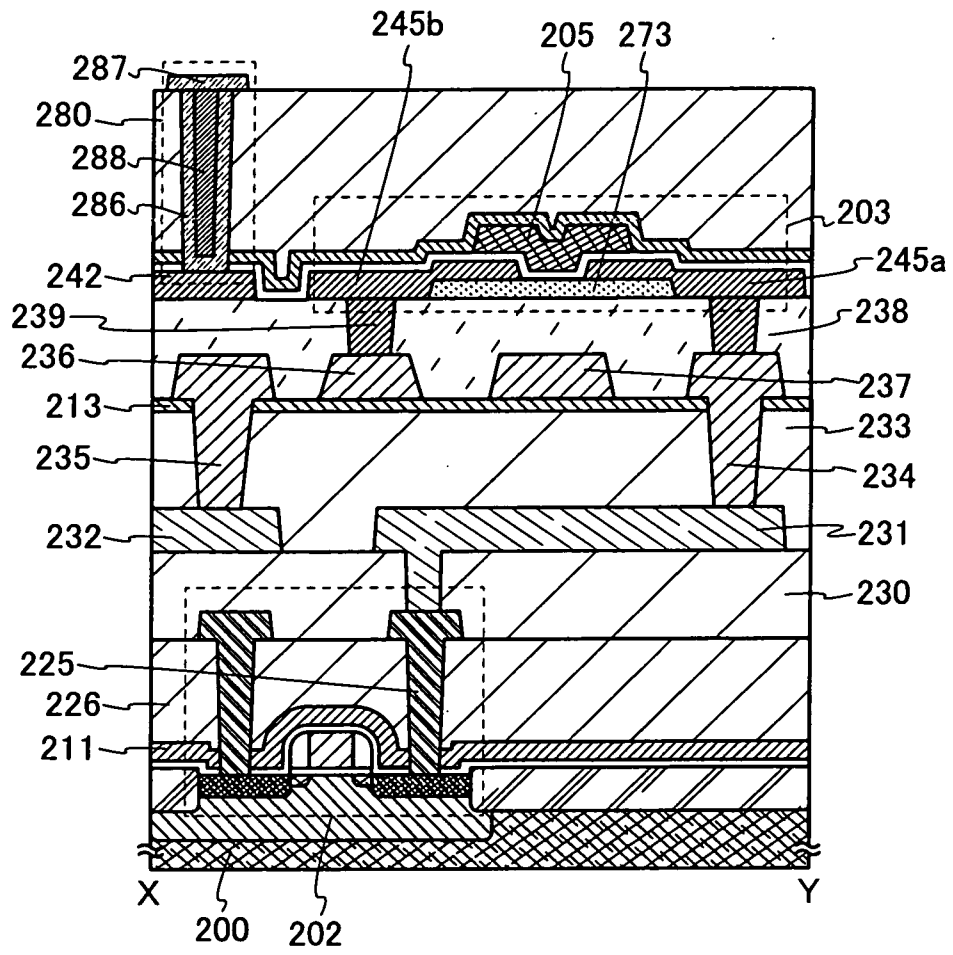


圖 14A

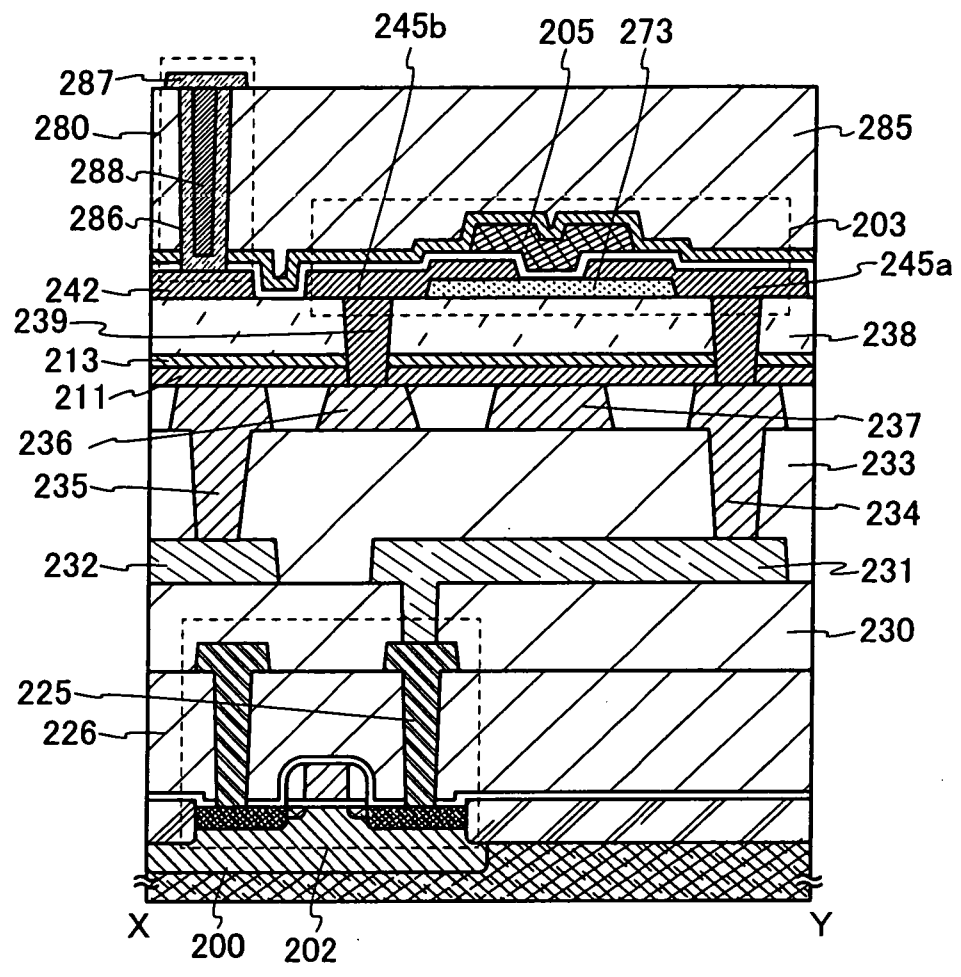


圖 14B

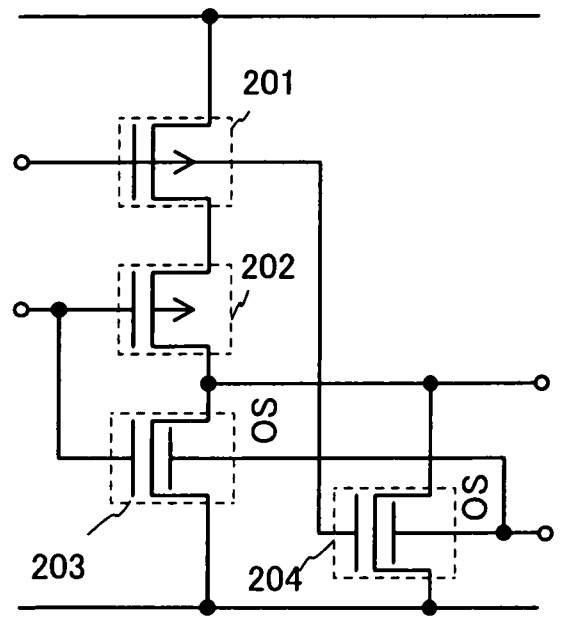


圖 14C

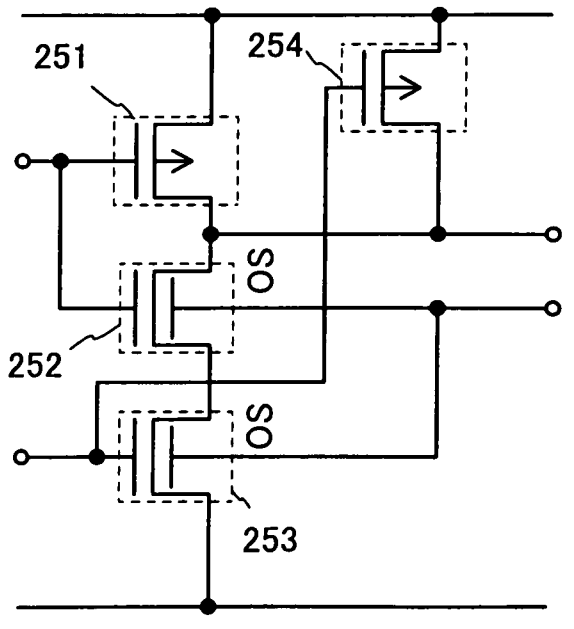


圖 15A

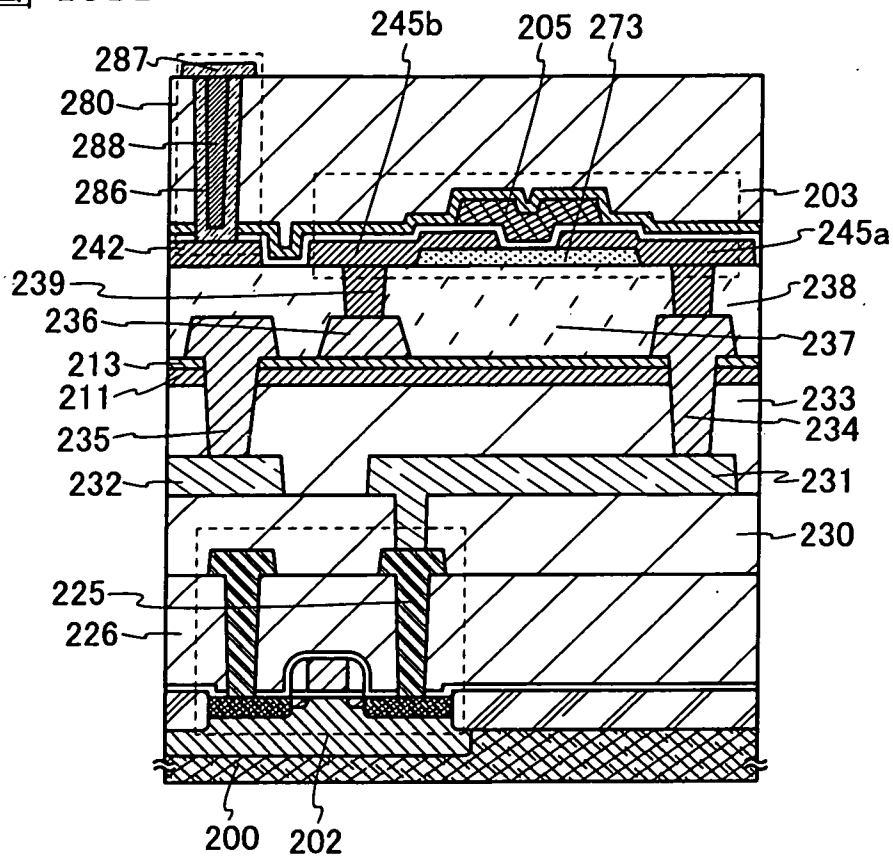


圖 15B

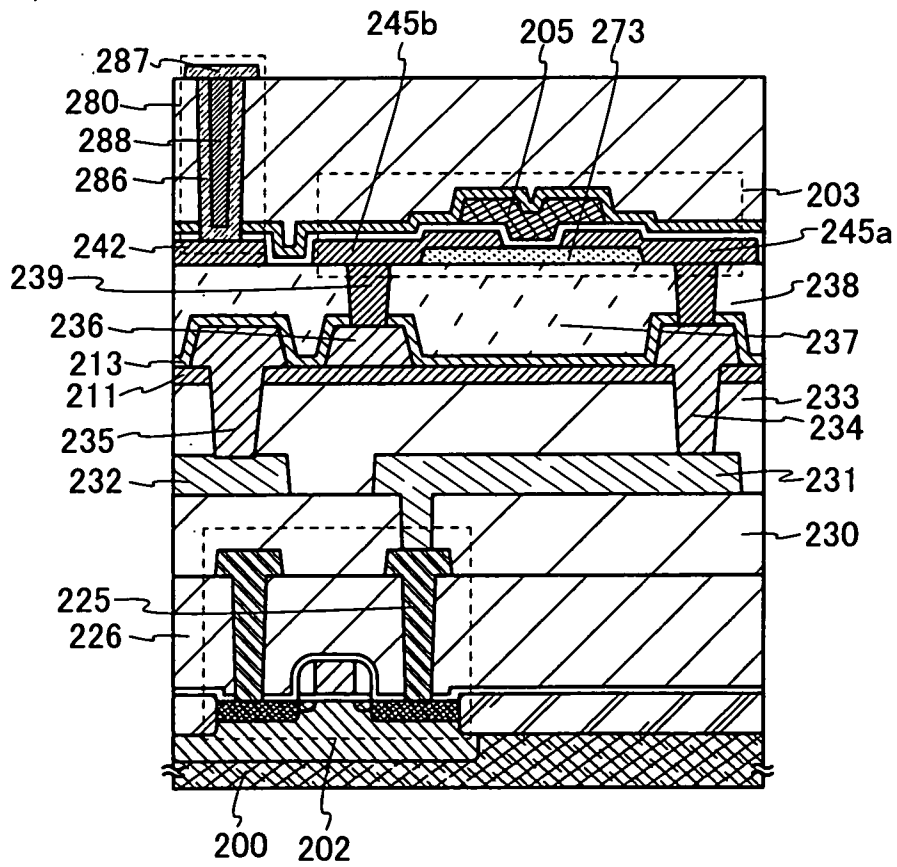


圖 16

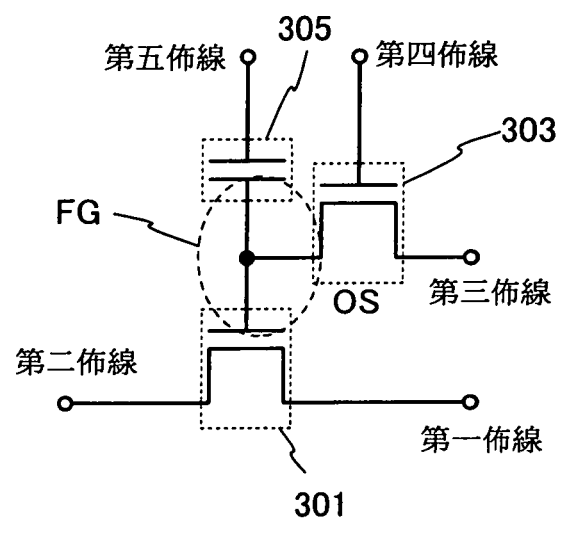


圖 17

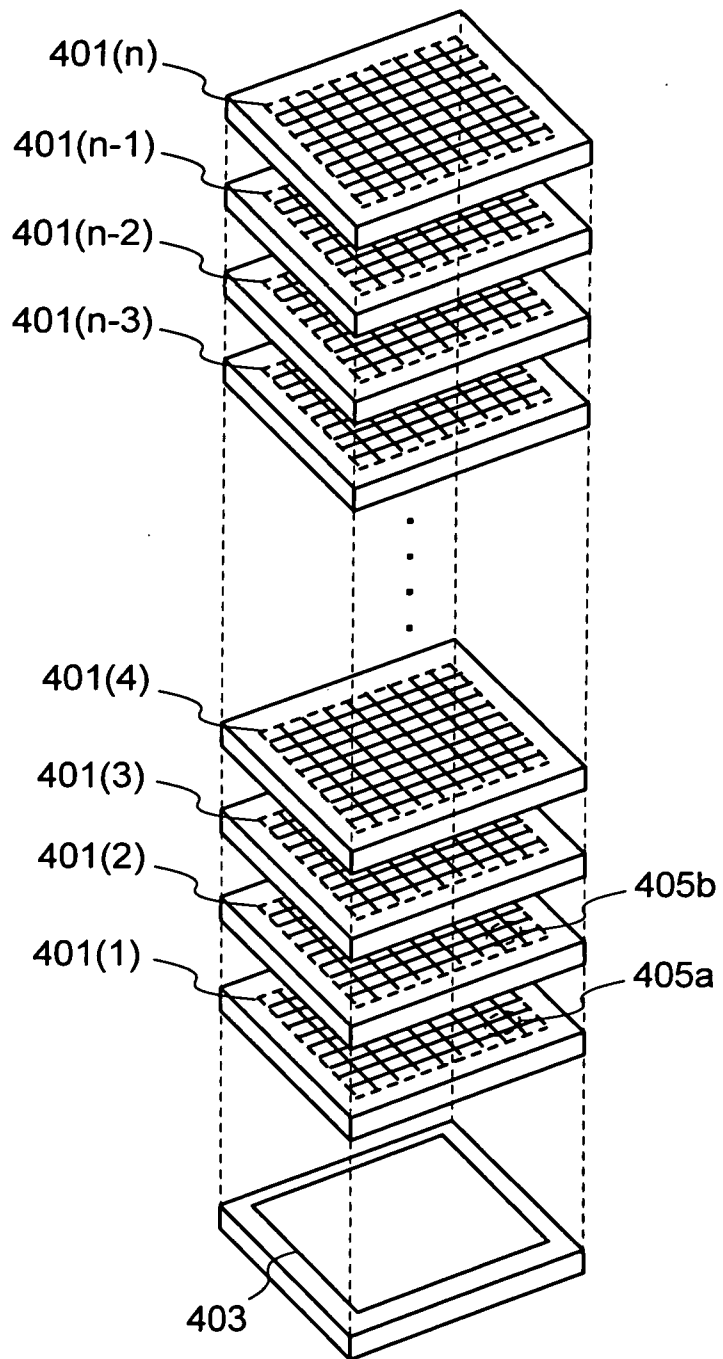


圖 18

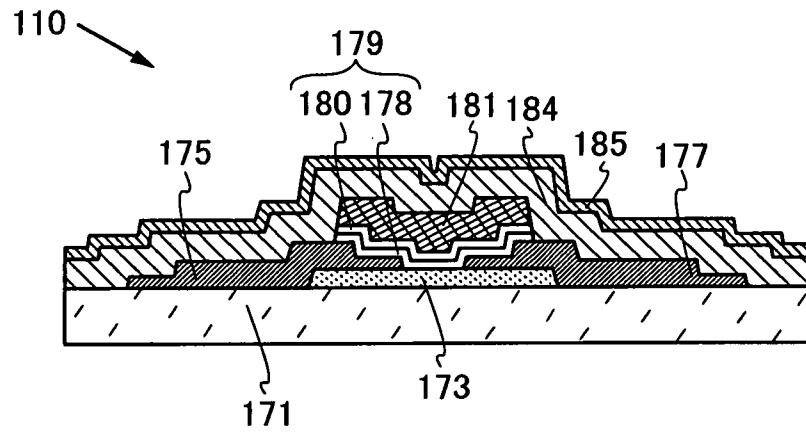


圖 19A

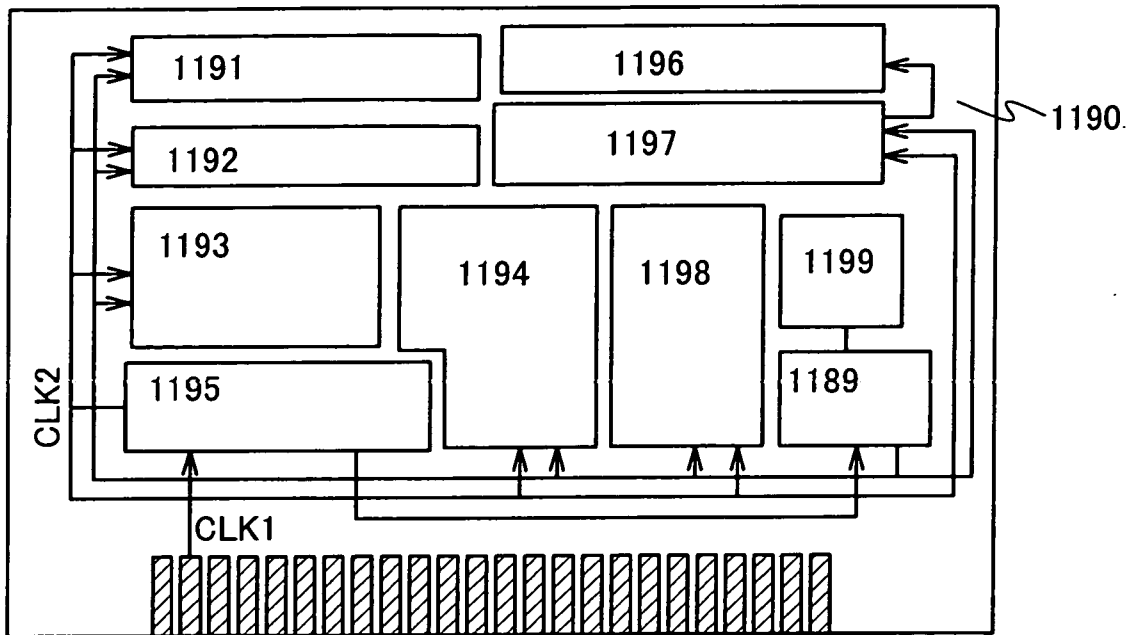


圖 19B

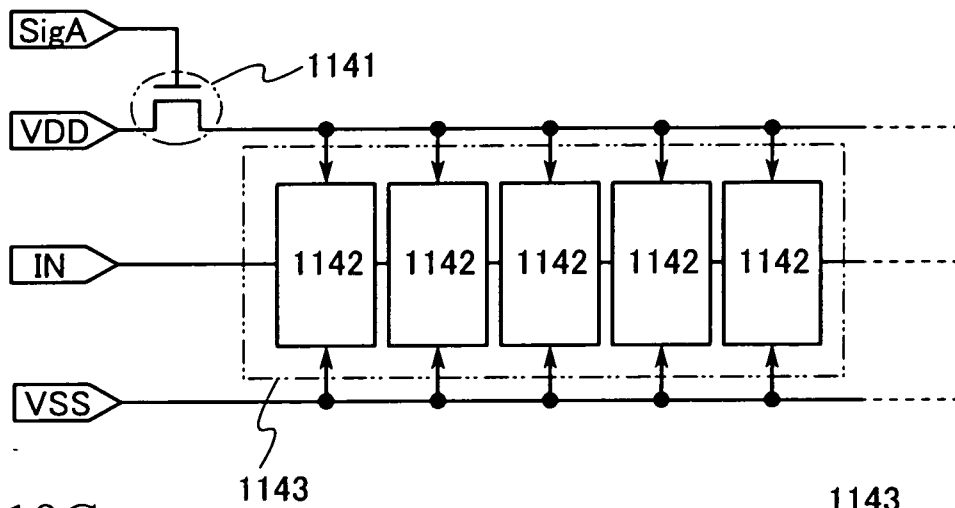


圖 19C

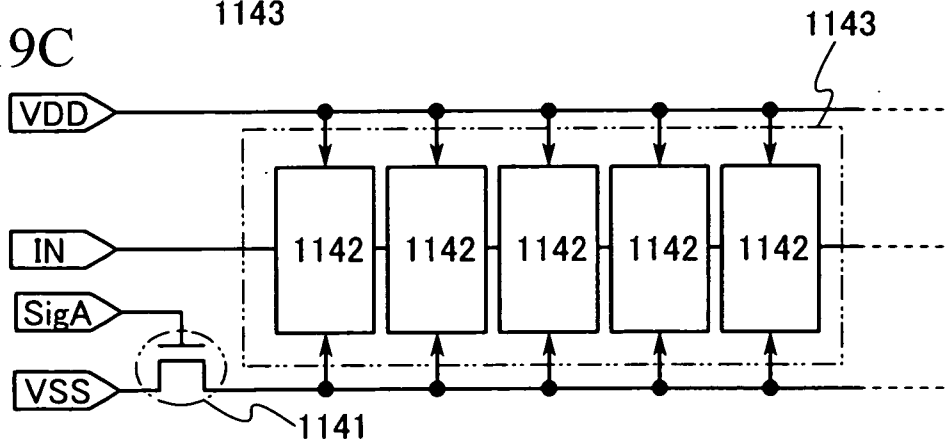


圖 20A

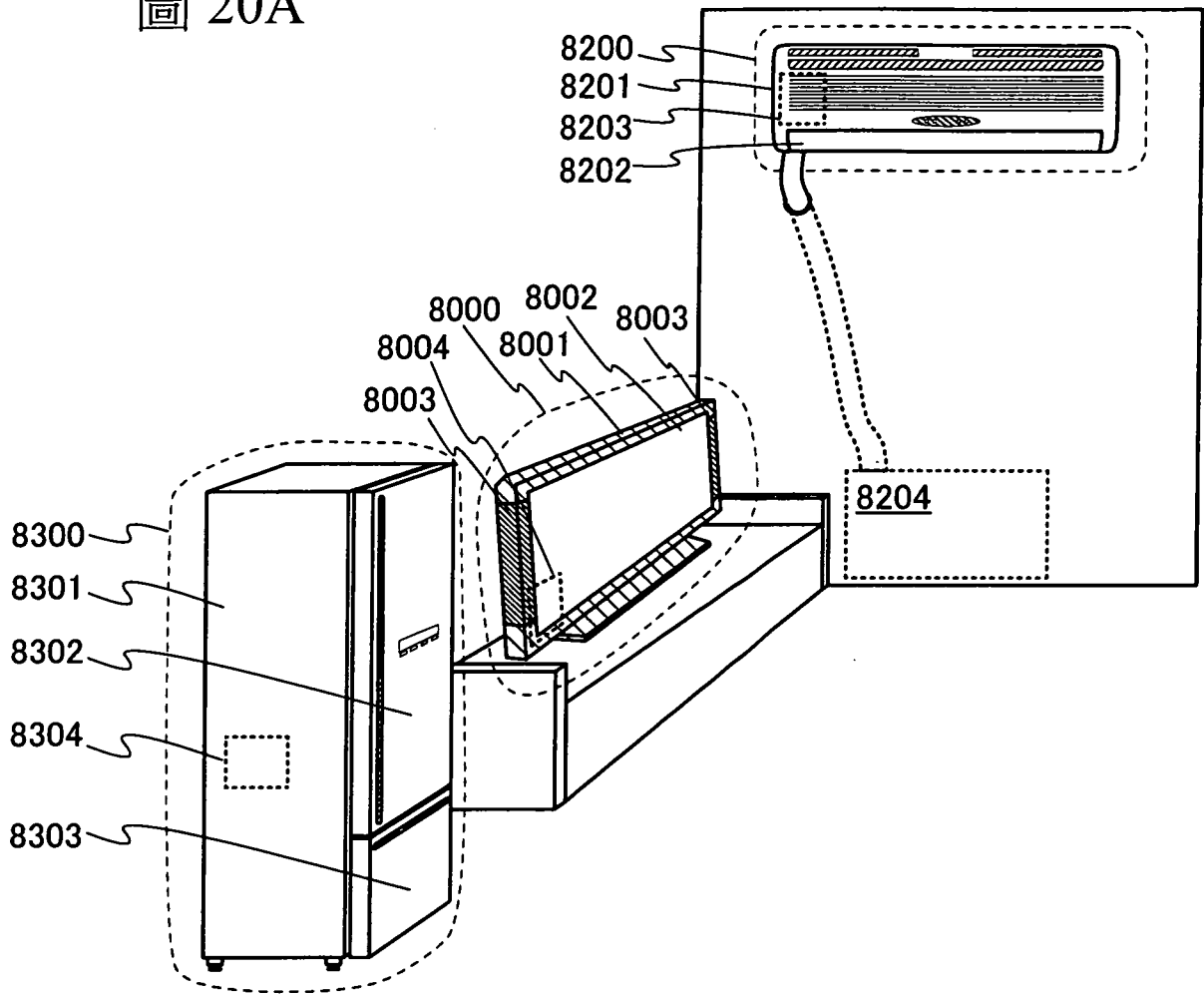


圖 20B

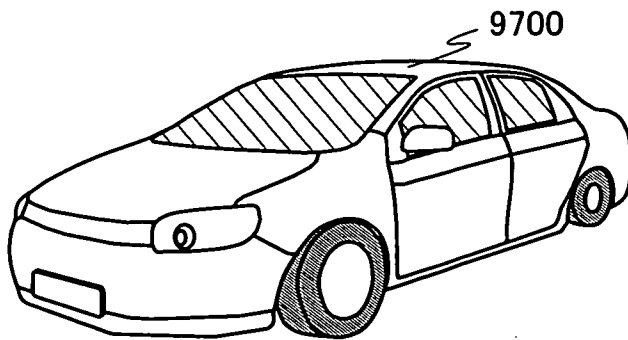


圖 20C

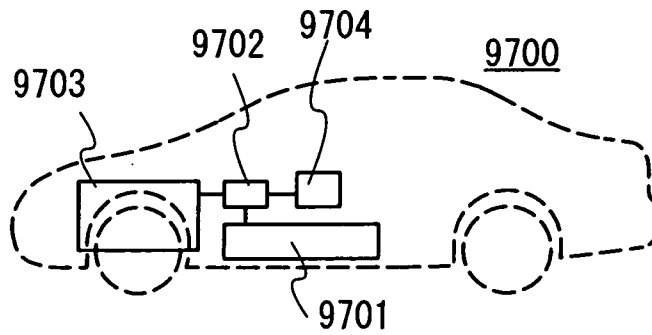


圖 21A

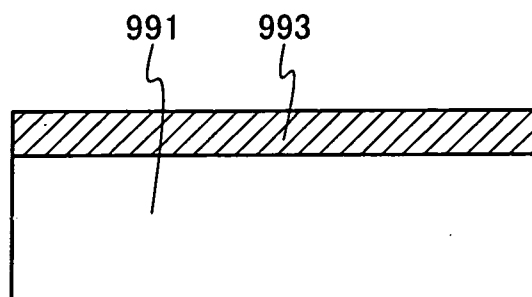


圖 21B

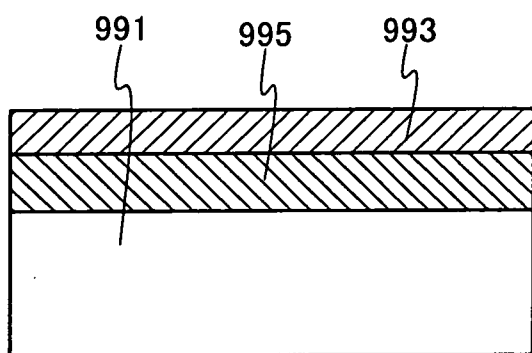


圖 22A

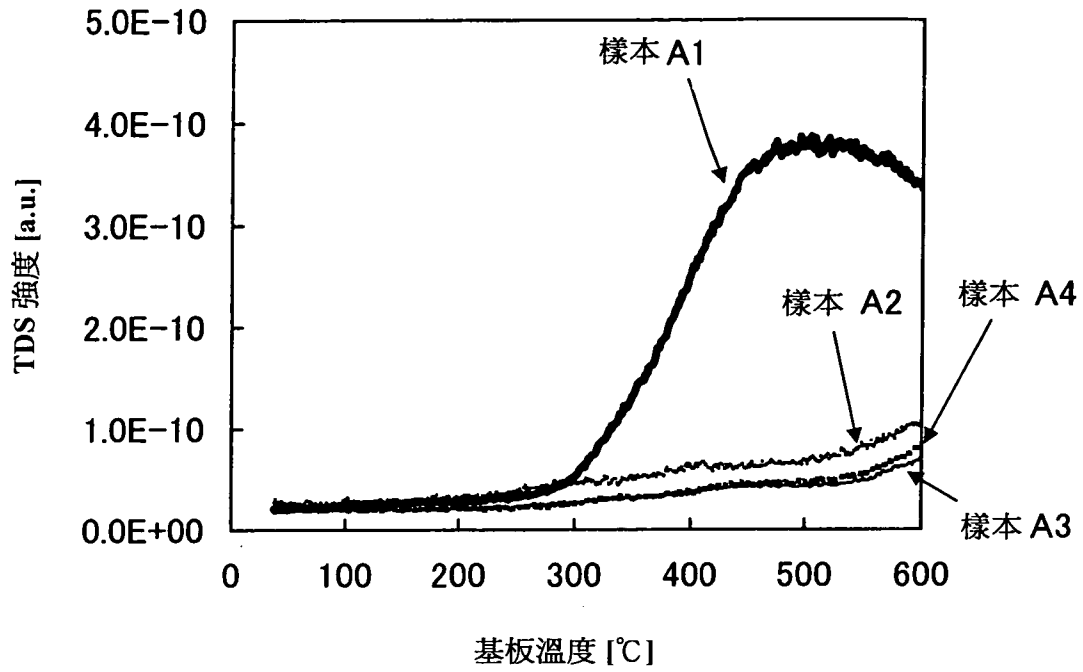


圖 22B

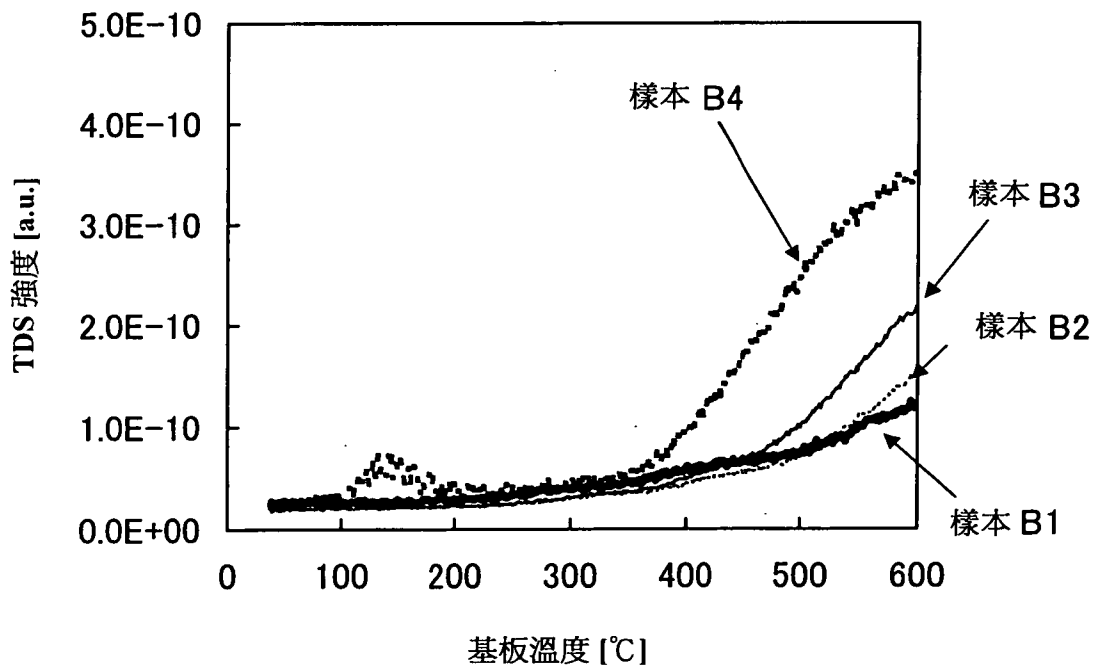


圖 23A

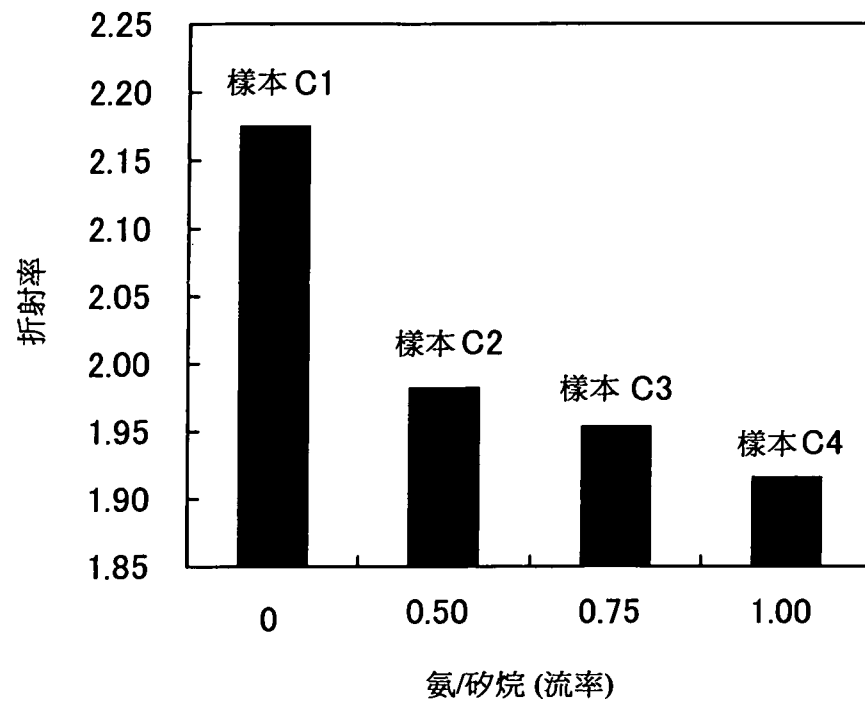


圖 23B

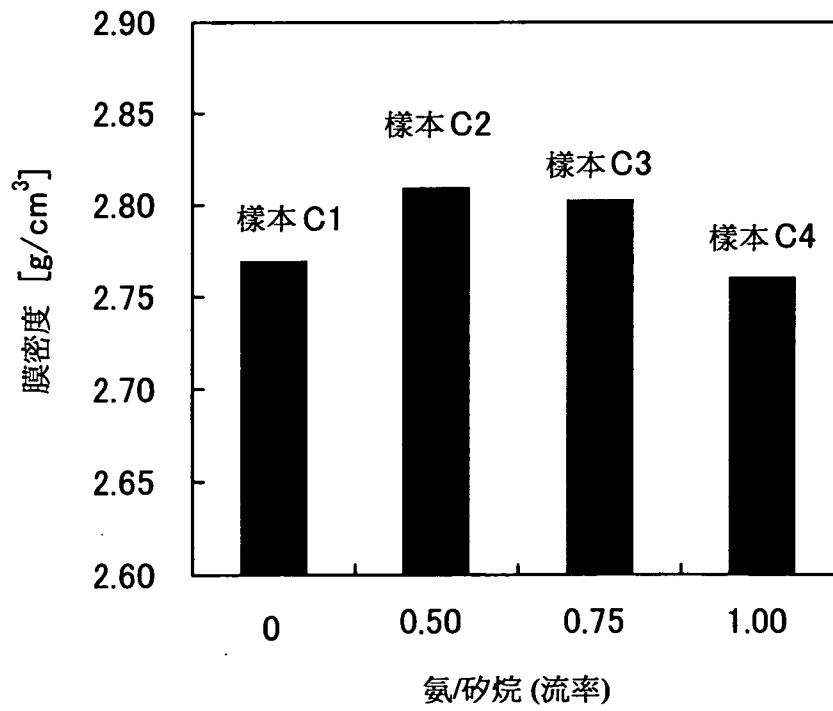


圖 24

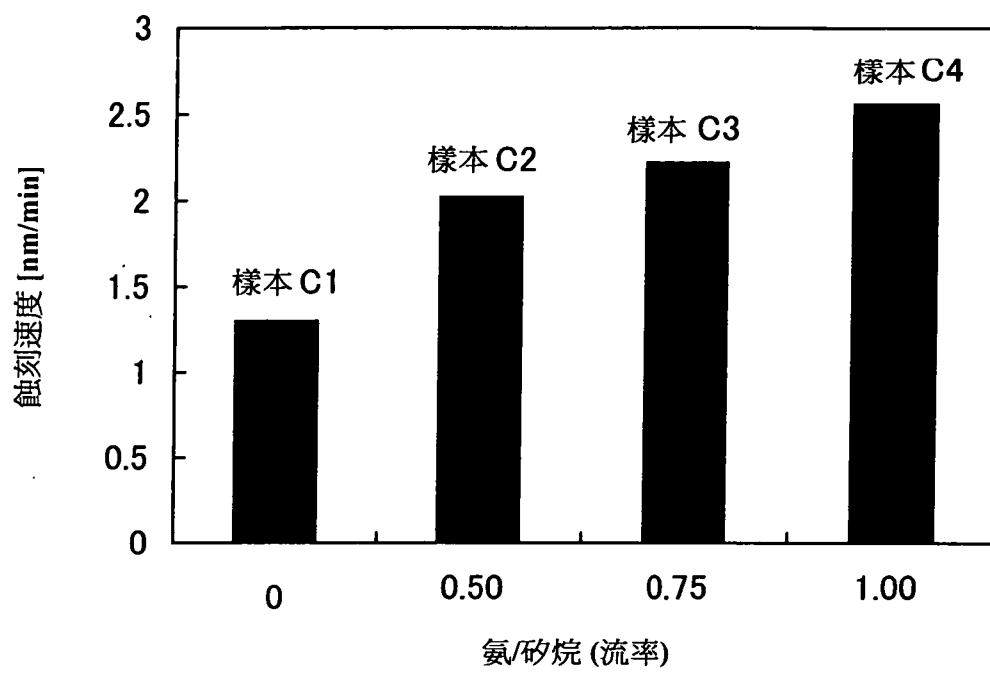


圖 25A

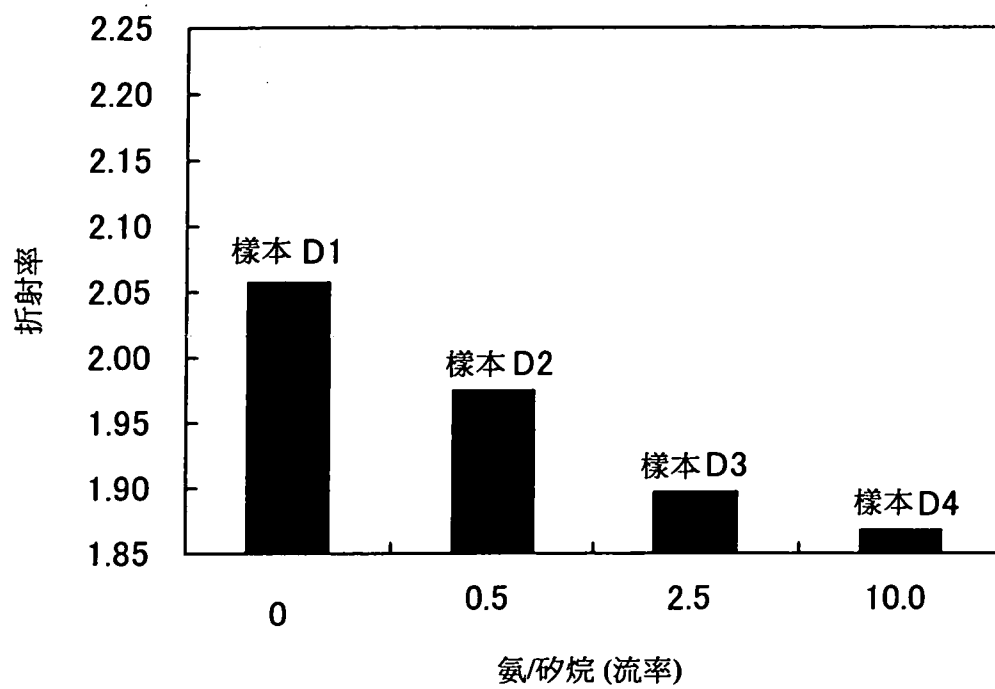


圖 25B

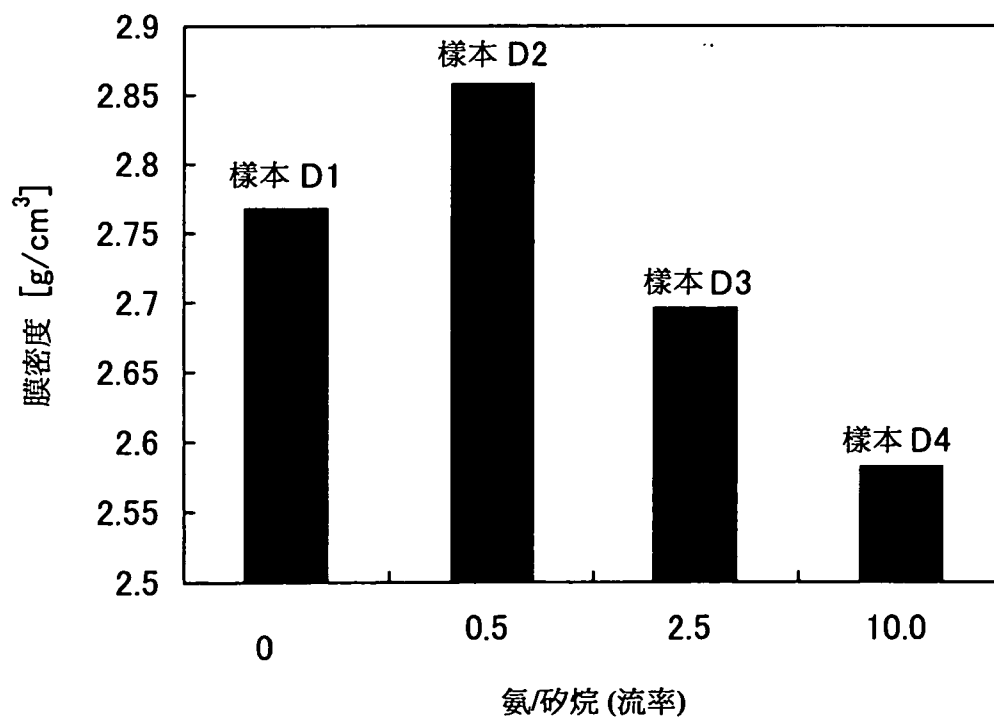


圖 26

