



(19) 中華民國智慧財產局

(12) 新型說明書公告本

(11) 證書號數：TW M601902 U

(45) 公告日：中華民國 109 (2020) 年 09 月 21 日

(21) 申請案號：109202965

(22) 申請日：中華民國 109 (2020) 年 03 月 16 日

(51) Int. Cl. :

*H01L23/60 (2006.01)**H01L25/065 (2006.01)**H01L27/02 (2006.01)**H01L27/07 (2006.01)**H01L27/098 (2006.01)**H01L29/775 (2006.01)**H05F3/02 (2006.01)*

(30) 優先權：2019/04/23 美國

16/392,460

(71) 申請人：美商吉林克斯公司(美國) XILINX, INC. (US)

美國

(72) 新型創作人：卡普 詹姆士 KARP, JAMES (US)

(74) 代理人：閻啓泰；林景郁

申請專利範圍項數：19 項 圖式數：6 共 29 頁

(54) 名稱

具有靜電放電保護的積體電路裝置

(57) 摘要

本文中揭示包括至少一個具有 ESD 保護電路系統之非 I/O 晶粒的積體電路裝置及其製造方法。本文中揭示之該 ESD 保護電路系統亦可用於 I/O 晶粒中。在一個實例中，積體電路裝置包括具有第一主體之晶粒。第一接觸墊及第二接觸墊暴露於該第一主體之表面。該第一接觸墊經組態以連接至第一供應電壓。該第二接觸墊經組態以連接至第二供應電壓或接地。形成在該第一主體中之第一電荷敏感電路系統耦接在該第一接觸墊與該第二接觸墊之間。形成在該第一主體中之第一 RC 箝位器耦接在該第一接觸墊與該第二接觸墊之間。該第一 RC 箝位器包括耦接在該第一接觸墊與該第二接觸墊之間的至少兩個 BigFET，以及與該至少兩個 BigFET 之閘極端子並聯耦接之觸發電路系統。

Disclosed herein are integrated circuit devices and methods for fabricating the same that include at least one non-I/O die having ESD protection circuitry. The ESD protection circuitry disclosed herein may also be utilized in I/O dies. In one example, an integrated circuit device includes a die having a first body. First and second contact pads are exposed to a surface of the first body. The first contact pad is configured to connect to a first supply voltage. The second contact pad is configured to connect to a second supply voltage or ground. A first charge-sensitive circuitry formed in the first body is coupled between the first and second contact pads. A first RC clamp formed in the first body is coupled between the first and second contact pads. The first RC clamp includes at least two BigFETs coupled between the first and second contact pads, and a trigger circuitry coupled in parallel to gate terminals of the at least two BigFETs.

指定代表圖：

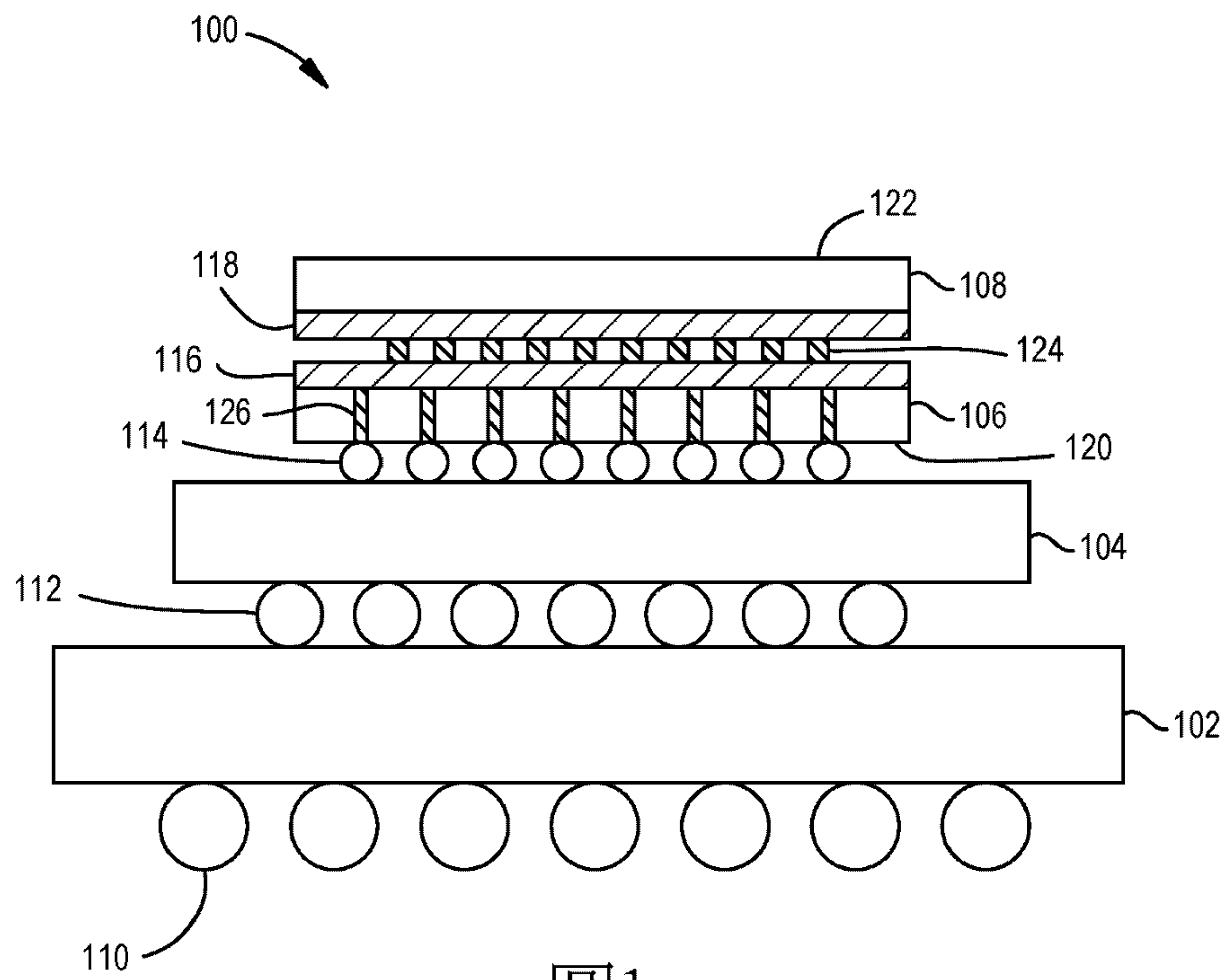


圖1

符號簡單說明：

- 100:堆疊式晶片封裝
- 102:封裝基板
- 104:中介層基板
- 106:第一積體電路(IC)晶粒
- 108:第二 IC 晶粒
- 110:焊球
- 112:焊料凸塊
- 114:焊料凸塊
- 116:主動側
- 118:主動側
- 120:背面
- 122:背面
- 124:接觸件
- 126:穿矽通孔(TSV)



公告本

【新型摘要】

M601902

【中文新型名稱】 具有靜電放電保護的積體電路裝置

【英文新型名稱】 INTEGRATED CIRCUIT DEVICE WITH
ELECTROSTATIC DISCHARGE (ESD) PROTECTION

【中文】

本文中揭示包括至少一個具有ESD保護電路系統之非I/O晶粒的積體電路裝置及其製造方法。本文中揭示之該ESD保護電路系統亦可用於I/O晶粒中。在一個實例中，積體電路裝置包括具有第一主體之晶粒。第一接觸墊及第二接觸墊暴露於該第一主體之表面。該第一接觸墊經組態以連接至第一供應電壓。該第二接觸墊經組態以連接至第二供應電壓或接地。形成在該第一主體中之第一電荷敏感電路系統耦接在該第一接觸墊與該第二接觸墊之間。形成在該第一主體中之第一RC箝位器耦接在該第一接觸墊與該第二接觸墊之間。該第一RC箝位器包括耦接在該第一接觸墊與該第二接觸墊之間的至少兩個BigFET，以及與該至少兩個BigFET之閘極端子並聯耦接之觸發電路系統。

【英文】

Disclosed herein are integrated circuit devices and methods for fabricating the same that include at least one non-I/O die having ESD protection circuitry. The ESD protection circuitry disclosed herein may also be utilized in I/O dies. In one example, an integrated circuit device includes a die having a first body. First and second contact pads are exposed to a surface of the first body. The first contact pad is configured to connect to a first supply voltage. The second contact pad is configured to connect to a second supply voltage or ground. A first charge-sensitive circuitry

formed in the first body is coupled between the first and second contact pads. A first RC clamp formed in the first body is coupled between the first and second contact pads. The first RC clamp includes at least two BigFETs coupled between the first and second contact pads, and a trigger circuitry coupled in parallel to gate terminals of the at least two BigFETs.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

- 100:堆疊式晶片封裝
- 102:封裝基板
- 104:中介層基板
- 106:第一積體電路（IC）晶粒
- 108:第二IC晶粒
- 110:焊球
- 112:焊料凸塊
- 114:焊料凸塊
- 116:主動側
- 118:主動側
- 120:背面
- 122:背面
- 124:接觸件
- 126:穿矽通孔（TSV）

【新型說明書】

【中文新型名稱】 具有靜電放電保護的積體電路裝置

【英文新型名稱】 INTEGRATED CIRCUIT DEVICE WITH
ELECTROSTATIC DISCHARGE (ESD) PROTECTION

【技術領域】

【0001】 本創作之實例大體而言係關於半導體裝置，且特定而言係關於供在一堆疊式晶片封裝中使用之一非I/O晶粒之靜電放電（ESD）保護以及具有該靜電放電（ESD）保護的晶片封裝。

【先前技術】

【0002】 電子裝置，諸如平板、電腦、影印機、數位相機、智慧型電話、控制系統及自動櫃員機等，通常使用利用晶片封裝總成的電子組件來實現增加的功能性及較高組件密度。習用晶片封裝方案通常利用封裝基板，通常與穿矽通孔（TSV）中介層基板結合使用，以使得複數個積體電路（IC）晶粒能夠安裝至單個封裝基板上。IC晶粒可以包括記憶體、邏輯或其他IC裝置。一些IC封裝包括彼此堆疊的多個晶粒（被稱為堆疊式IC總成）。在堆疊式IC總成中，與封裝或中介層基板接觸之晶粒被稱為輸入/輸出（I/O）晶粒，而堆疊在I/O晶粒上之晶粒被稱為非I/O晶粒。

【0003】 為了防止損壞積體電路，晶粒典型地包括用於靜電放電（ESD）保護的電路系統。在大多數習用應用中，I/O晶粒包括ESD佈線，該ESD佈線提供自封裝基板上之焊料凸塊至I/O晶粒的主動電路系統的低電阻路徑。習用ESD路由可能包括雙二極體及功率箝位器。習用功率箝位器利用單個大的場效應電晶體（通常被稱為BigFET），該電晶體具有大的閘極以能夠在高電流應用中使

用。利用習用BigFET之ESD保護電路具有厚閘極氧化層，因為與薄氧化物電晶體相比，厚氧化物電晶體對高ESD電壓/電流造成的損害較不敏感。由於ESD事件通常發生在I/O晶粒附近或其處，因此BigFET快速且高效地處理高ESD電流的能力極大地增強I/O晶粒以及因此晶片封裝的可靠性及效能。

【0004】 另一方面，非I/O晶粒通常具有很少或無板載ESD保護（例如，在-晶粒中），且主要依靠所附接I/O晶粒的ESD電路系統進行ESD保護。然而，非I/O晶粒可能遇到ESD事件，且完全依賴所附接I/O晶粒的ESD電路系統可能並非在所有情況下皆足夠。非I/O晶粒可以採用與I/O晶粒相同的雙二極體/單個BigFET功率箝位器ESD電路系統，但此組態過大，且將不必要地導致非I/O晶粒之額外成本及複雜性。

【0005】 因此，需要在非I/O晶粒上具有經改良ESD保護，以及具有該經改良ESD保護的晶片封裝。

【新型內容】

【0006】 本文中描述用於堆疊式積體電路（IC）封裝中之靜電放電（ESD）保護的技術，用於製造這些封裝的方法，這些封裝包括至少一個具有ESD保護電路系統的非I/O晶粒。本文中揭示之該ESD保護電路系統亦可用於I/O晶粒中。

【0007】 在一個實例中，提供一種積體電路裝置，其包括具有第一主體之積體電路（IC）晶粒。該第一主體包括被動區域及主動區域。第一接觸墊及第二接觸墊暴露於該第一主體之表面。該第一接觸墊經組態以連接至第一供應電壓。該第二接觸墊經組態以連接至第二供應電壓或接地。形成在該第一主體中之第一電荷敏感電路系統耦接在該第一接觸墊與該第二接觸墊之間。形成在該第一主體中之第一RC箝位器亦耦接在該第一接觸墊與該第二接觸墊之間。該第一RC箝位器包括耦接在該第一接觸墊與該第二接觸墊之間的至少兩個

BigFET，以及與該至少兩個BigFET之閘極端子並聯耦接之觸發電路系統。

【0008】 在另一實例中，提供一種積體電路裝置，該積體電路裝置包括具有主動區域之非I/O晶粒及具有機械且電耦接至非I/O晶粒之主動區域之主動區域之I/O晶粒。非I/O晶粒包括第一主體、第一電荷敏感電路系統及第一RC箝位器。該第一主體包括被動區域及該主動區域。該第一電荷敏感電路系統形成在該第一主體中，且耦接在第一接觸墊與第二接觸墊之間。該第一接觸墊及該第二接觸墊暴露於該第一主體之表面上。該第一RC箝位器形成在該第一主體中，且耦接在該第一接觸墊與該第二接觸墊之間。該第一RC箝位器包括串聯耦接在該第一接觸墊與該第二接觸墊之間的第一BigFET及第二BigFET。該I/O晶粒包括第二主體、第一接觸墊及第二接觸墊，第二電子裝置以及第二RC箝位器。該第一接觸墊暴露於該第二主體之表面，並機械且電耦接至該第一主體之該第一接觸墊。該第二接觸墊暴露於該第二主體之該表面，並機械且電耦接至該第一主體之該第二接觸墊。該第二電子裝置形成在該第二主體中，且耦接在暴露在該I/O晶粒之該表面上之該第一接觸墊與該第二接觸墊之間。該第二RC箝位器形成在該第二主體中，並耦接在該I/O晶粒之該第一接觸墊與該第二接觸墊之間。該積體電路裝置亦包括機械且電耦接至該I/O晶粒之被動區域的基板。

【0009】 在又一實例中，提供一種用於形成一積體電路裝置的方法。該方法包括將非I/O晶粒之一主動區域安裝在I/O晶粒之主動區域上，該非I/O晶粒包含具有至少兩個BigFET之RC箝位器；及將該I/O晶粒一被動區域安裝在基板上。

【圖式簡單說明】

【0010】 為了可以詳細地理解上述特徵的方式，可以參考實例實施具有上文簡要概述之更具體描述，其中一些實例在附圖中說明。然而，應注意，附圖僅說明典型實例實施，且因此不應視為對其範圍的限制。

【0011】 [圖1]為根據實例實施的包括堆疊在I/O晶粒上之非I/O晶粒的堆疊式IC總成的剖面圖。

【0012】 [圖2]為根據實例的更詳細地示出I/O晶粒的剖面圖。

【0013】 [圖3]為根據實例描繪I/O晶粒之電路系統的示意圖。

【0014】 [圖4]為根據實例更詳細地示出圖1之非I/O晶粒的剖面圖。

【0015】 [圖5]為根據實例描繪非I/O晶粒之電路系統的示意圖。

【0016】 [圖6]為根據實例描繪製作堆疊式IC總成的方法的流程圖。

【0017】 為了便於理解，在可能的情況下已使用相同參考標記來指定為圖中共同的相同元件。可以預期，一個實例的元件可以有益地併入在其他實例中。

【實施方式】

【0018】 在下文中參考附圖描述各種特徵。應注意，附圖可或可不按比例繪製，且在整個圖中，相似結構或功能的元件由相似的附圖標記表示。應注意，諸圖僅旨在促進特徵之描述。其無意作為所主張創作之窮盡性描述或對所主張創作之範圍的限制。結合特定實例描述的方面或優點不必限於彼實例，且可以在任何其他實例中實踐，即使未如此示出或未明確描述。

【0019】 本文中描述用於堆疊式積體電路（IC）總成中之靜電放電（ESD）保護的技術。在實例中，積體電路（IC）總成包括基板及堆疊在I/O晶粒上之非I/O晶粒。堆疊式非I/O及I/O晶粒安裝至基板。在堆疊式IC總成中，非I/O晶粒內之ESD電流路由穿過非I/O晶粒上之ESD電路系統，該非I/O晶粒包括具有複數個BigFET的RC箝位器。BigFET串聯耦接以提供高效且具有成本效益的RC箝位器，用於保護非I/O晶粒內之電荷敏感電路系統，而無需如在習用晶片封裝中發現依賴所附接I/O晶粒之ESD電路系統。如本文中進一步所描述，BigFET經配置以提供足以為非I/O晶粒上之電荷敏感電路系統提供ESD保護的崩潰電壓。多個

BigFET的使用准許在BigFET內可選地使用薄閘極氧化層，從而實現更具成本效益且較簡單製造工藝。ESD電路系統亦可以視情況利用一或多個擴散防護環，這些擴散防護環安置在一或多個BigFET的周圍，這些BigFET包含ESD電路系統，此進一步增加崩潰電壓，且因此增強ESD電路系統有效處理重大ESD事件的能力。儘管下文所描述之新型ESD電路系統在非I/O晶粒中使用時已得到特別利用，但與傳統ESD電路系統相比，ESD電路系統亦可在I/O晶粒中使用，以利用較低成本且較簡單之製造工藝。

【0020】 圖1為根據例示性實施說明為堆疊式晶片封裝100之積體電路裝置的剖面圖。堆疊式晶片封裝100包括基板，第一積體電路（IC）晶粒106及第二IC晶粒108。第二晶粒108堆疊在第一晶粒106上。晶粒106、108之堆疊組合安裝在基板上。因此，在圖1之實例中，第一晶粒106為輸入/輸出（I/O）晶粒，而第二晶粒108為非I/O晶粒。在一個實例中，基板可以為封裝基板102。在另一實例且如在圖1中所描繪，該基板為中介層基板104，該中介層基板104安裝在封裝基板102上以形成封裝100。IC晶粒106、108彼此電連接和機械連接。晶粒106、108的堆疊組合經電且機械地連接至中介層基板104。中介層基板104電且機械地連接至封裝基板102。封裝基板102可以經電且機械地連接至晶片封裝100外部的基板，諸如圖1中未示出之印刷電路板（PCB）。

【0021】 封裝基板102可為任何合適類型的有機基板、無機基板等。封裝基板102包括複數個焊球110，其為堆疊式晶片封裝100提供外部電接觸。中介層基板104可為任何合適類型之有機基板、無機基板等。中介層基板104包括複數個焊料凸塊112（例如，C4凸塊）。封裝基板102包括將焊球110電連接至焊料凸塊112的金屬化層（未示出）。IC晶粒106、108可以包括諸如矽等的半導體基板。第一晶粒106包括複數個焊料凸塊（例如，微凸塊）。封裝基板104包括將焊料凸塊112電連接至焊料凸塊114的金屬化層（未示出）。

【0022】 第一晶粒106進一步包括穿矽通孔(TSV) 126及主動側116。TSV 126在第一晶粒106之背面120與主動側116之間延伸。主動側116包括主動電路系統及金屬化層(如圖2所示)。TSV 126將焊料凸塊114電連接至主動側116。第二晶粒108進一步包括背面122及主動側118。主動側118包括主動電路系統及金屬化層(未示出)。主動側116藉由諸如金屬柱、焊料凸塊等接觸件124電耦接至主動側118。

【0023】 在圖1之實例中，第二晶粒108藉由接觸件124電且機械地安裝至第一晶粒106。第一晶粒106藉由焊料凸塊114電且機械地安裝至中介層基板104。中介層基板104藉由焊料凸塊112電且機械地安裝至封裝基板102。封裝基板102可以藉由焊球110電且機械地安裝至諸如PCB的外部基板(未示出)。堆疊式IC總成可視情況包括為清楚起見而被省略的各種其他元件，例如底部填料，蓋等。

【0024】 堆疊式晶片封裝100亦可包括除了圖1中所示出之實例以外的其他變型。在該實例中，IC晶粒106、108面對面地堆疊(例如，主動側至主動側)。如本文中所使用，「主動側」係指矽基板之在其上製造主動裝置(即，電晶體、電容器等)的一側，而非矽基板之「背面」。在其他實例中，IC晶粒106、108可以面對面地堆疊至背面(例如，第二晶粒108之主動側118可以安裝至第一晶粒106之背面120，而第一晶粒106之主動側116可以安裝在中介層基板104上)。在任一實例中，第一晶粒106包括TSV 126，以在背面120與主動側116之間提供電通路。在另一實例中，且如上文所提及，可以省略中介層基板104，且第一晶粒106及第二晶粒108之堆疊組合可直接安裝至封裝基板102。在所示出實例中，堆疊式晶片封裝100包括兩個IC晶粒106及108。然而，堆疊式晶片封裝100可以包括多於兩個IC晶粒。舉例而言，可以安裝三個或多於三個IC晶粒以形成單個晶粒堆疊。在另一實例中，IC晶粒之多個堆疊可以並排配置安裝在中介層基板104

上。

【0025】 電荷可以在堆疊式晶片封裝100中之基板之間的各種介面處累積。舉例而言，電荷可積聚在焊球110上，在第二晶粒108之半導體基板上以及在IC晶粒106、108之電路系統的內部節點處。此等電荷可以經由IC晶粒106、108之電路系統放電（被稱為靜電放電（ESD））。因此，IC晶粒106、108可以在其中包括ESD保護電路系統，以保護電荷敏感電路系統不受ESD影響。

【0026】 在一個實例中，第一晶粒106包括形成在主動側116上之ESD保護電路系統。電荷及/或電接地的源可以穿過第一晶粒106之TSV 126。因此，第一晶粒106在主動側116上之金屬化層中包括「U形佈線」，以將給定TSV 126電連接至形成在半導體基板中之主動電路系統。下面關於圖2進一步描述此等U形佈線。

【0027】 圖2為根據實例更詳細地示出I/O晶粒106的剖面圖。在圖2之實例中，第一晶粒106旋轉180度，使得背面120在圖2之頂部處，而主動側116在圖2之底部處。在該實例中，第一晶粒106包括TSV 126A及126B。TSV 126A電耦接至正電荷源（例如，封裝上之焊球）。TSV 126B電耦接至電接地（例如，封裝上之另一焊球）。第一晶粒106包括形成在半導體基板（例如，電晶體、二極體、電容器等）中之ESD電路系統214。第一晶粒106進一步包括形成在其主動側116上之金屬化層201。通常，金屬化層201包括第一複數個金屬層203A及第二複數個金屬層203B。第一複數個金屬層203A形成在半導體基板上且最靠近半導體基板。第二複數個金屬層203B形成在第一複數個金屬層203A上且距半導體基板最遠。通常，金屬化層201可以包括任何數目個金屬層，且每複數個金屬層203A及203B可以各自包括任何數目個金屬層。此外，通常，最接近第一晶粒106之基板的金屬層比距第一晶粒106之基板較遠的金屬層薄。因此，複數個金屬層203A中之金屬層比複數個金屬層203B中之金屬層薄。金屬化層201亦包括安置在金屬層之間的介電材料層，為清楚起見將其省略。

【0028】 在該實例中，金屬化層201包括塔架206A、206B、206C及206D（通常為塔架206）。每一塔架206形成在複數個金屬層203A（例如，較薄金屬層）中。每一塔架206包括通孔202與金屬段204之垂直堆疊。在該實例中，塔架206D電連接至TSV 126A。塔架206A電連接至TSV 126B。塔架206B及206C電連接至ESD電路系統214。

【0029】 在該實例中，金屬化層201包括金屬段208及形成在複數個金屬層203B中之通孔210。金屬段208比形成在複數個金屬層203A中之金屬段204厚。金屬段212為距第二晶粒108之基板最遠的金屬層，且形成在複數個金屬層203B中。在該實例中，塔架206中之每一者電耦接至複數個金屬層203B中之金屬段208。

【0030】 在該實例中，用於ESD放電路徑的電流源及電流槽分別為TSV 126A及126B。此外，在ESD電路系統214中形成ESD保護電路系統（圖3中所示出之實例）。為了保護電荷敏感電路系統不受ESD影響，ESD放電路徑必須在ESD電路系統214中包括ESD保護電路系統。因此，金屬化層201包括用於將TSV 126A、126B電連接至ESD電路系統214的U形佈線。通常，U形佈線包括兩個垂直導電路徑（垂直於第二晶粒108）及水平導電路徑（平行於第二晶粒108）。一種類型之U形佈線包括在複數個金屬層203A中形成之水平導電路徑（例如，使用最接近第二晶粒108之基板的金屬層）。雖然此U形佈線為最短路徑，但水平導電路徑係使用薄金屬段形成的，該金屬段可能被ESD放電電流損壞。因此，應避免將金屬段204用於U形佈線之水平導電路徑。在該實例中，U形佈線包括使用複數個金屬層203B之金屬層（例如，較厚金屬層）形成的水平導電路徑。因此，U形佈線包括用於垂直導電路徑之兩個塔架206及用於水平導電路徑之金屬段208。舉例而言，U形佈線220包括用於一個垂直導電路徑之塔架206B，用於水平導電路徑之金屬段208以及用於另一垂直導電路徑之塔架206A。金屬段208進一

步經由塔架206B及206C電耦接至ESD電路系統214。另一U形佈線(未明確示出)由塔架206D、金屬段208及塔架206C形成。U形佈線將TSV 126A、126B電連接至ESD電路系統214，並採用水平導電路徑，這些水平導電路徑使用較厚的金屬段，而非複數個金屬層203A之較薄金屬段。若將ESD放電路徑直接自ESD元件路由至TSV，則使用U形佈線可避免原本可能發生之對ESD放電路徑的損壞。

【0031】 圖3為根據實例描繪電路系統214的示意圖。電路系統214包括電路302及ESD保護電路系統304。電路302包括電荷敏感電路系統306(例如，驅動器)，且可以包括其他ESD保護電路系統310，諸如RC箝位器。其他ESD保護電路系統310之RC箝位器通常包括耦接在U形佈線220A與220C之間的單個BigFET。單個BigFET通常包括較厚氧化物閘極層。氧化物閘極層之實際厚度通常取決於電路設計的技術節點。ESD保護電路系統304包括一對二極體312、314。電路系統214分別使用U形佈線220A、220B及220C耦接至TSV 316、318及320。二極體314之陽極經由U形佈線220B耦接至TSV 328。二極體314之陰極經由U形佈線220A耦接至TSV 316。二極體312之陽極經由U形佈線220C耦接至TSV 320。二極體312之陰極經由U形佈線220B耦接至TSV 318。電荷敏感電路系統306電連接至TSV 316、318及320中之每一者。舉例而言，TSV 316及320可以為電壓源(分別為例如VDD和VSS)，而TSV 318可以為信號源。圖3中所示出之電路系統214僅為例示性。可以採用各種類型之ESD保護電路系統來保護各種類型之電荷敏感電路系統。如圖2中所示出，可以使用任何數目個U形佈線將TSV耦接至電路系統214。

【0032】 圖4為更詳細地示出第二晶粒108的剖面圖。在圖4之實例中，第二晶粒108之背面122在圖4之頂部處，而主動側118在圖4之底部處。如圖1中所說明，在第二晶粒108之主動側118處以虛線示出接觸件124，以用於耦接至第一晶粒106。

【0033】 繼續參考圖4，第二晶粒108包括晶粒主體400。晶粒主體400由矽基板416形成，在該矽基板上，堆積層414形成在基板416之主動側118上。堆積層414通常包括在半導體製造廠（亦稱為FAB）之生產線的后端（BEOL）及生產線的前端（FEOL）中執行的操作期間所堆疊的導電及介電材料層。因此，在BEOL中執行的操作期間所堆疊的導電及介電材料層可以被稱為BEOL層404，而在FEOL中執行的操作期間所堆疊的導電及介電材料層可以被稱為FEOL層402。通常，BEOL層404中之層用於形成由導電通孔422及段424形成的互連電路系統420，該互連電路系統端接於在第二晶粒108之主動側118上形成的接觸墊430處。因此，BEOL層404亦可以被稱為晶粒主體400之被動區域。接觸墊430形成用於經由接觸件124（在圖4中以虛線示出）互連第二晶粒108及第一晶粒106的连接表面。BEOL層404典型地比FEOL層402之層厚。FEOL層402用於在第二晶粒108內形成電路系統406。電路系統406通常包括主動電路元件，諸如電晶體等，且因此，FEOL層402亦可以被稱為晶粒主體400之主動區域。第二晶粒108內之電路系統406經由接觸件124藉由互連電路系統420耦接至第一晶粒106。

【0034】 視情況，第二晶粒108（在圖4中以虛線部分地示出）可以堆疊在第二晶粒108上。安置在第一晶粒106與第二晶粒108之間的第二晶粒108包括TSV 442或其他佈線，其他佈線將以虛線示出之第二晶粒108耦接至第二晶粒108之電路系統406或直接耦接至第一晶粒106之電路系統。

【0035】 繼續參考圖4，第二晶粒108之電路系統406通常包括ESD電路系統410及電荷敏感電路系統408（例如，驅動器、記憶體或其他主動電路裝置）。儘管ESD電路系統410當在非I/O晶粒（即，第二晶粒108）中使用時發現特殊實用性，但ESD電路系統410可以視情況用於I/O晶粒（即，第一晶粒106）中。ESD電路系統410可以視情況由一或多個擴散防護環412保護。擴散防護環412由堆疊段424及通孔422形成，且在ESD電路系統410與包含第二晶粒108之電路系統406

的其他電路系統之間提供導電物理障礙。擴散防護環412可以為電浮動的，或可以經由接觸件124耦接至電接地或電源。在其中非I/O晶粒之基板416為P摻雜的實例中，擴散防護環412可以耦接至接觸墊430，接觸墊430經組態以經由接觸件124將擴散防護環412連接至接地。在其中非I/O晶粒之基板416為N摻雜的實例中，擴散防護環412可以耦接至接觸墊430，接觸墊430經組態以經由接觸件124將擴散防護環412連接至電源，諸如Vdd等。

【0036】 圖5為根據實例描繪ESD電路系統410的示意圖。ESD電路系統410與第二晶粒108之電荷敏感電路系統408並聯耦接在第一幹線520與第二幹線522之間。第一幹線520耦接至一或多個接觸墊430，該一或多個接觸墊430經組態以連接至諸如Vdd等電源。第二幹線522耦接至經組態以連接至接地的一或多個接觸墊430。

【0037】 ESD電路系統410包括RC箝位器502及觸發電路系統504。ESD電路系統410被用來保護第二晶粒108之電荷敏感電路系統408。擴散防護環412通常用於增加可由ESD電路系統410有效處理的電流量，或換言之，增加ESD電路系統410的崩潰電壓。擴散防護環412可以圍繞整個ESD電路系統410或ESD電路系統410的一或多個部分形成。舉例而言，一個擴散防護環412可將RC箝位器502與觸發電路系統504分開。擴散防護環412可以外接RC箝位器502及觸發電路系統504中之一者或兩者。一或多個擴散防護環412可以外接RC箝位器502之一部分、多個部分或單獨部分。擴散防護環412有利地增加了RC箝位器502之崩潰電壓，從而使得RC箝位器502能夠在ESD事件期間處理較高電流。

【0038】 觸發電路系統504向RC箝位器502提供啟動信號，其用作RC箝位器。觸發電路系統504包括電阻器508、反相器506及至少一個電容器510。電阻器508耦接在第一幹線520與反相器506之輸入之間。至少一個電容器510耦接在第二幹線522與反相器506之輸入之間。反相器506之輸出耦接至RC箝位器502。

可以基於RC箝位器502之啟動信號需求與ESD事件的預期電壓來選擇電阻器508與電容器510的電阻及電容值以及反相器506的放大量。在圖5中所繪示之實例中，至少兩個電容器510串聯耦接在第二幹線522與反相器506之輸入之間。利用兩個或多於兩個晶粒，兩個或多於兩個（即，複數個）串聯耦接電容器510改良觸發電路系統504之崩潰電壓，從而使得電容器510能夠由較薄材料層（諸如由FEOL層402中之一或多者）製造，此改良裝置效能同時降低成本。

【0039】 RC箝位器502包括複數個大場效應電晶體（BigFET）530，其射極端子及源極端子串聯耦接在第一幹線520與第二幹線522之間。BigFET 530中之每一者之閘極端皆耦接至反相器506之輸出。在一個實例中，RC箝位器502包括至少兩個級聯BigFET 530。在圖5中所繪示之實例中，三個BigFET 530串聯耦接。在其他實例中，多於三個BigFET 530串聯耦接。藉由在第一幹線520與第二幹線522之間串聯耦接BigFET 530，RC箝位器502之崩潰電壓大大超過包含單個BigFET之RC箝位器之崩潰電壓。舉例而言，級聯BigFET 530的崩潰電壓約為包含單個BigFET之習用RC箝位器的兩倍。

【0040】 藉由使用一或多個擴散防護環412，可以進一步增加崩潰電壓，且因此提高RC箝502之效能。舉例而言，一個擴散防護環412可以外接BigFET 530中之一或多個。在另一實例中，單個擴散防護環412外接每一BigFET 530。在又一實例中，第一擴散防護環412可以外接第二擴散防護環412，第二擴散防護環412外接至少一或多個BigFET 530。有利地，由擴散防護環412外接之BigFET 530的崩潰電壓約為未保護BigFET 530的兩倍，而由兩個擴散防護環412外接之BigFET 530的崩潰電壓約為未保護BigFET 530的三倍。因此，用一或多個擴散防護環412保護BigFET 530可提供對RC箝位器502之電流容量的顯著改良。

【0041】 因為串聯耦接的BigFET 530具有崩潰電壓，所以與在習用RC箝位器中使用（例如，在第一晶粒106中使用）之單個BigFET相比，可以利用更薄

閘極氧化物層來製造每一BigFET 530。舉例而言，第一晶粒106之另一ESD電路系統310之習用RC箝位器中使用的單個BigFET中之閘極氧化物層比BigFET 530之薄閘極氧化物層厚至少2至3倍。在BigFET 530中使用薄閘極氧化物層可以允許BigFET 530有利地具有較小外觀尺寸，且可以在FEOL層402中利用FEOL製造技術進行製造。因此，BigFET 530中之薄閘極氧化物層為FEOL層402中之一者。與習用厚氧化物BigFET設計相比，在FEOL層402中製造BigFET 530之薄閘極氧化物層具有較高成本效益，且因此有利地降低非I/O晶粒之成本及複雜性。此外，因為ESD電路系統410有效地利用串聯耦接之BigFET 530來處理ESD事件，所以不需要I/O晶粒中ESD電路中通常使用的雙二極體，此相對於I/O晶粒或具有與I/O晶粒之ESD電路基本上相同的ESD電路的其他習用非I/O晶粒，進一步降低非I/O晶粒之成本及複雜性。

【0042】 在ESD電路系統410之操作的實例中，ESD事件可以在第一幹線520上施加電荷。第一幹線520上之電壓致使電流流過觸發電路系統504之電阻器508並為電容器510充電。流出電阻器508之電流的一部分作為輸入提供至反相器506。反相器506回應於輸入電流而提供輸出信號。將反相器506之輸出信號作為輸入信號提供至BigFET 530之閘極端子。回應於輸入信號超過BigFET 530之啟動電壓，BigFET 530啟動以將第一幹線520耦接至第二幹線522，因此允許第一幹線520上之電流經由第二幹線522放電至接地，同時有益地旁通並因此保護電荷敏感電路系統408。

【0043】 因為ESD電路系統410在第二晶粒108上（即，在晶粒主體內），所以在耦接至第一晶粒106之前，保護第二晶粒108之電荷敏感電路系統408免受ESD事件影響。舉例而言，在耦接至第一晶粒106之前，在第二晶粒108之製造、分類、測試及處理期間，保護其上具有ESD電路系統410之第二晶粒108免受ESD事件影響。此外，甚至在第二晶粒108耦接至第一晶粒106之後，第二晶粒108亦

不會受到ESD事件影響，這些ESD事件會旁通所連接第一晶粒106之ESD電路系統。舉例而言，第二晶粒108之電荷敏感電路系統408受到保護防止ESD事件經由穿過第一晶粒106之TVS傳播至第二晶粒108，這些TVS與第一晶粒106的ESD電路系統電隔離。

【0044】 圖6為根據實例描繪用於製造積體電路裝置（諸如上文所描述晶片封裝100）的方法600的流程圖。方法600開始於可以由一或多個半導體製造工具執行。在操作602處，堆疊O/I晶粒及非I/O晶粒。舉例而言，非O/I晶粒可以堆疊在非I/O晶粒上。O/I晶粒之電路系統經由焊料互連件電且機械地連接至非I/O晶粒之電路系統。在堆疊期間，非I/O晶粒之ESD電路系統可保護非I/O晶粒之電荷敏感電路系統。儘管在上文所提供之實例中，I/O及非I/O晶粒自主動側至主動側堆疊，但替代地，晶粒可自主動側至背面，或甚至自背面至背面堆疊。

【0045】 在操作604處，將經堆疊的I/O及非I/O晶粒電且機械地連接至基板。基板可以為中介層基板或封裝基板。舉例而言，經堆疊的I/O及非I/O晶粒可以具有直接安裝至封裝基板之I/O晶粒。當將經堆疊的I/O及非I/O晶粒安裝至中介層基板（其中I/O晶粒直接安裝至中介層基板）以形成堆疊式總成時，堆疊式總成之中介層基板然後電且機械地連接至封裝基板。

【0046】 因此，已描述用於堆疊式積體電路(IC)總成中之靜電放電(ESD)保護的技術，這些技術在非I/O晶粒中利用ESD保護電路系統。在堆疊式IC總成中，非I/O晶粒內之ESD電流經路由穿過RC箝位器，該RC箝位器包含複數個BigFET，該複數個BigFET包含ESD保護電路系統。BigFET串聯耦接以提供高效且具有成本效益的RC箝位器，該RC箝位器用於保護非I/O晶粒內之電荷敏感電路系統，而無需如在習用晶片封裝中發現依賴所附接I/O晶粒之ESD電路系統。

【0047】 雖然前述內容針對特定實例，但在不脫離其基本範圍的情況下可以設計其他實例，且其範圍由所附申請專利範圍判定。

【符號說明】

【0048】

100:堆疊式晶片封裝

102:封裝基板

104:中介層基板

106:第一積體電路（IC）晶粒

108:第二IC晶粒

110:焊球

112:焊料凸塊

114:焊料凸塊

116:主動側

118:主動側

120:背面

122:背面

124:接觸件

126:穿矽通孔（TSV）

126A:TSV

126B:TSV

201:金屬化層

202:通孔

203A:金屬層

203B:金屬層

204:金屬段

206A:塔架
206B:塔架
206C:塔架
206D:塔架
208:金屬段
210:通孔
212:金屬段
214:靜電放電（ESD）電路系統
220A:U形佈線
220B:U形佈線
220C:U形佈線
302:電路
304:ESD保護電路系統
306:電荷敏感電路系統
310:ESD保護電路系統
312:二極體
314:二極體
316:TSV
318:TSV
320:TSV
400:晶粒主體
402:生產線的前端（FEOL）層
404:生產線的後端（BEOL）層
406:電路系統

408:電荷敏感電路系統
410:ESD電路系統
412:擴散防護環
414:堆積層
416:矽基板
420:互連電路系統
422:導電通孔
424:段
430:接觸墊
442:TSV
502:RC箝位器
504:觸發電路系統
506:反相器
508:電阻器
510:電容器
520:第一幹線
522:第二幹線
530:大場效應電晶體 (BigFET)
600:方法
602:操作
604:操作

【新型申請專利範圍】

【請求項1】一種積體電路裝置，其包含：

第一晶粒，其具有第一主體，該第一主體包含被動區域及主動區域；

第一接觸墊，其暴露於該第一主體之表面，該第一接觸墊經組態以連接至第一供應電壓；

第二接觸墊，其暴露於該第一主體之該表面，該第二接觸墊經組態以連接至第二供應電壓或接地；

第一電荷感應電路系統，其形成在該第一主體中，且耦接在該第一接觸墊與該第二接觸墊之間；及

第一RC箝位器，其形成在該第一主體中，且耦接在該第一接觸墊與該第二接觸墊之間，該第一RC箝位器包含：

至少兩個BigFET，其耦接在該第一接觸墊與該第二接觸墊之間；及

觸發電路系統，其並聯耦接至該至少兩個BigFET之閘極端子。

【請求項2】如請求項1之積體電路裝置，其中該第一主體包含：

複數個FEOL層，其包括氧化物層，該氧化物層形成該至少兩個BigFET中之第一BigFET之閘極氧化物層。

【請求項3】如請求項2之積體電路裝置，其進一步包含：

第二晶粒，其在RC箝位器中具有BigFET，該第二晶粒之該RC箝位器之BigFET具有比該第一晶粒之該第一BigFET的該閘極氧化物層厚的氧化物閘極層。

【請求項4】如請求項3之積體電路裝置，其中該第二晶粒之該氧化物閘極層的厚度為該第一晶粒之該第一BigFET之該閘極氧化物層的厚度至少兩倍。

【請求項5】如請求項1之積體電路裝置，其進一步包含：

擴散防護環，其將至少兩個BigFET之第一BigFET與至少兩個BigFET之第二

BigFET分開。

【請求項6】如請求項5之積體電路裝置，其中將第一BigFET分開的該擴散防護環形成圍繞該第一BigFET之防護環的一部分。

【請求項7】如請求項1之積體電路裝置，其進一步包含：

第二晶粒，其具有第二主體，該第二主體包含被動區域及主動區域，該第二主體之該主動區域耦接至該第一主體之該主動區域；

第一接觸墊，其暴露於該第二主體之表面，並機械且電耦接至該第一主體之該第一接觸墊；

第二接觸墊，其暴露於該第二主體之該表面，並機械且電耦接至該第一主體之該第二接觸墊；

第二電荷敏感電路系統，其形成在該第二主體中且耦接在暴露於該第二晶粒之該表面上之該第一接觸墊與該第二接觸墊之間；及

第二RC箝位器，其形成在該第二主體中，並耦接在該第二晶粒之該第一接觸墊與該第二接觸墊之間。

【請求項8】如請求項7之積體電路裝置，該第二RC箝位器包含：單個BigFET。

【請求項9】如請求項8之積體電路裝置，其中該第二RC箝位器之該單個BigFET之閘極氧化物層比該第一RC箝位器之閘極氧化物層厚。

【請求項10】如請求項8之積體電路裝置，其進一步包含：

基板，在其上安裝該第二晶粒，該第二晶粒具有通孔，這些通孔將該基板之電路系統經由穿過該第二晶粒形成之通孔耦接至該第一晶粒的該第一接觸墊及該第二接觸墊。

【請求項11】一種積體電路裝置，其包含：

第一非I/O晶粒，其具有主動區域，該第一非I/O晶粒包含：

第一主體，該第一主體包含被動區域及主動區域；

第一電荷敏感電路系統，其形成在該第一主體中並耦接在第一接觸墊與第二接觸墊之間，該第一接觸墊及第二接觸墊暴露在該第一主體之表面上；及

第一RC箝位器，其形成在該第一主體中，並耦接在該第一接觸墊與該第二接觸墊之間，該第一RC箝位器包括串聯耦接在該第一接觸墊與該第二接觸墊之間的第一BigFET及第二BigFET；

I/O晶粒，其具有與該第一非I/O晶粒之該主動區域機械且電耦接之一主動區域，該I/O晶粒包含：

第二主體；

第一接觸墊，其暴露於該第二主體之表面，並機械且電耦接至該第一主體之該第一接觸墊；

第二接觸墊，其暴露於該第二主體之該表面，並機械且電耦接至該第一主體之該第二接觸墊；

第二電子裝置，其形成在該第二主體中且耦接在暴露於該I/O晶粒之該表面上之該第一接觸墊與該第二接觸墊之間；及

第二RC箝位器，其形成在該第二主體中，並耦接在該I/O晶粒之該第一接觸墊與該第二接觸墊之間；及

基板，其機械且電耦接至該I/O晶粒之被動區域。

【請求項12】如請求項11之積體電路裝置，其中該第一非I/O晶粒進一步包含：

擴散防護環，其將該第一BigFET與該第二BigFET分開。

【請求項13】如請求項11之積體電路裝置，其中該第一非I/O晶粒進一步包含：

第一擴散防護環，其環繞該第一BigFET。

【請求項14】如請求項13之積體電路裝置，其中該第一非I/O晶粒進一步包含：

第二擴散防護環，其環繞該第一擴散防護環。

【請求項15】如請求項14之積體電路裝置，其中該第二RC箝位器之閘極氧化物層比該第一RC箝位器之閘極氧化物層厚。

【請求項16】如請求項11之積體電路裝置，其中該第二RC箝位器之閘極氧化物層比該第一RC箝位器之閘極氧化物層厚。

【請求項17】如請求項11之積體電路裝置，其進一步包含：

第二非I/O晶粒，其堆疊在該第一非I/O晶粒上，該第二非I/O晶粒包含具有複數個串聯連接BigFET之第三RC箝位器。

【請求項18】如請求項17之積體電路裝置，其中該第一I/O晶粒包含：通孔，其經由該I/O晶粒將該基板之電路系統耦接至該第二非I/O晶粒。

【請求項19】如請求項17之積體電路裝置，其中該基板進一步包含：複數個串聯耦接電容器，其電耦接在該第一接觸墊與該第二接觸墊之間。

【新型圖式】

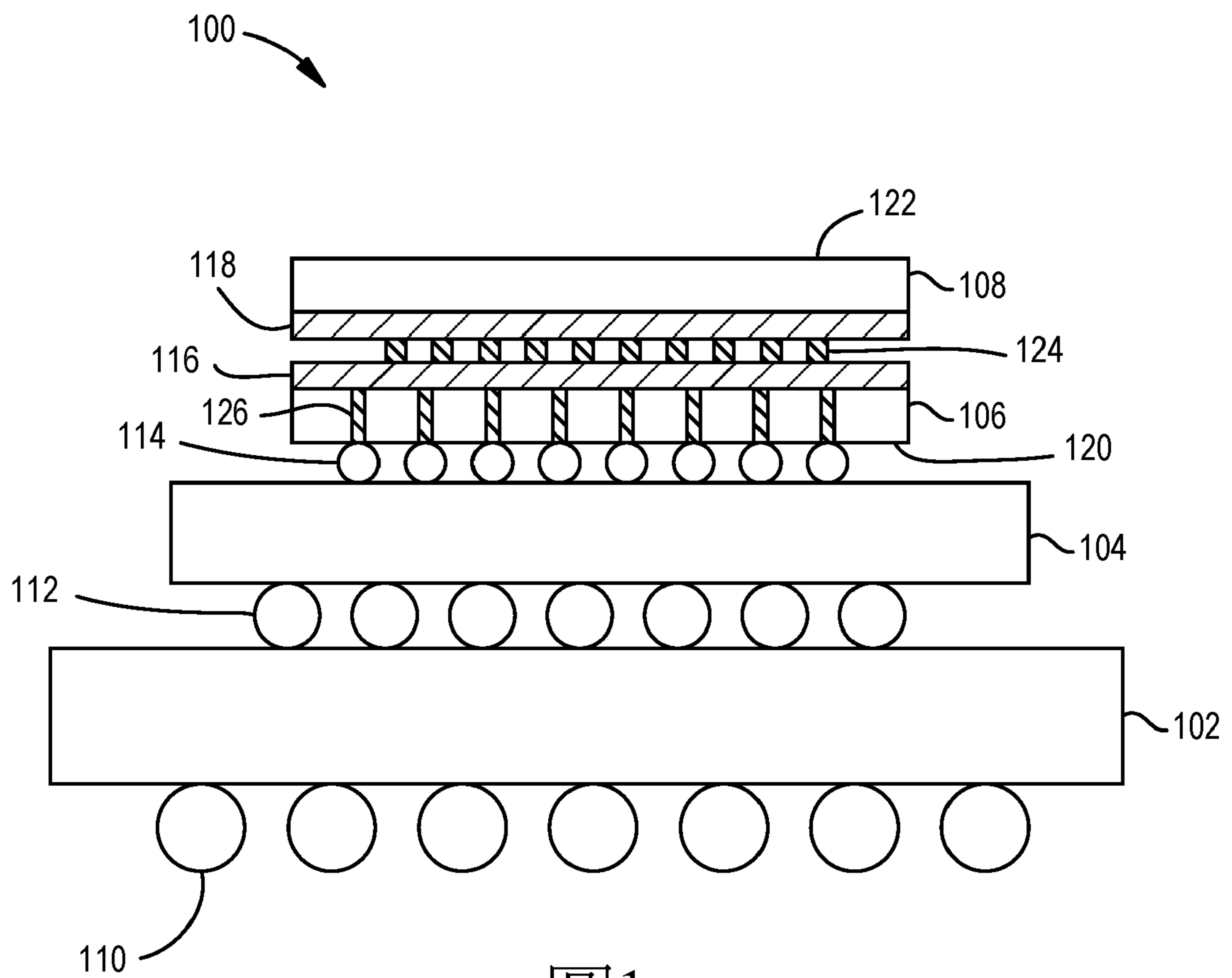


圖1

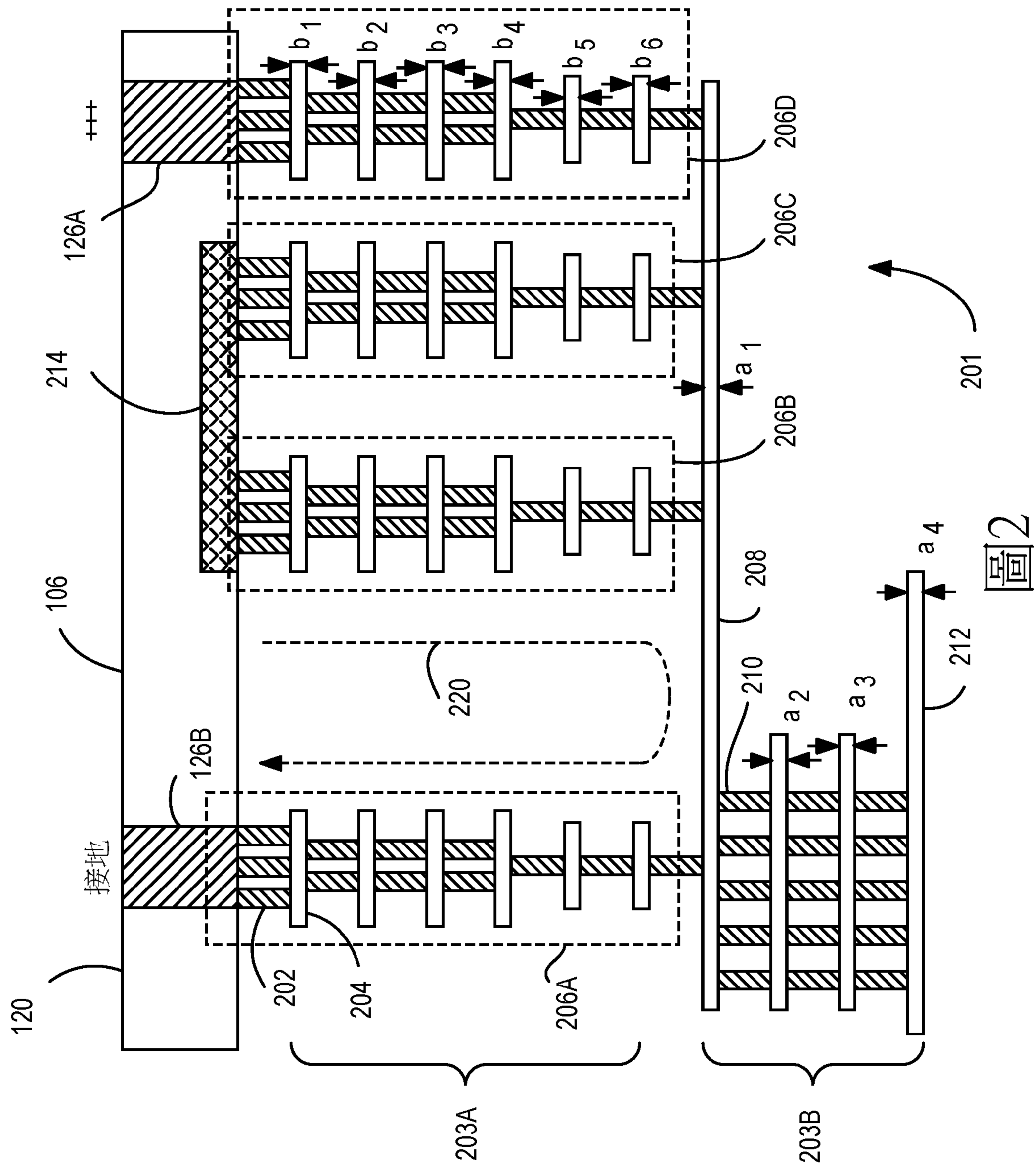


圖2

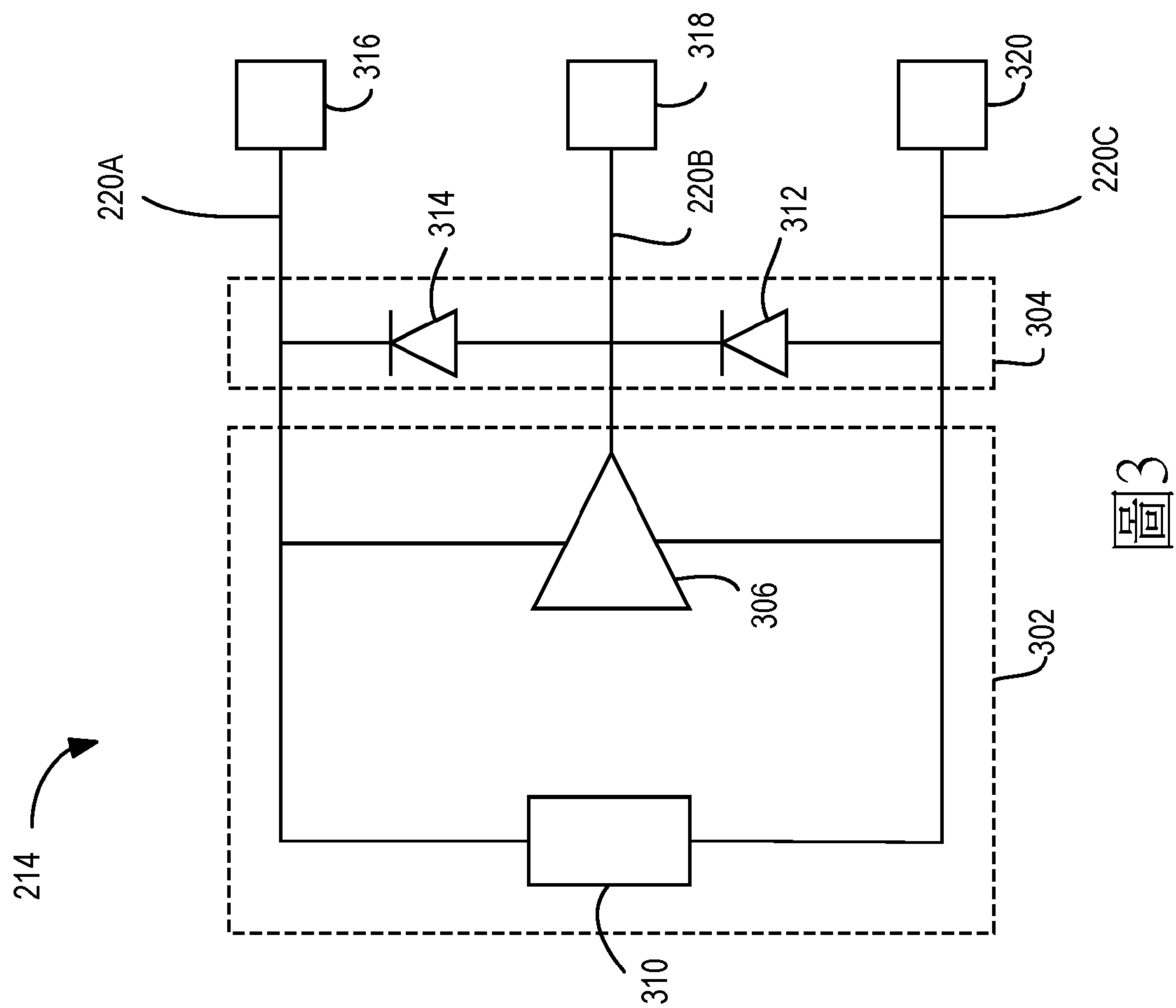


圖3

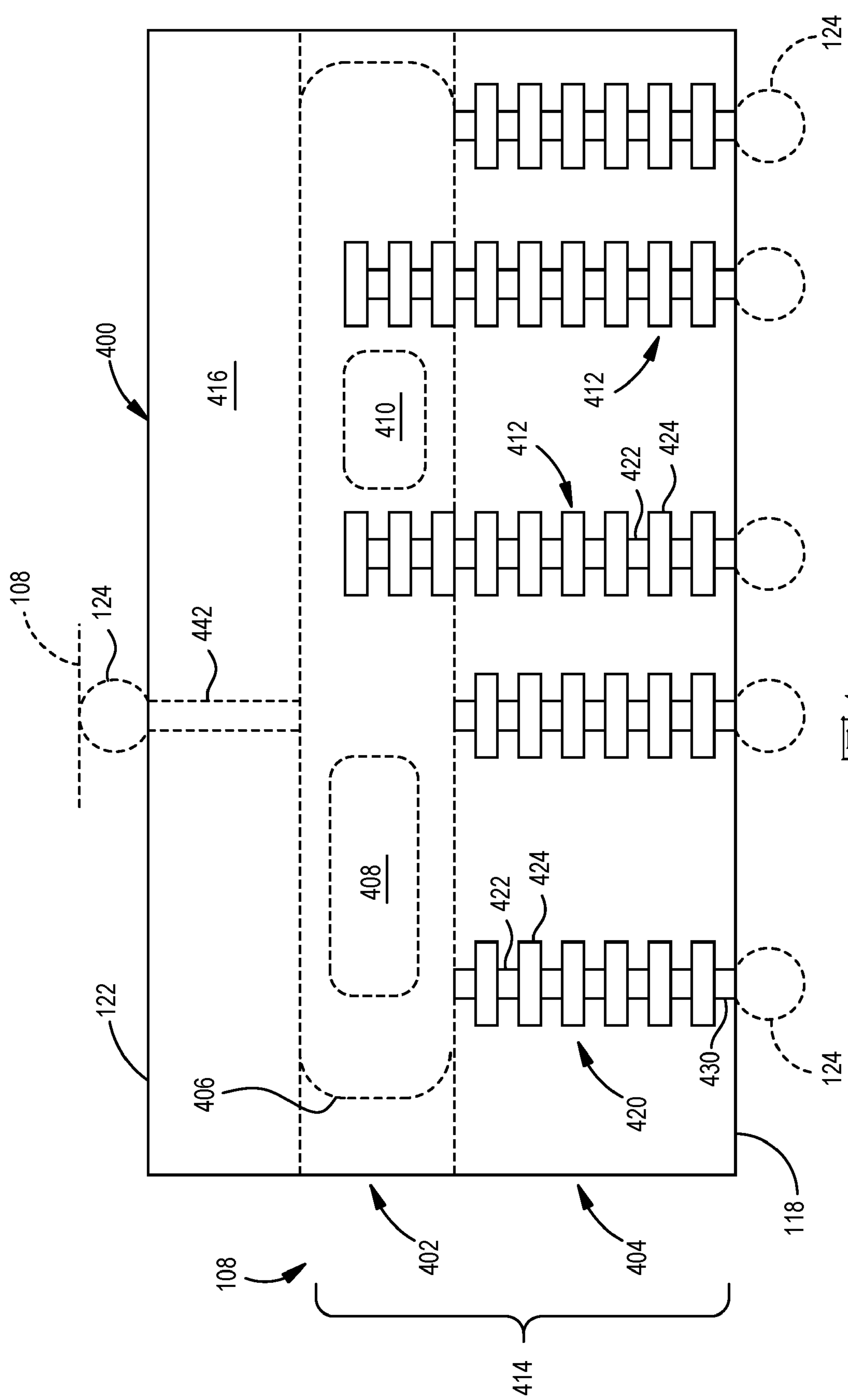


圖4

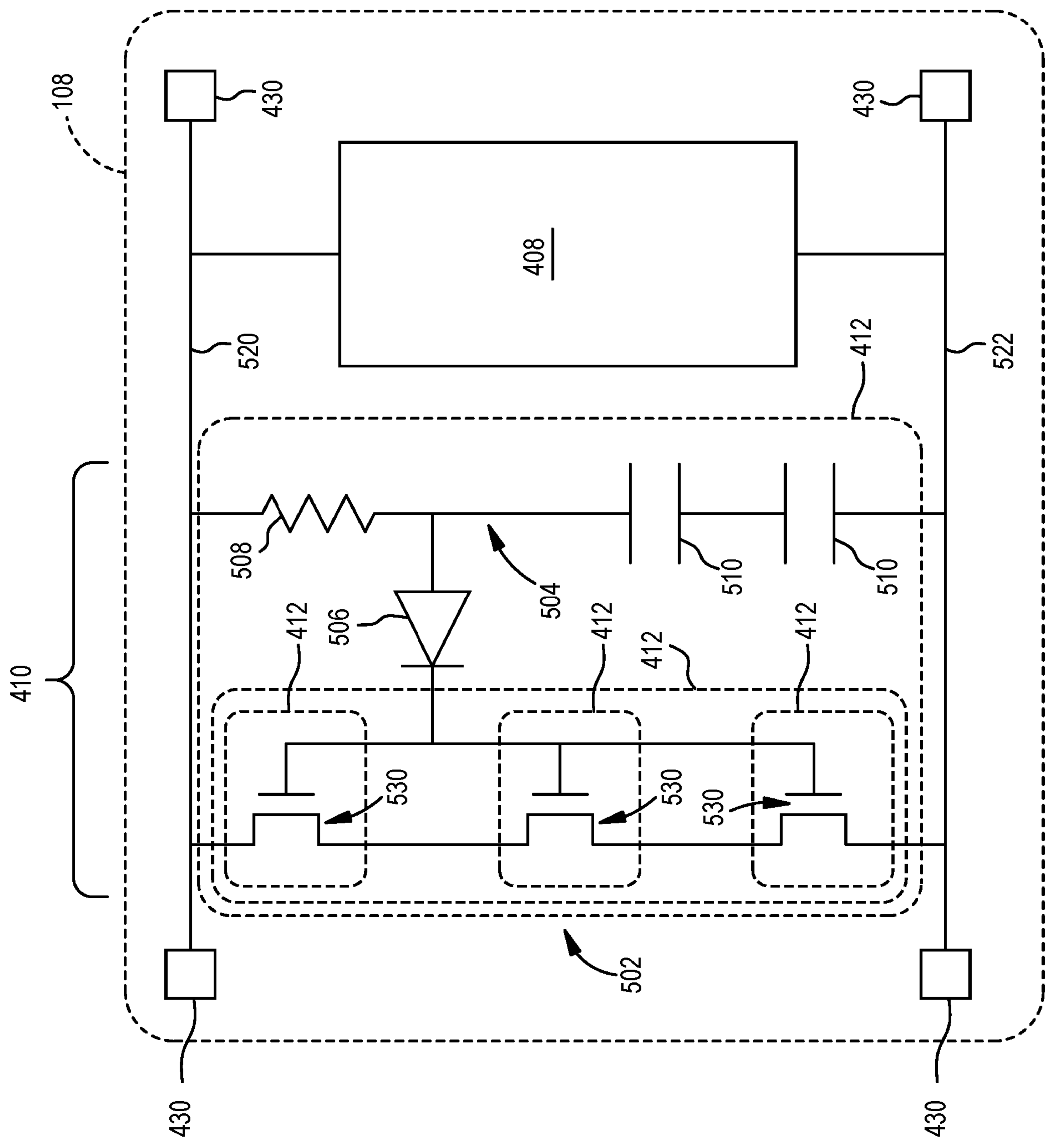


圖5

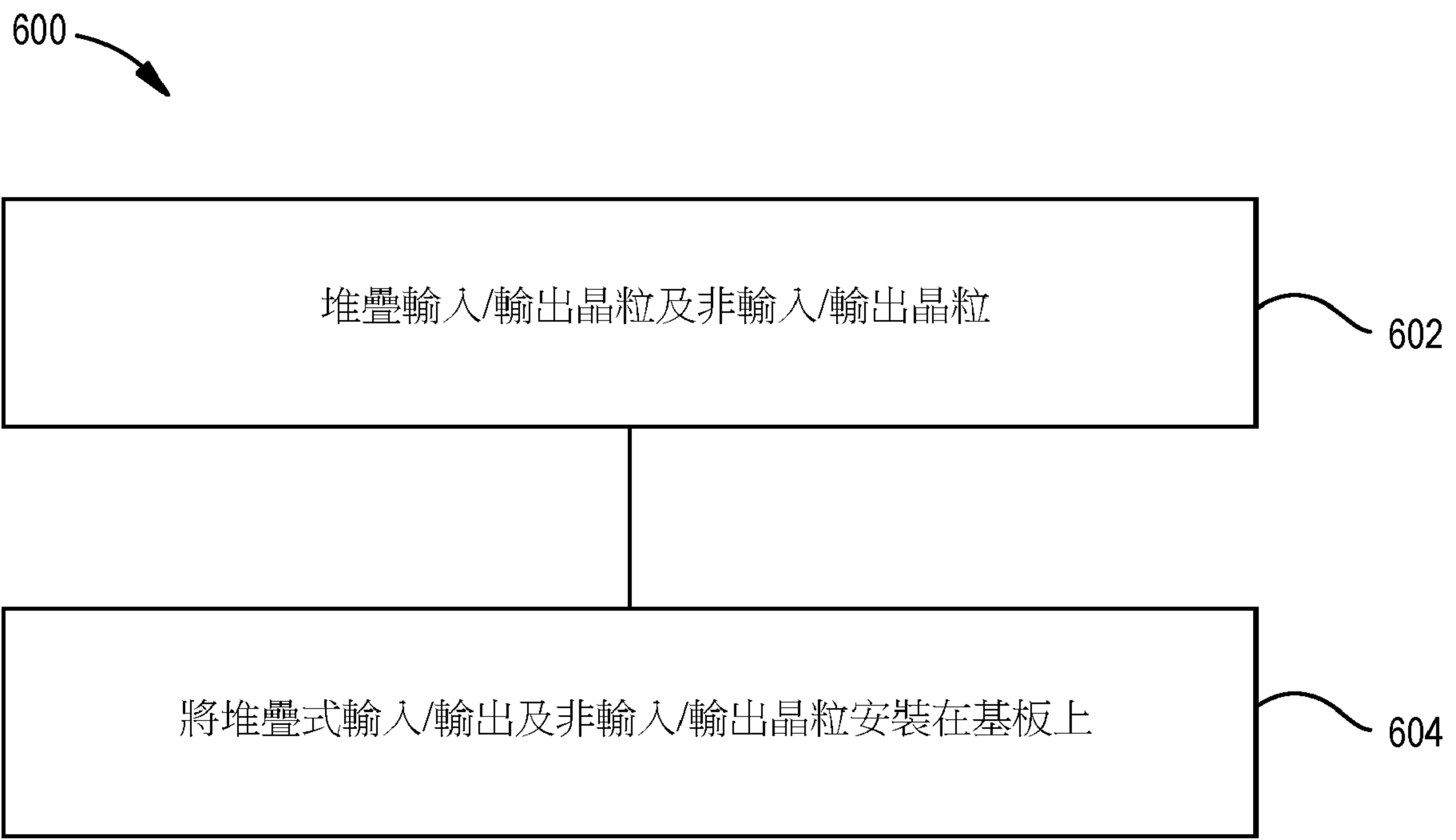


圖6