



(12) 发明专利申请

(10) 申请公布号 CN 113467179 A

(43) 申请公布日 2021.10.01

(21) 申请号 202110707248.1

H01L 27/12 (2006.01)

(22) 申请日 2021.06.23

(71) 申请人 惠科股份有限公司

地址 518000 广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园  
厂房1栋一层至三层、五至七层,6栋七层

(72) 发明人 王光加 袁海江

(74) 专利代理机构 深圳市世纪恒程知识产权代理事务所 44287

代理人 魏润洁

(51) Int. Cl.

G03F 1/00 (2012.01)

G03F 1/38 (2012.01)

H01L 21/77 (2017.01)

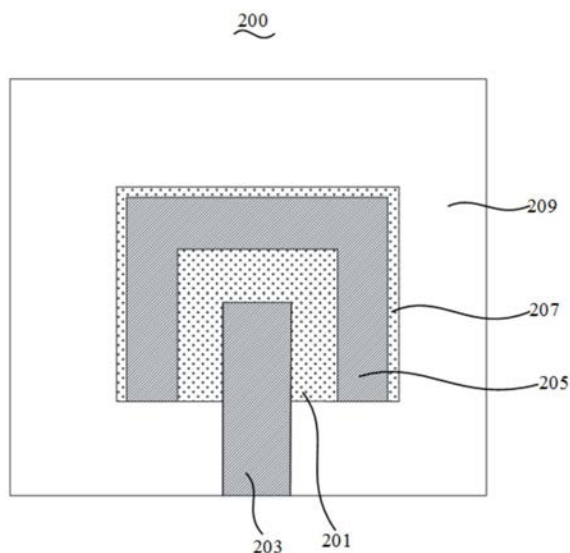
权利要求书2页 说明书8页 附图8页

(54) 发明名称

掩膜版、阵列基板的制作方法及其显示面板

(57) 摘要

本发明公开了一种掩膜版、阵列基板的制作方法及其显示面板。其中,所述掩膜版包括:与沟道区域对应的第一曝光区、位于所述第一曝光区一侧的待形成源极的第二曝光区、位于第一曝光区相对的另一侧的待形成漏极的第三曝光区,以及位于第三曝光区背离所述第一曝光区一侧的第四曝光区,所述第一曝光区与第四曝光区均为半透光区域。本发明技术方案的掩膜版在曝光和显影的过程中,能使得部分光阻遗留在与第一曝光区和第四曝光区相对应的区域内,对待形成沟道区域和待形成漏极的区域进行保护,从而提升画素的开口率。



1. 一种掩膜版,用于制备阵列基板,所述阵列基板包括薄膜晶体管,所述薄膜晶体管包括间隔设置的栅极、源极及漏极,所述源极与漏极之间形成有沟道区域,其特征在于,所述掩膜版包括:

与所述沟道区域对应的第一曝光区、位于所述第一曝光区一侧的待形成源极的第二曝光区、位于所述第一曝光区相对的另一侧的待形成漏极的第三曝光区,以及位于所述第三曝光区背离所述第一曝光区一侧的第四曝光区,所述第一曝光区与所述第四曝光区均为半透光区域。

2. 如权利要求1所述的掩膜版,其特征在于,所述第四曝光区的宽度范围为 $1\sim 2\mu\text{m}$ ;和/或,所述第一曝光区的宽度范围为 $3\sim 5\mu\text{m}$ 。

3. 如权利要求1所述的掩膜版,其特征在于,所述掩膜版还包括第五曝光区,所述第五曝光区设于所述第四曝光区背离所述第三曝光区的一侧。

4. 如权利要求1所述的掩膜版,其特征在于,所述第一曝光区与所述第四曝光区的透光率相同;

和/或,所述第四曝光区与所述第三曝光区无间隙设置。

5. 如权利要求1所述的掩膜版,其特征在于,所述第三曝光区和所述第四曝光区均呈U型设置,且所述第四曝光区与所述第三曝光区相向的两边缘长度相一致。

6. 一种采用如权利要求1至5中任意一项所述的掩膜版制作阵列基板的方法,其特征在于,该方法包括以下步骤:

提供一基底,在所述基底上自下而上依次形成栅极和栅极绝缘层;

在所述栅极绝缘层上依次沉积半导体层、第一金属层及第一光阻层,所述半导体层对应所述栅极的位置设有沟道区域;

将所述掩膜版设于所述第一光阻层的上方,对所述第一光阻层进行曝光并显影;

利用剩余的第一光阻层图案化所述半导体层和第一金属层,形成位于栅极绝缘层上的有源层和位于所述有源层上的间隔设置的源极与漏极。

7. 如权利要求6所述的阵列基板的制作方法,其特征在于,所述第二曝光区和第三曝光区为不透光区域,所述第五曝光区为全透光区域,所述第一光阻层的材质为正性光阻。

8. 如权利要求6所述的阵列基板的制作方法,其特征在于,所述“利用剩余的第一光阻层图案化所述半导体层和第一金属层,形成位于栅极绝缘层上的有源层和位于所述有源层上的间隔设置的源极与漏极”的步骤具体为:

进行第一次蚀刻,去除未被所述第一光阻层遮盖的第一金属层和半导体层;

进行灰化制程,去除所述沟道区域的第一光阻层和第四曝光区的第一光阻层;

进行第二次蚀刻,去除所述沟道区域的第一金属层和部分半导体层,以及所述第四曝光区的第一金属层和半导体层,形成有源层、与有源层两端接触且间隔设置的源极和漏极。

9. 如权利要求6或8任一项所述的阵列基板的制作方法,其特征在于,所述“利用剩余的第一光阻层图案化所述半导体层和第一金属层,形成位于栅极绝缘层上的有源层和位于所述有源层上的间隔设置的源极与漏极”的步骤之后,还包括:

在所述栅极绝缘层上沉积待形成柱状隔垫物的第二光阻层;

图案化所述第二光阻层,形成与所述漏极间隔设置的柱状隔垫物。

10. 一种显示面板,其特征在于,包括彩膜基板、阵列基板和液晶层,所述彩膜基板和所

述阵列基板对盒设置,所述阵列基板为采用如权利要求6至9中任一项所述的阵列基板的制作方法制备而成。

## 掩膜版、阵列基板的制作方法及其显示面板

### 技术领域

[0001] 本发明涉及显示面板制备技术领域,特别涉及一种掩膜版、阵列基板的制作方法及其显示面板。

### 背景技术

[0002] 目前,阵列基板的设计都会采用4mask(四道光刻工艺)设计,通过光罩制程图案化形成薄膜晶体管(TFT开关),但漏极在受到两次蚀刻后其关键尺寸会损失较大,通常为保证漏级不被蚀刻断线或者不会蚀刻导致关键尺寸过小,在进行设计其尺寸时,会特意加大漏级的设计尺寸值,这样就会降低画素的开口率。而且对于柱状隔垫物(Post Spacer,PS)不能站立于TFT开关上的结构,会严重压缩柱状隔垫物的设计空间,导致柱状隔垫物向画素的方向延伸,进一步影响画素的开口率;或者导致柱状隔垫物尺寸过小,从而出现柱状隔垫物制程异常或由柱状隔垫物导致的信赖性问题。

### 发明内容

[0003] 本发明的主要目的是提出一种掩膜版,通过将掩膜版对应沟道区域和漏极的外周缘的部分设置为半透光区域,在曝光和显影的过程中,能使得部分光阻遗留在与第一曝光区和第四曝光区相对应的区域内,对待形成沟道区域和待形成漏极的区域进行保护,有效减少沟道区域和漏极周缘的尺寸损失,旨在解决漏极设计尺寸较大导致开口率小且柱状隔垫物尺寸过小的问题。

[0004] 为实现上述目的,本发明提出的掩膜版,用于制备阵列基板,所述阵列基板包括薄膜晶体管,所述薄膜晶体管包括间隔设置的栅极、源极及漏极,所述源极与漏极之间形成有沟道区域,所述掩膜版包括:与所述沟道区域对应的第一曝光区、位于所述第一曝光区一侧的待形成源极的第二曝光区、位于所述第一曝光区相对的另一侧的待形成漏极的第三曝光区,以及位于所述第三曝光区背离所述第一曝光区一侧的第四曝光区,所述第一曝光区与所述第四曝光区均为半透光区域。

[0005] 在本申请的一实施例中,所述第四曝光区的宽度范围为 $1\sim 2\mu\text{m}$ ;

[0006] 和/或,所述第一曝光区的宽度范围为 $3\sim 5\mu\text{m}$ 。

[0007] 在本申请的一实施例中,所述掩膜版还包括第五曝光区,所述第五曝光区设于所述第四曝光区背离所述第三曝光区的一侧。

[0008] 在本申请的一实施例中,所述第一曝光区与所述第四曝光区的透光率相同;

[0009] 和/或,所述第四曝光区与所述第三曝光区无间隙设置。

[0010] 在本申请的一实施例中,所述第三曝光区和所述第四曝光区均呈U型设置,且所述第四曝光区与所述第三曝光区相向的两边缘长度相一致。

[0011] 本发明还提出一种采用如上任一所述的掩膜版制作阵列基板的方法,该方法包括以下步骤:

[0012] 提供一基底,在所述基底上自下而上依次形成栅极和栅极绝缘层;

[0013] 在所述栅极绝缘层上依次沉积半导体层、第一金属层及第一光阻层,所述半导体层对应所述栅极的位置设有沟道区域;

[0014] 将所述掩膜版设于所述第一光阻层的上方,对所述第一光阻层进行曝光并显影;

[0015] 利用剩余的第一光阻层图案化所述半导体层和第一金属层,形成位于栅极绝缘层上的有源层和位于所述有源层上的间隔设置的源极与漏极。

[0016] 在本申请的一实施例中,所述第二曝光区和第三曝光区为不透光区域,所述第五曝光区为全透光区域,所述光阻为正性光阻。

[0017] 在本申请的一实施例中,所述“利用剩余的第一光阻层图案化所述半导体层和第一金属层,形成位于栅极绝缘层上的有源层和位于所述有源层上的间隔设置的源极与漏极”的步骤具体为:

[0018] 进行第一次蚀刻,去除未被所述第一光阻层遮盖的第一金属层和半导体层;

[0019] 进行灰化制程,去除所述沟道区域的第一光阻层和第四曝光区的第一光阻层;

[0020] 进行第二次蚀刻,去除所述沟道区域的第一金属层和部分半导体层,以及所述第四曝光区的第一金属层和半导体层,形成有源层、与有源层两端接触且间隔设置的源极和漏极。

[0021] 在本申请的一实施例中,所述“利用剩余的第一光阻层图案化所述半导体层和第一金属层,形成位于栅极绝缘层上的有源层和位于所述有源层上的间隔设置的源极与漏极”的步骤之后,还包括:

[0022] 在所述栅极绝缘层上沉积待形成柱状隔垫物的第二光阻层;

[0023] 图案化所述第二光阻层,形成与所述漏极间隔设置的柱状隔垫物。

[0024] 本发明还提出一种显示面板,包括彩膜基板、阵列基板和液晶层,所述彩膜基板和所述阵列基板对盒设置,所述阵列基板采用如上任一所述的阵列基板的制作方法制备而成。

[0025] 本发明技术方案中,该掩膜版对应漏极与源极之间的沟道区域的第一曝光区为半透光区域,且对应待形成漏极的周缘,也即第四曝光区也设置为半透光区域。如此,使用该掩膜版制作阵列基板,在进行曝光并显影的过程中,会有部分光阻遗留在第一曝光区和第四曝光区内,对待形成沟道区域和待形成漏极的区域进行保护,减少被蚀刻的几率,有效减少沟道区域和漏极周缘的尺寸损失,故无需加大漏极的设计尺寸值,也就相应的提高了画素的开口率。同时,漏极设计尺寸的减小,也可以为柱状隔垫物预留更多的设计空间,从而避免柱状隔垫物尺寸过小而出现制程异常或由柱状隔垫物导致的信赖性问题,且也避免了柱状隔垫物向画素的方向延伸,进一步提高画素的开口率。

## 附图说明

[0026] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图示出的结构获得其他的附图。

[0027] 图1为本申请实施例一中掩膜版的俯视示意图;

[0028] 图2为本申请实施例一中将图1所示掩膜版应用于阵列基板的俯视示意图;

[0029] 图3为本申请实施例二中阵列基板的制作方法的流程图；

[0030] 图4为本申请实施例二中图3所示阵列基板的制作方法中步骤S1和步骤S2对应的阵列基板的剖视图；

[0031] 图5为本申请实施例二中图3所示阵列基板的制作方法中步骤S3对应的阵列基板的剖视图；

[0032] 图6为本申请实施例二中图3所示阵列基板的制作方法中细化步骤S4的流程图；

[0033] 图7为本申请实施例二中图6所示阵列基板的制作方法中细化步骤S41和步骤S42对应的阵列基板的剖视图；

[0034] 图8为本申请实施例二中图6所示阵列基板的制作方法中细化步骤S43对应的阵列基板的剖视图；

[0035] 图9为本申请实施例二中阵列基板的制作方法增加步骤S5和步骤S6的流程图；

[0036] 图10为本申请实施例二中图8所示阵列基板的制作方法中步骤S5和步骤S6对应的阵列基板的俯视示意图；

[0037] 图11为本申请实施例三中显示面板的示意图。

[0038] 附图标号说明：

[0039]

| 标号  | 名称    | 标号  | 名称    |
|-----|-------|-----|-------|
| 100 | 阵列基板  | 80  | 数据线   |
| 10  | 基底    | 90  | 扫描线   |
| 20  | 栅极    | 200 | 掩膜版   |
| 30  | 栅极绝缘层 | 201 | 第一曝光区 |
| 40  | 半导体层  | 203 | 第二曝光区 |
| 41  | 沟道区域  | 205 | 第三曝光区 |
| 43  | 有源层   | 207 | 第四曝光区 |
| 50  | 第一金属层 | 209 | 第五曝光区 |
| 51  | 源极    | 300 | 显示面板  |
| 53  | 漏极    | 400 | 彩膜基板  |
| 60  | 第一光阻层 | 500 | 液晶层   |
| 70  | 柱状隔垫物 |     |       |

[0040] 本发明目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

### 具体实施方式

[0041] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0042] 需要说明，若本发明实施例中有涉及方向性指示（诸如上、下、左、右、前、后……），则该方向性指示仅用于解释在某一特定姿态（如附图所示）下各部件之间的相对位置关系、运动情况等，如果该特定姿态发生改变时，则该方向性指示也相应地随之改变。

[0043] 另外，若本发明实施例中有涉及“第一”、“第二”等的描述，则该“第一”、“第二”等

的描述仅用于描述目的,而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外,各个实施例之间的技术方案可以相互结合,但是必须是以本领域普通技术人员能够实现为基础,当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在,也不在本发明要求的保护范围之内。

[0044] 实施例一:

[0045] 本发明提供一种掩膜版200,用于制作阵列基板。

[0046] 请结合参照图1和图2,可知的,阵列基板包括薄膜晶体管,薄膜晶体管包括间隔设置的栅极、源极51及漏极53,所述源极51与漏极53之间形成有沟道区域41。所述掩膜版200包括:与所述沟道区域41对应的第一曝光区201、位于所述第一曝光区201一侧的待形成源极51的第二曝光区203、位于所述第一曝光区201相对的另一侧的待形成漏极53的第三曝光区205,以及位于所述第三曝光区205背离所述第一曝光区201一侧的第四曝光区207,所述第一曝光区201与所述第四曝光区207均为半透光区域。

[0047] 此处,为了形成所需要形状的源极51和漏极53以及两者之间的沟道区域,掩膜版200的部分区域需要透光、部分区域需要不透光或半透光。为了增大阵列基板100的充电率和显示效果,沟道区域41的宽长比一般会尽可能设计大些,此处设置沟道区域41的开口大致呈U型设置,故第一曝光区201呈U型设置。当然,于其他实施例中,该沟道区域41的开口还可以呈半圆形、矩形或其他形状等。第二曝光区203对应源极51的位置,故而第二曝光区203大致呈矩形,位于沟道区域41围合形成的空间内,并朝沟道区域41的开口一侧延伸,形成的源极51方便与数据线80连接。第三曝光区205对应漏极53的位置,故漏极53也呈U型形状,从而围合呈U型的沟道。

[0048] 将掩膜版200设置第一曝光区201和第四曝光区207均为半透光区域,无论使用的光阻为正性光阻还是负性光阻,进行曝光并显影后,该第一曝光区201和第四曝光区207对应的光阻可以部分被洗去部分留下来,从而在后续的蚀刻过程中能够减少沟道区域41和漏极53外周缘的尺寸损失。

[0049] 本发明技术方案中,该掩膜版200对应漏极53与源极51之间的沟道区域41的第一曝光区201为半透光区域,且对应待形成漏极53的周缘,也即第四曝光区207也设置为半透光区域。如此,使用该掩膜版200制作阵列基板,在进行曝光并显影的过程中,会有部分光阻遗留在第一曝光区201和第四曝光区207内,对待形成沟道区域41和待形成漏极53的区域进行保护,减少被蚀刻的几率,有效减少沟道区域41和漏极5周缘的尺寸损失,故无需加大漏极53的设计尺寸值,也就相应的提高了画素的开口率。同时,漏极53设计尺寸的减小,也可以为柱状隔垫物预留更多的设计空间,从而避免柱状隔垫物尺寸过小而出现制程异常或由柱状隔垫物导致的信赖性问题,且也避免了柱状隔垫物向画素的方向延伸,进一步提高画素的开口率。

[0050] 此处,掩膜版200可以为半色调掩膜版,该半色调掩膜版把两道曝光工艺完成的工序合并为一个,节省一道曝光工序,从而缩短了生产周期,提高了生产效率,降低了生产成本。

[0051] 请继续参照图2,实施例一的基础上,在本申请的另一实施例中,设定第一曝光区201的宽度为D1,第四曝光区207的宽度为D2,第一曝光区201投影在阵列基板100上对应沟

道区域41,因此,对应沟道区域41的宽度也为D1,第四曝光区207投影在阵列基板100上为漏极53背离源极51一侧的区域,所述第一曝光区201的宽度D1范围为3~5 $\mu\text{m}$ ;

[0052] 和/或,所述第四曝光区207的宽度D2范围为1~2 $\mu\text{m}$ 。

[0053] 本实施例中,一般地,沟道区域41的宽度设定为3~5 $\mu\text{m}$ ,为了保证沟道区域41的宽度,此处,设定第一曝光区201的宽度D1范围为3-5 $\mu\text{m}$ ,例如,3 $\mu\text{m}$ 、4 $\mu\text{m}$ 或5 $\mu\text{m}$ ,与沟道区域41的宽度相匹配,且第二曝光区203与第一曝光区201无间隙设置,第三曝光区205与第一曝光区201无间隙设置,进而保证了沟道区域41的宽度值,保证了阵列基板100的充电率。

[0054] 同时,为了保证降低漏极53的背离源极51一侧的关键尺寸的损失率,第四曝光区207的宽度D2值不能太小;而为了节约成本,第四曝光区207的宽度D2值也无需过大,故而将第四曝光区207的宽度D2范围设定为1~2 $\mu\text{m}$ ,例如,1 $\mu\text{m}$ 、1.5 $\mu\text{m}$ 、2 $\mu\text{m}$ 等,可以保证对漏极53背离源极51一侧周缘尺寸的保护外,又可避免蚀刻的尺寸小而导致漏极53的尺寸不准确,从而有效保证漏极53的设计尺寸,减少了对显示区域的占用,提高了画素的开口率。

[0055] 请继续参照图1,实施例一的基础上,在本申请的又一实施例中,所述掩膜版200还包括第五曝光区209,所述第五曝光区209设于所述第四曝光区207背离所述第三曝光区205的一侧。

[0056] 本实施例中,为了方便加工,在栅极绝缘层30上均匀铺设半导体层40、第一金属层50及第一光阻层60,而为了对掩膜版200进行设计,将第四曝光区207背离所述第三曝光区205的一侧还设置有第五曝光区209。此处,第五曝光区209与第四曝光区207也为无间隙设置,从而可以在需要时,能够方便改变第四曝光区207的尺寸,从而满足针对不同尺寸的阵列基板100的加工保护。

[0057] 可选的一实施例,第三曝光区205与第一曝光区201无间隙设置,且第二曝光区203与第一曝光区201也无间隙设置。第四曝光区207设于第三曝光区205背离所述第一曝光区201的一侧,其形状可与第三曝光区205的形状相同,从而能够保证源极51和漏极53的形成尺寸。

[0058] 当然,于其他实施例中,为了节约材料,也可以不设定第五曝光区209。

[0059] 请再次参照图1,在实施例一的基础上,在本申请的再一实施例中,所述第一曝光区201与所述第四曝光区207的透光率相同;

[0060] 和/或,所述第四曝光区207与所述第三曝光区205无间隙设置。

[0061] 本实施例中,为了保证蚀刻的一致性,将第一曝光区201的透光率与第四曝光区207的透光率设置为相同,从而在曝光显影后的第一光阻层60保留的部分厚度大致相同,继而在后续的图案化过程中,能够在相同时间能得到较为一致的蚀刻速率,从而在获得较为准确的沟道尺寸的同时,也能保证漏极53的外围尺寸,减少损失,减小了薄膜晶体管的设计尺寸,从而提高画素的开口率。

[0062] 同时,将第四曝光区207与第三曝光区205无间隙设置,可以避免蚀刻时蚀刻液进入两者间隙造成对漏极53边缘的尺寸损失。当然,于其他实施例中,在漏极53的延长方向上,第四曝光区207与第三曝光区205也可以间断性无间隙设置。

[0063] 在本申请的一实施例中,所述第三曝光区205和所述第四曝光区207均呈U型设置,且所述第四曝光区207与所述第三曝光区205相向的两边缘长度相一致。

[0064] 本实施例中,为了能够保证漏极53各个位置的尺寸,在沟道呈U型形状时,第三曝



光区205和第四曝光区207也设置为U型结构,且第四曝光区207的内侧长度与第三曝光区205的外围长度相一致,从而使得形成漏极53的外围边沿均被第一光阻层60所保护,在第一次蚀刻过程中不会对漏极53的外围尺寸进行蚀刻,从而保证了漏极53的外围关键尺寸,降低了漏极53所有位置处的尺寸损失,能够预留更多的空间进行画素的设计。

[0065] 实施例二:

[0066] 请结合参照图2、图3和图4,本发明还提供一种采用上述任一实施例的掩膜版制作阵列基板的方法,该方法包括以下步骤:

[0067] 步骤S1:提供一基底10,在所述基底10上自下而上依次形成栅极20和栅极绝缘层30。

[0068] 请结合图2,可以理解的,阵列基板100为多层结构,每层结构均通过镀膜、曝光、显影与蚀刻工艺层层叠加形成,可通过四道光刻(4MASK)工序完成。具体地,阵列基板100包括有基底10,基底10提供基础的载体,基底10为透明的,其材质可以是透明玻璃板或石英板,在此不作限定,不影响背光源的穿过即可。因基底10不导电,用于显示的介质例如液晶,其运动和排列均需要电子来驱动,故而阵列基板100还包括有导电的数据线80(Data Line, DL)和扫描线90(SL, Scanning line)、薄膜晶体管(TFT开关)和像素电极(Pixel Electrode, PE)等。俯视阵列基板100,数据线80和扫描线90交叉设置以将阵列基板100分割形成多个像素区域,在每一个所述区域上对应有一个像素电极和薄膜晶体管,因数据线80和扫描线90不透光,故两者所在的部分形成像素区域的非显示区域,薄膜晶体管也设于非显示区域,而像素电极则形成像素区域的显示区域。

[0069] 首先,第一道光刻工序是在基底10上形成栅极20,具体步骤是,在基底10上沉积一层第二金属层,通过光罩图案化第二金属层,形成位于基底10上的栅极20。此处,通过光罩图案化的过程是在第二金属层上沉积光阻胶,通过光罩遮盖后进行曝光并显影,然后再通过蚀刻形成栅极20,与此同时还形成有与栅极20在同一层的扫描线90,扫描线90与栅极20相连接,从而可以为薄膜晶体管提供开启关闭的电压。第二金属层的材质为不透光导电金属材料,例如,钼、钛、铬以及铝中的一种或多种的组合,在此不做限定。然后,在基底10、栅极20以及数据线80的表面沉积栅极绝缘层30,该栅极绝缘层30的材料可以是氧化硅、氮化硅中的一种或多种组合。

[0070] 步骤S2:在所述栅极绝缘层30上依次沉积半导体层40、第一金属层50及第一光阻层60,所述半导体层40对应所述栅极20的位置设有沟道区域41。

[0071] 此处是进行第二道光刻工序,可知的,薄膜晶体管还包括有源层43和连接于有源层43两端且间隔设置的源极51和漏极53,有源层43的材质为半导体,故通过半导体层40来形成,半导体层40的材质可以选择非晶硅或多晶硅等材料。第一金属层50的材质可与第二金属层的相同,例如,钛、铬等,在栅极绝缘层30的表面依次沉积半导体层40、第一金属层50以及第一光阻层60,三者的铺设面积可以相同。预先在沉积半导体层40时,可以对应栅极20的位置标记出形成沟道的沟道区域41,从而方便后面放置掩膜版200的位置。

[0072] 请参照图5,步骤S3:将所述掩膜版200设于所述第一光阻层60的上方,对所述第一光阻层60进行曝光并显影。

[0073] 此处,掩膜版200设于第一光阻层60的上方,使第一曝光区201域对应半导体层40的沟道区域41即可。当第一光阻层60为正性光阻时,透光的区域对应的第一光阻层60受到

光照会发生性质改变,通过显影后可以洗去,而不透光的区域对应的第一光阻层60则可以留下来。根据这一特性,将掩膜版200设置与沟道区域41对应的第一曝光区201设为半透光区域,进行曝光并显影后,该第一曝光区201对应的第一光阻层60可以部分被洗去部分留下来,从而在后续的蚀刻过程中能够减少沟道区域41的尺寸损失。而与源极51对应的第二曝光区203、与漏极53对应的第三曝光区205则需要设置为不透光区域,如此对应的第一光阻层60可以留下来。而第五曝光区209为全透光区域,从而在接受光照后,能够通过显影将第五曝光区209的第一光阻层60均洗掉。同时,为了同样保护漏极53的外周缘尺寸,将第四曝光区207也设置为半透光区域,从而在经过曝光和显影后,能够对应保留部分的第一光阻层60在待形成漏极53的第一金属层50的外周缘。所述第二曝光区203和第三曝光区205为不透光区域,所述第五曝光区209为全透光区域,所述第一光阻层60为正性光阻。

[0074] 当然,于其他实施例中,当第一光阻层60为负性光阻时,第二曝光区203和第三曝光区205设为透光区域,第五曝光区209则为不透光区域。

[0075] 请结合参照图6至图8,步骤S4:利用剩余的第一光阻层60图案化所述半导体层40和第一金属层50,形成位于栅极绝缘层30上的有源层43和位于所述有源层43上的间隔设置的源极51与漏极53。

[0076] 此处图案化过程需要经过两次蚀刻,具体的步骤为:

[0077] S41:进行第一次蚀刻,去除未被所述第一光阻层60遮盖的第一金属层50和半导体层40;此处,未被第一光阻层60遮盖的部分即为经过曝光的部分,当第一金属层50和半导体层40均铺设整个像素单元时,该掩膜版200的遮盖区域未涉及第四曝光区207的外围区域,从而在第一次蚀刻时,即可通过蚀刻液去除位于第四曝光区207外围的第一金属层50和半导体层40。

[0078] S42:进行灰化制程,去除所述沟道区域41的第一光阻层60和第四曝光区207的第一光阻层60;此处灰化制程是选择等离子体灰化工艺去除沟道区域41和第四曝光区207的第一光阻层60,也即经过显影后部分留下来的第一光阻层60。

[0079] S43:进行第二次蚀刻,去除所述沟道区域41的第一金属层50和部分半导体层40,以及所述第四曝光区207的第一金属层50和半导体层40,形成有源层43、与有源层43两端接触且间隔设置的源极51和漏极53。此处蚀刻可以选择干法蚀刻,将第一曝光区201对应的第一金属层50去除,并部分去除第一曝光区201对应的半导体层40,同时去除第四曝光区207对应的第一金属层50和半导体层40,露出漏极53的外周缘。

[0080] 当然,最后还需要将不透光区域对应的完全保留的第一光阻层60去除掉,形成最终的位于栅极绝缘层30上的有源层43,以及位于有源层43上的间隔设置的源极51和漏极53。

[0081] 本发明技术方案阵列基板的制作方法中,先形成栅极20和栅极绝缘层30,再铺设半导体层40、第一金属层50及第一光阻层60,通过提供一个掩膜版200,该掩膜版200对应半导体层40的沟道区域41的第一曝光区201为半透光区域,且对应待形成漏极53的周缘,也即第四曝光区207也设置为半透光区域。如此,在进行曝光并显影的过程中,会有部分第一光阻层60遗留在第一曝光区201和第四曝光区207内,对半导体层40和第一金属层50进行保护,从而在对半导体层40和第一金属层50进行图案化的过程中,会有效减少沟道区域41和漏极53周缘的尺寸损失,故无需加大漏级的设计尺寸值,进而也就相应的提高了画素的开

口率。同时,漏极53设计尺寸的减小,也可以为柱状隔垫物预留更多的设计空间,从而避免柱状隔垫物尺寸过小而出现制程异常或由柱状隔垫物导致的信赖性问题,且也避免了柱状隔垫物向画素的方向延伸,进一步提高画素的开口率。

[0082] 请参照图9和图10,在本申请的一实施例中,所述“利用剩余的第一光阻层60图案化所述半导体层40和第一金属层50,形成位于栅极绝缘层30上的有源层43和位于所述有源层43上的间隔设置的源极51与漏极53”的步骤S4之后,还包括:

[0083] S5:在所述栅极绝缘层30上沉积待形成柱状隔垫物70的第二光阻层;

[0084] S6:图案化所述第二光阻层,形成与所述漏极53间隔设置的柱状隔垫物70。

[0085] 本实施例中,在形成薄膜晶体管之后,在源极51、漏极53及栅极绝缘层30上还沉积钝化层,通过一道光罩制程图案化钝化层,形成贯穿有钝化层的过孔,该过孔可以裸露部分漏极53;然后在钝化层上形成透明导电层,并通过光罩制程图案化透明导电层形成特定形状的像素电极,该像素电极通过过孔与漏极53电接触,从而对应像素单元的显示区域,为显示区域提供液晶运动的电容。此处,钝化层的材料可以是氧化硅与氮化硅中的一种或多种的组合。透明导电层的材料为氧化铟锡(ITO)。

[0086] 同时,为了显示面板的结构稳定性,在薄膜晶体管的周边设有柱状隔垫物70,该柱状隔垫物70的材质为光阻胶,在栅极绝缘层30上沉积待形成柱状隔垫物70的第二光阻层,并图案化该第二光阻层,使其形成一支撑阵列基板100与彩膜基板10的柱状隔垫物70。相较于像素电极,该柱状隔垫物70也位于非显示区域,并与薄膜晶体管相平行,且与薄膜晶体管的间隔为一定时,因薄膜晶体管中漏极53的设计尺寸可以减少,也即横向尺寸减小,故而该柱状隔垫物70在与薄膜晶体管的间隔方向上的尺寸可以增加,为保证柱状隔垫物70的设计比例,柱状隔垫物70在朝向像素电极方向上的尺寸可以减少,继而可以避免柱状隔垫物70过小带来的制程异常,提高产品信赖性。同时减小了对画素显示区域的占据,能够进一步提升开口率,提高显示效果。

[0087] 实施例三:

[0088] 请参照图11,本发明还提出一种显示面板300,该显示面板300包括彩膜基板400、阵列基板100和液晶层500,所述彩膜基板400和所述阵列基板300对盒设置,所述阵列基板100采用如上任一实施例所述的阵列基板的制作方法制备而成。由于本显示面板300包括上述所有实施例的全部技术方案,因此至少具有上述实施例的技术方案所带来的所有有益效果,在此不再一一赘述。

[0089] 再结合图7和图8,其中,阵列基板100包括基底10和依次设于基底10上的栅极20、有源层43、漏极53及源极51,半导体层40的沟道区域41和漏极53均受到掩膜版200的半透明区域的保护,从而可以减少两者的尺寸损失,进而提高设计尺寸的精确性,保留较大的显示面积,提高阵列基板100的开口率,提高显示面板的显示效果。

[0090] 以上所述仅为本发明的优选实施例,并非因此限制本发明的专利范围,凡是在本发明的发明构思下,利用本发明说明书及附图内容所作的等效结构变换,或直接/间接运用在其他相关的技术领域均包括在本发明的专利保护范围内。

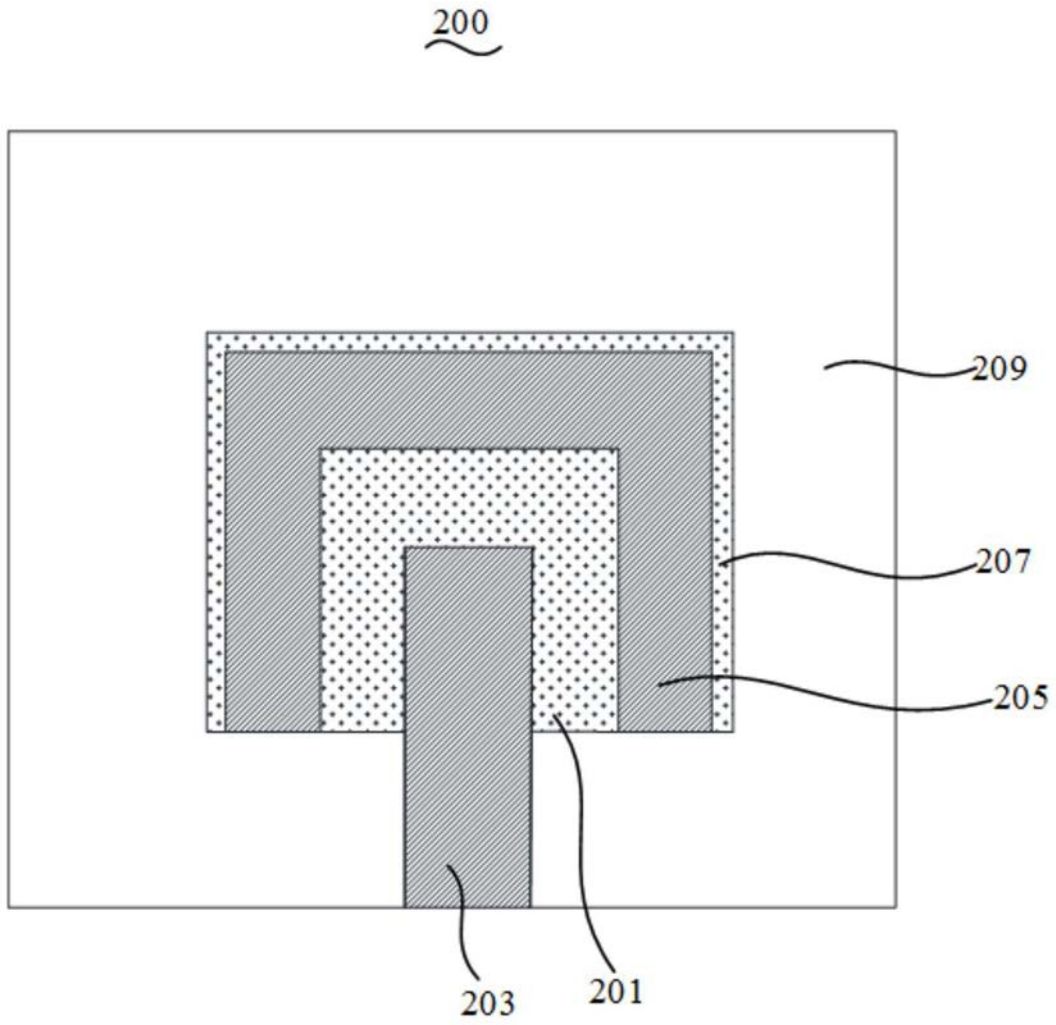


图1

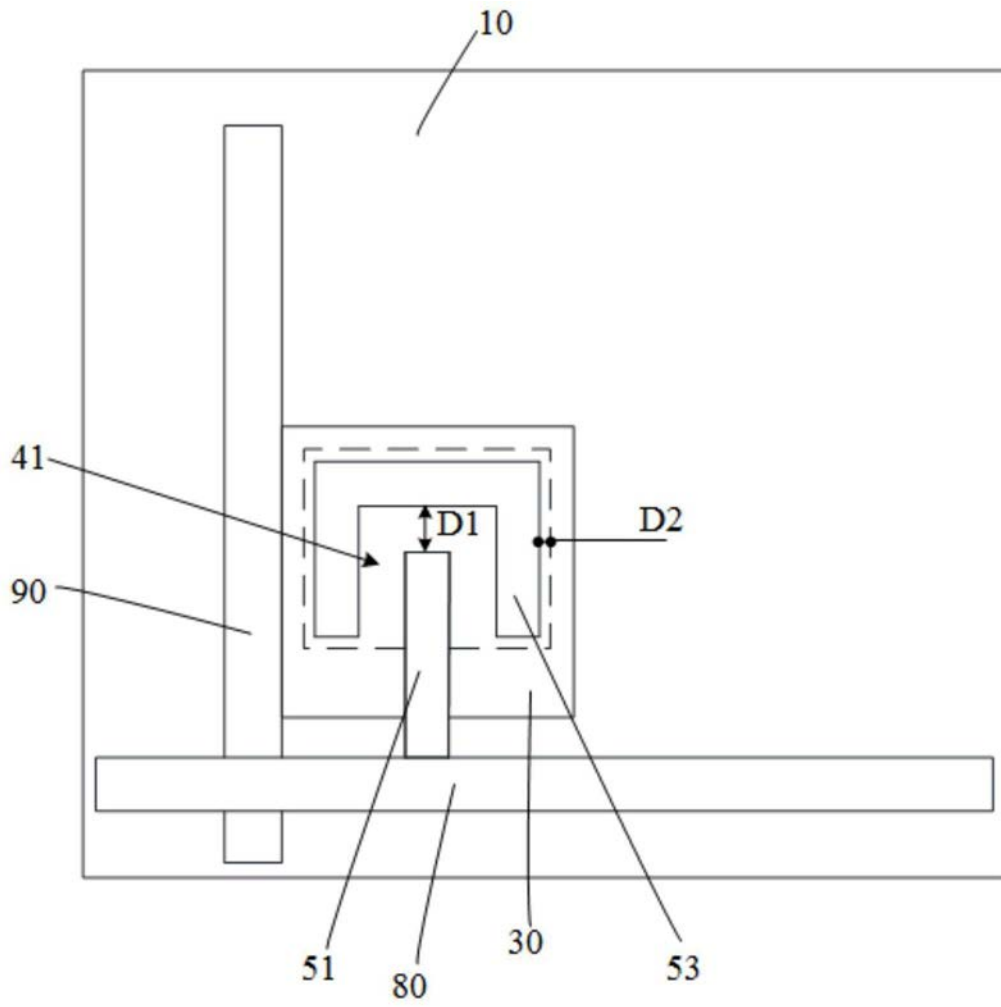


图2

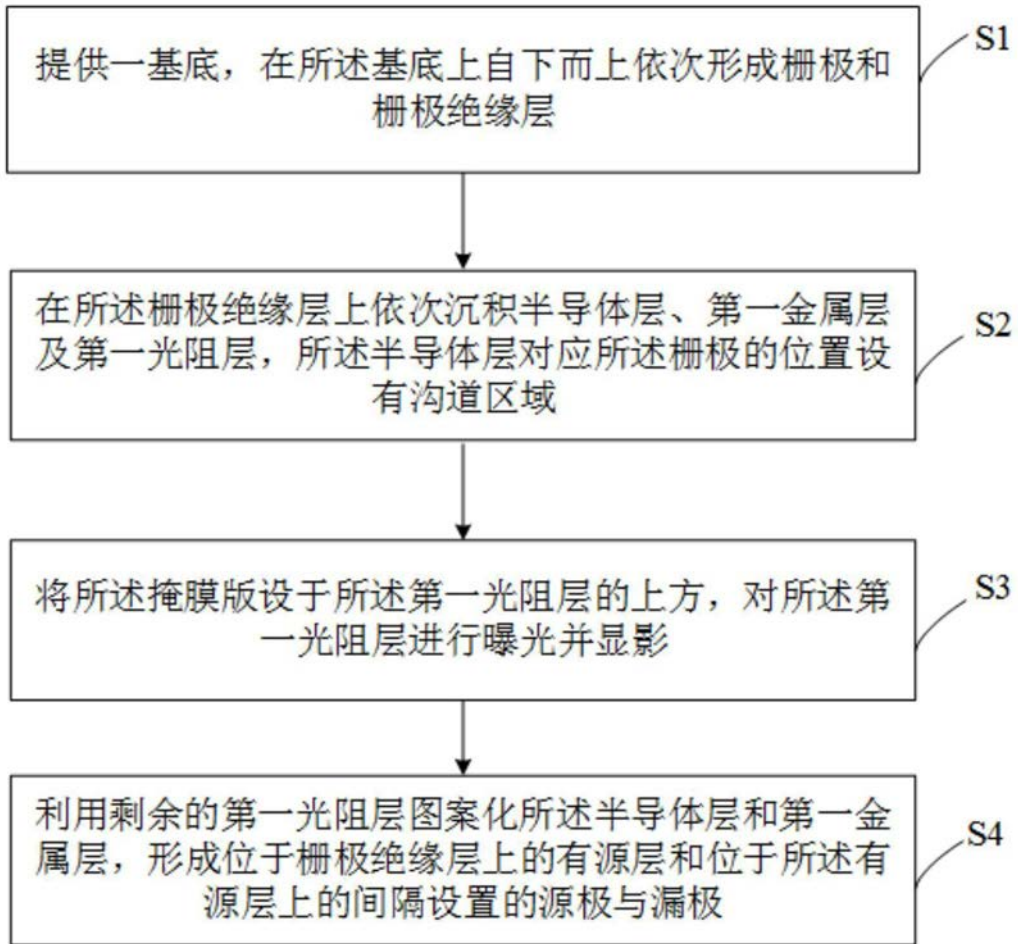


图3

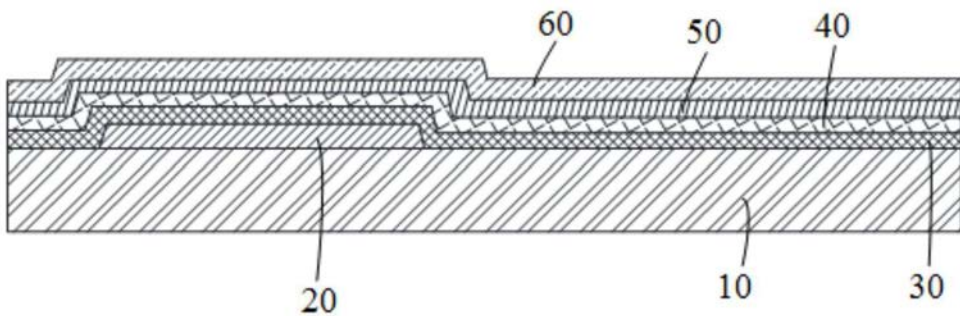


图4

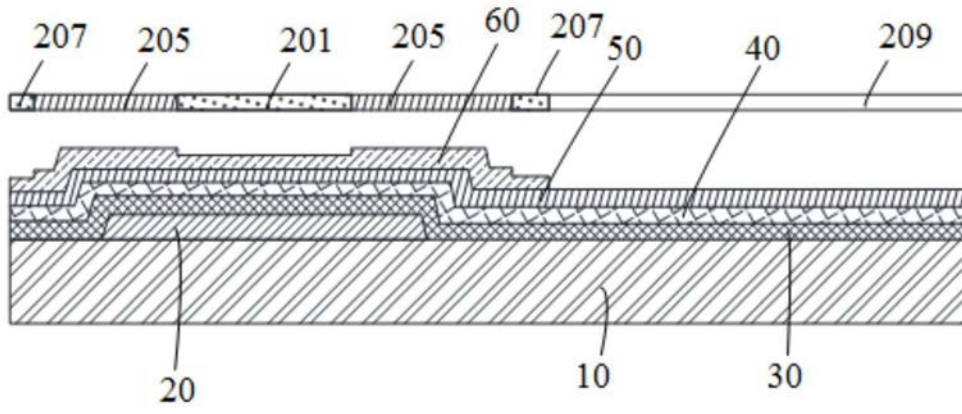


图5

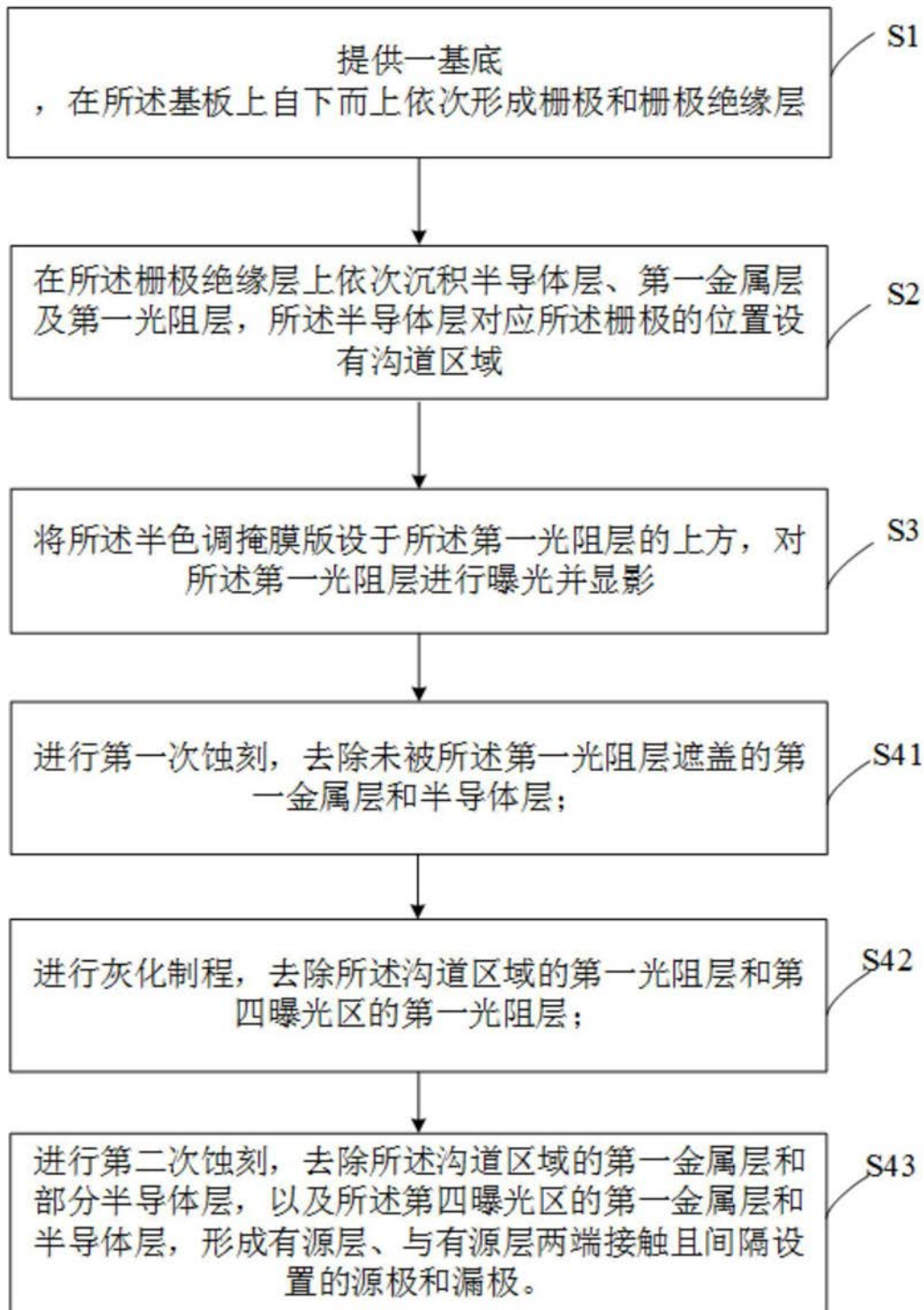


图6



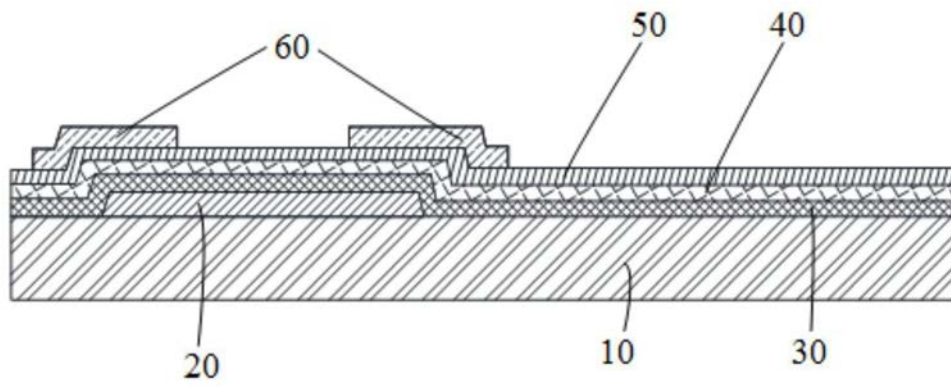


图7

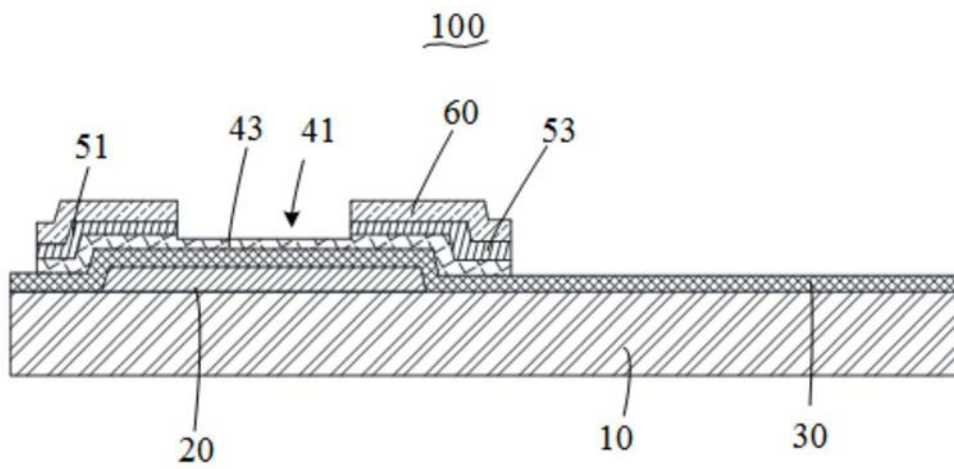


图8

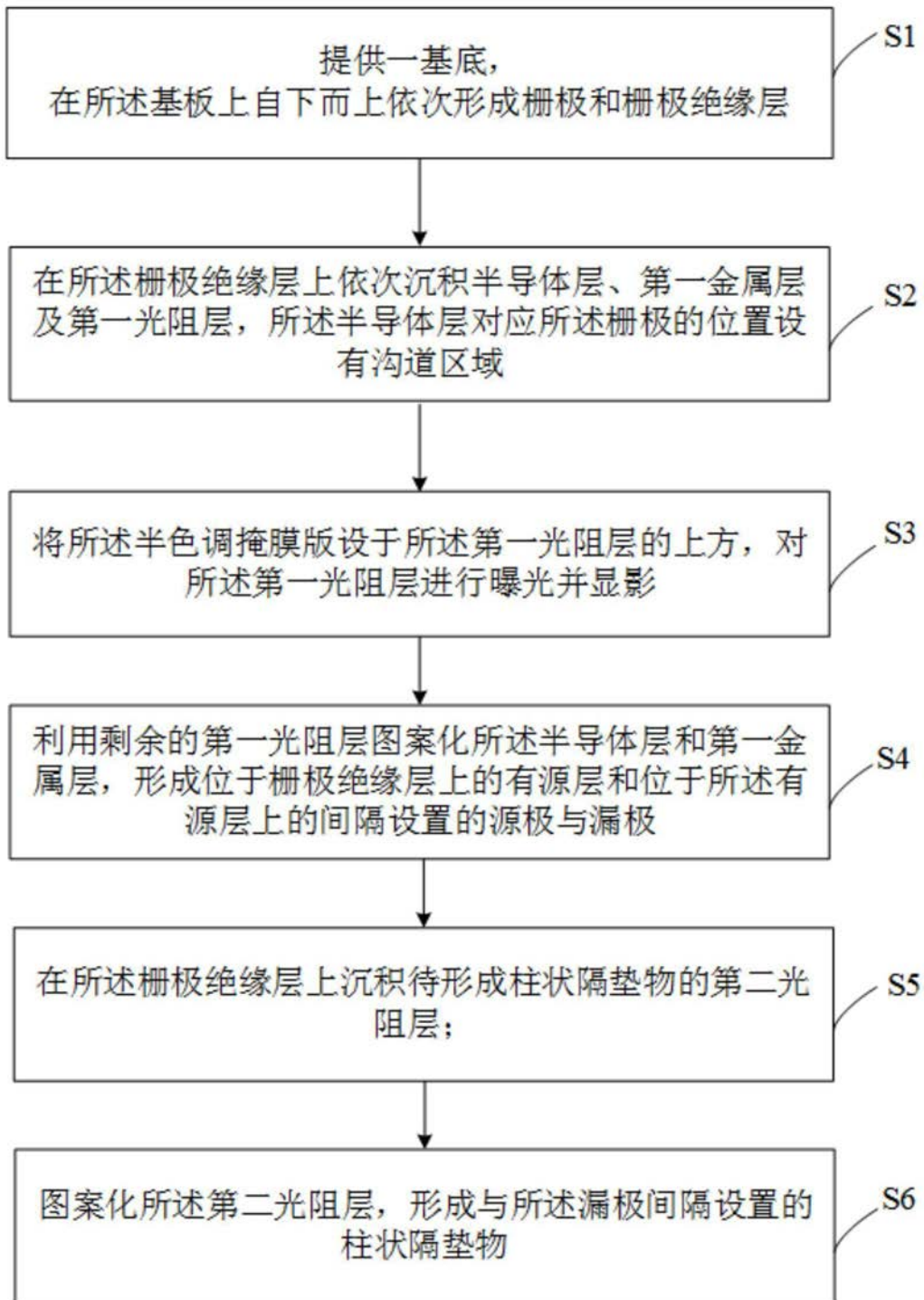


图9

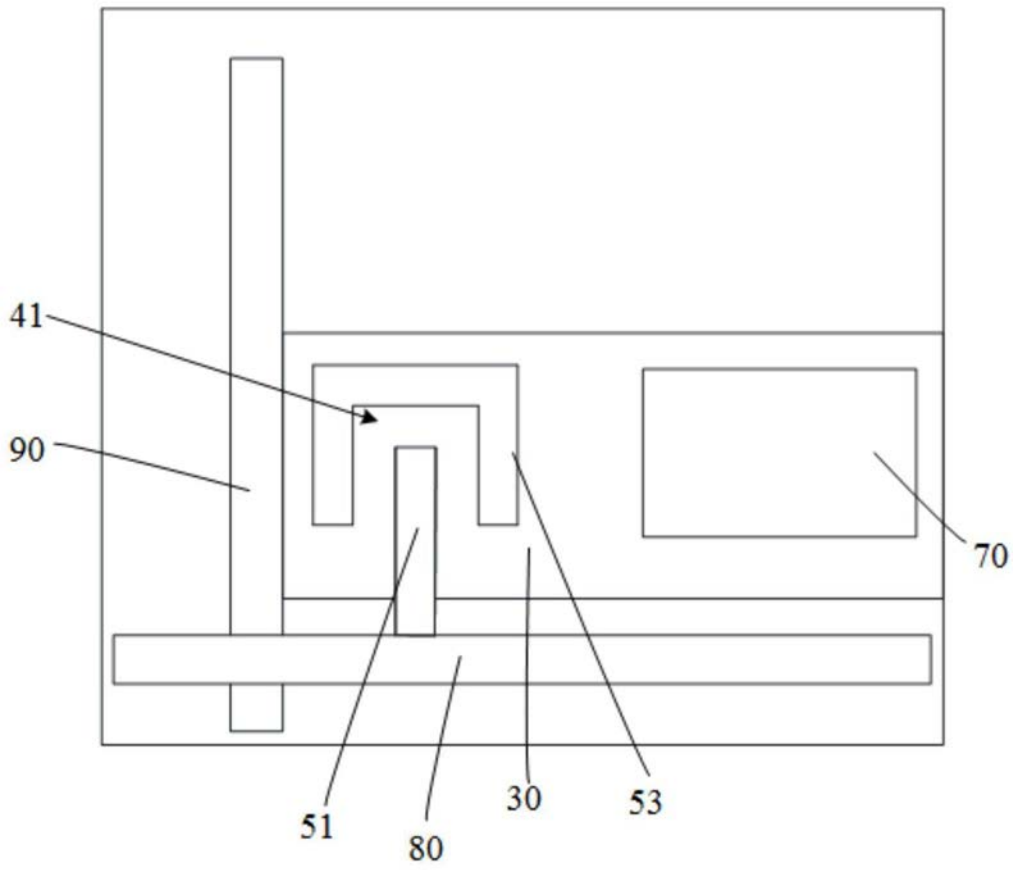


图10

300

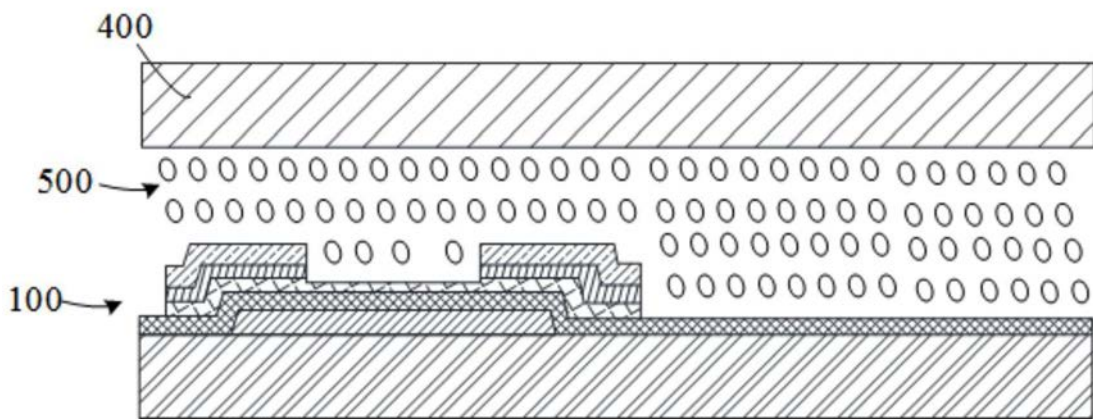


图11