



(21)申請案號：102101601

(22)申請日：中華民國 102 (2013) 年 01 月 16 日

(51)Int. Cl. : G11C29/12 (2006.01)

(71)申請人：國立臺灣科技大學(中華民國) NATIONAL TAIWAN UNIVERSITY OF SCIENCE AND TECHNOLOGY (TW)

臺北市大安區基隆路4段43號

(72)發明人：呂學坤 LU, SHYUE KUNG (TW)；李紫琳 LI, TSU LIN (TW)

(74)代理人：莊世超

(56)參考文獻：

US 4712216

US 4961193

US 5784323

US 6510537B1

US 2013/0010550A1

Hsieh, T. Y. et al., "An Error Rate Based Test Methodology to Support Error-Tolerance", IEEE Transactions on Reliability, Volume: 57, Issue: 1, March 2008,

Kuznetsov, A.V. et al., "An error correcting scheme for defective memory", IEEE Transactions on Information Theory, Volume: 24, Issue: 6, Nov 1978,

審查人員：蕭明椿

申請專利範圍項數：6項 圖式數：5 共 18 頁

(54)名稱

非揮發性記憶體的故障遮蔽方法

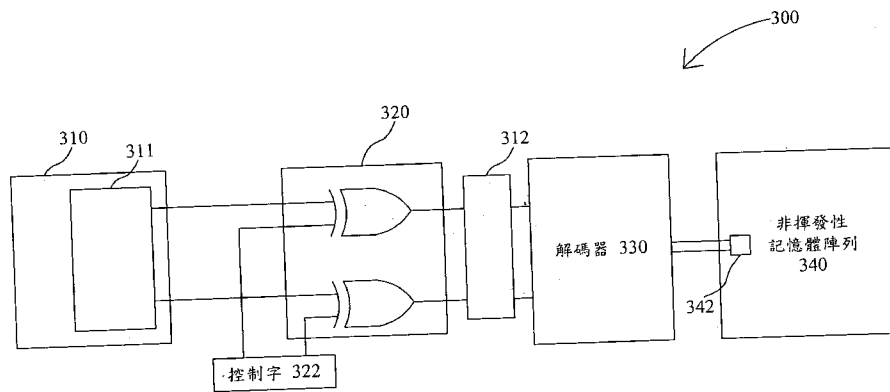
A FAULT MASKING METHOD OF NON-VOLATILE MEMORY

(57)摘要

一種非揮發性記憶體的故障遮蔽方法，其係應用於一非揮發性記憶體陣列(340)。非揮發性記憶體陣列包括一故障晶胞(342)，並電性連接於一位址暫存器(310)，位址暫存器(310)會提供一第一位址(311)。故障晶胞(342)係僅能輸出一固定值，第一位址的內容(311)並不等於此固定值。非揮發性記憶體的故障遮蔽方法包括：提供一變補器(320)，其係電性連接於位址暫存器(310)及故障晶胞(342)之間；提供一控制字(322)，並將第一位址(311)及控制字(322)寫入至變補器(320)中；利用變補器(320)將第一位址(311)及控制字(322)進行一補數運算進而得到一第二位址，其中第二位址的內容等於該固定值，並使第二位址的內容(312)輸入故障晶胞(342)中。本發明應用在非揮發性記憶體中可大量減少甚至不配置備用機制即可降低製造成本，並且亦可提升非揮發性記憶體的製程良率。

A fault masking method of non-volatile memory is applied to a non-volatile memory array (340). The non-volatile memory array includes a fault cell (342) and electrically connected to an address register (310). The address register (310) provides a first address (311). The fault cell (342) can only output a fixed value and the first address (311) is not equal to the fixed value. The fault masking method of non-volatile memory include: Providing a complemeter (320), which electrically connected between the address register (310) and the fault cell (342); Providing a control word (322), and writing the first address (311) and the control

word (322) into the complementer (320); Making the first address (311) and the control word (322) process the complement operation by using the complementer (320), and obtain a second address (312), which the second address (312) is equal to the fixed value, then storing the second address (312) into the fault cell (342). The present invention applied in non-volatile memory apparently reduces or even without disposal can reduce the manufacturing costs, and also can enhance the memory process yield of the non-volatile memory.



300 . . . 非揮發性記憶體系統

310 . . . 位址暫存器

311 . . . 第一位址

312 . . . 第二位址

320 . . . 變補器

322 . . . 控制字

330 . . . 解碼器

340 . . . 非揮發性記憶體陣列

342 . . . 故障晶胞

圖 2

## 發明摘要

公告本

※ 申請案號：107101601

※ 申請日：

102. 1. 16

※IPC 分類：

G11C 29/12 (2006.01)

## 【發明名稱】(中文/英文)

非揮發性記憶體的故障遮蔽方法/ A Fault Masking Method of Non-Volatile Memory

## 【中文】

一種非揮發性記憶體的故障遮蔽方法，其係應用於一非揮發性記憶體陣列(340)。非揮發性記憶體陣列包括一故障晶胞(342)，並電性連接於一位址暫存器(310)，位址暫存器(310)會提供一第一位址(311)。故障晶胞(342)係僅能輸出一固定值，第一位址的內容(311)並不等於此固定值。非揮發性記憶體的故障遮蔽方法包括：提供一變補器(320)，其係電性連接於位址暫存器(310)及故障晶胞(342)之間；提供一控制字(322)，並將第一位址(311)及控制字(322)寫入至變補器(320)中；利用變補器(320)將第一位址(311)及控制字(322)進行一補數運算進而得到一第二位址，其中第二位址的內容等於該固定值，並使第二位址的內容(312)輸入故障晶胞(342)中。本發明應用在非揮發性記憶體中可大量減少甚至不配置備用機制即可降低製造成本，並且亦可提升非揮發性記憶體的製程良率。

## 【英文】

A fault masking method of non-volatile memory is applied to a non-volatile memory array (340). The non-volatile memory array includes a fault cell (342) and electrically connected to an address register (310). The address register (310) provides a first address (311). The fault cell (342) can only output a fixed value and the first address (311) is not equal to the fixed value. The fault masking method of non-volatile memory include: Providing a complementer (320), which electrically connected between the address register (310) and the fault cell (342); Providing a control word (322), and writing the first address (311) and the control word (322) into the complementer (320); Making the first address (311) and the control word (322) process the complement operation by using the complementer (320), and

obtain a second address (312), which the second address (312) is equal to the fixed value, then storing the second address (312) into the fault cell (342). The present invention applied in non-volatile memory apparently reduces or even without disposal can reduce the manufacturing costs, and also can enhance the memory process yield of the non-volatile memory.

**【代表圖】**

**【本案指定代表圖】**：第（ 2 ）圖。

**【本代表圖之符號簡單說明】**：

非揮發性記憶體系統 300

位址暫存器 310

第一位址 311

第二位址 312

變補器 320

控制字 322

解碼器 330

非揮發性記憶體陣列 340

故障晶胞 342

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

非揮發性記憶體的故障遮蔽方法/ A Fault Masking Method of Non-Volatile Memory

## 【技術領域】

【0001】 本發明係與一種非揮發性記憶體的故障遮蔽方法有關，特別係與一種使用位址不規則方法來提升製程良率的非揮發性記憶體的故障遮蔽方法有關。

## 【先前技術】

【0002】 非揮發性記憶體在全世界均是重要的半導體記憶體種類之一，其係廣泛使用在需高性能、低功耗之行動計算產品上，其之特性在電源關閉後儲存內容不會消失，因此在與微控制器與數位處理器結合使用的情境下之產值相當高。非揮發性記憶體包含磁電阻式隨機存取記憶體(MRAM)、唯讀記憶體(ROM)、快閃記憶體(Flash memory)及相變化記憶體(PCM)等等。由於資訊流量日益增多，傳送速率亦日益提升，導致其所需之記憶體容量也日益加大。在製造非揮發性記憶體時，常因記憶體之積體電路的損壞而影響到整個產品的良率。各世界級大廠為了能夠提高記憶體產品之生產良率、降低生產成本，乃發展出一種具有修補功能的記憶體，其可於主記憶體之部分記憶胞(cell)損壞時，應用備用記憶體(redundant memory)來進行修補。

【0003】 習知之具有修補功能的記憶體，通常係先行記錄生產測試時所測得之損壞晶胞的位置，然後再以雷射方式來熔斷熔絲(fuse)，以使得整列(或行)之備用記憶體，得以取代有位元故障之整列(或行)的主記憶體。圖1A 顯示依據先前技術之備用行的使用方式之範例。在記憶體陣列測試期間，往往可發現一記憶體單元有缺陷。該缺陷原因通常分為具有故障模型1或0(Stuck-at 1 或 0)，即其所讀取出之資料恆為1或0。若在行1中遇到故障晶胞101，則會視行1為故障行並將其映射至備用行A，再以某一方式來記錄此映射，以便不再使用行1。一般係藉由熔斷段熔絲來指示該故障行以記

錄該映射作業。現在將原資料發送至行 1 時，將由於該重新映射作業，而把未發送至行 1 之資料發送至備用行 A。取代晶胞 102 係用於取代故障晶胞 101。此外，其亦採用備用行 A 中之其他晶胞來取代之所有其他無故障之晶胞。

【0004】 圖 1B 顯示用於執行圖 1A 所示備用行之一記憶體系統 200 的簡化示意圖。在進行測試期間，會熔斷一熔絲來指示故障行之位置。對於記憶體陣列 221 之每一非備用行，都存在一熔絲。記憶體系統 200 啟動時，會將熔絲 220 讀取到控制暫存器 222 中，並從而可藉由該等暫存器之內容來指示故障行及其取代之位置。在主機發送一記憶體存取指令時，其會將欲存取之實體位址與控制暫存器 222 中的行位址作比較。若指示為一故障行，則其會存取至備用行，而不是嘗試存取於故障行中。因此，控制暫存器 222 會將一備用行位址提供給位址解碼器 224，而不會存取故障行，並藉此一方式來取代多個故障行。一般提供複數個備用行 226 以取代複數個故障行。然而，習知之具有修補功能的記憶體系統 200 雖然已大幅改善製程穩定度，但其之備用記憶體所佔比例仍然偏高，以致於體積較大而應用彈性不佳，且在製造過程中良率較低因而成本較高。

#### 【發明內容】

【0005】 本發明之一目的在於提供一種非揮發性記憶體的故障遮蔽方法，其在非揮發性記憶體中大量減少或不配置備用機制以降低製造成本。

【0006】 本發明之另一目的在於提供一種非揮發性記憶體的故障遮蔽方法，利用增加的電路設計來達到容錯及遮蔽故障的效果，以提升非揮發性記憶體的製程良率。

【0007】 爲了達成上述之一或部分或全部目的或是其他目的，本發明提供一種非揮發性記憶體的故障遮蔽方法，其係應用於一非揮發性記憶體陣列。非揮發性記憶體陣列包括一故障晶胞，並且係電性連接於一位址暫存器，位址暫存器會提供一第一位址。故障晶胞係僅能輸出一固定值，第一位址並不等於固定值。非揮發性記憶體的故障遮蔽方法包括：提供一變補器，其係電性連接於位址暫存器及故障晶胞之間；提供一控制字，並將第一位址及控制字寫入至變補器中；利用變補器將第一位址及控制字進行

一補數運算進而得到一第二位址，其中第二位址的內容等於該固定值，並將第二位址輸入故障晶胞中。

【0008】 在一實施例中，其中變補器中係為一互斥或(XOR)邏輯電路。

【0009】 在一實施例中，非揮發性記憶體之故障遮蔽方法更包括：提供一解碼器，其係電性連接於變補器及非揮發性記憶體陣列之間，以將第二位址進行解碼後輸入至故障晶胞。

【0010】 在一實施例中，非揮發性記憶體之故障遮蔽方法更包括：提供一內建自我測試電路(BIST)，其係電性連接於非揮發性記憶體陣列，內建自我測試電路會讀取非揮發性記憶體陣列內之資料。

【0011】 在一實施例中，非揮發性記憶體之故障遮蔽方法更包括：提供一多輸入特徵位移暫存器(MISR)，其係電性連接於內建自我測試電路及該非揮發性記憶體陣列之間，多輸入特徵位移暫存器會將揮發性記憶體陣列內之資料壓縮。

【0012】 在一實施例中，非揮發性記憶體之故障遮蔽方法更包括：多輸入特徵位移暫存器會將壓縮後之資料傳送至內建自我測試電路(BIST)中以進行比對。

#### 【圖式簡單說明】

【0013】 圖 1A 為先前技術之備用行之使用之一範例。

【0014】 圖 1B 為用於執行圖 1A 所示備用行之一記憶體系統。

【0015】 圖 2 及圖 2A 為本發明之一實施例的非揮發性記憶體系統及非揮發性記憶體之故障遮蔽方法。

【0016】 圖 3 為本發明之一實施例的非揮發性記憶之故障遮蔽方法。

【0017】 圖 4 為本發明之一實施例之位址不規則的排列方法。

【0018】 圖 5 顯示本發明之非揮發性記憶之故障遮蔽方法整合於內建自我測試系統中。

#### 【實施方式】

【0019】 有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一較佳實施例之詳細說明中，將可清楚的呈現。以下實施例

中所提到的方向用語，例如：上、下、左、右、前或後等，僅是用於參照隨附圖式的方向。因此，該等方向用語僅是用於說明並非是用於限制本發明。

【0020】 請參閱圖 2 及 2A，其係為本發明之一實施例的非揮發性記憶體系統 300 及非揮發性記憶體的故障遮蔽方法。非揮發性記憶體系統 300 包括一位址暫存器 310、一非揮發性記憶體陣列 340 以及一變補器 320。位址暫存器 310 係電性連接於非揮發性記憶體陣列 340，且其係用於儲存一第一位址 311。非揮發性記憶體陣列 340 係包括一故障晶胞 342，變補器 320 係電性連接於故障晶胞 342 及位址暫存器 310 之間。故障晶胞 342 係僅能輸出一固定值，其中第一位址 311 的內容並不等於該固定值。圖 2 及 2A 的重點在於第一位址 311 經過變補器 320 後得到一個新的第二位址 312，位址的內容就是要寫入的資料。cell(1)指的是故障晶胞 342，無論輸入資料是「1」或「0」，cell(1)皆只能輸出資料「1」。利用控制字 322 引導出另一個第二位址 312，並讓第二位址 312 中的資料「1」輸入故障 cell(1)。此方法不需對儲存在第一位址 311 中的資料作任何換算。

【0021】 如圖 3，其係為本發明之一實施例的非揮發性記憶體之故障遮蔽方法，其係應用於非揮發性記憶體系統 300。請同時參照圖 2 及圖 3，本發明之非揮發性記憶體的故障遮蔽方法包括以下步驟：

步驟 S110：提供一控制字 322，並將第一位址 311 及控制字 322 寫入變補器 320 中。

步驟 S120：利用變補器 320 將第一位址 311 及控制字 322，進行一補數運算進而得到一第二位址 312，此第二位址 312 的內容係等於該固定值，並使第二位址 312 輸入故障晶胞 342 中。

【0022】 其中，第一位址 311 及第二位址 312 係為邏輯位址，其可包括一個位元或一個位元組。第一位址 311 的內容可以例如為 0，且第二位址 312 的內容則可以例如為 1。故障晶胞 342 則為一實體位址，該實體位址係為一儲存空間，其可被存入一個位元或一個位元組，且故障晶胞 342 之故障方式為不論輸入之位址的內容為 0 或 1，其係僅能輸出一固定值(例如只能輸出 1(Stuck-at-1))。因此，在沒有本發明之機制下，有可能發生在將內容



例如為 0 之第一位址 311，存入固定值例如為 1 之故障晶胞 342 中時，會使得輸入為 0 但輸出為 1 之情況並進而引發故障。然而，在本發明之操作機制下，變補器 320 會在第一位址 311(例如為 0)存入故障晶胞 342(例如為 1)之前，利用控制字 322(例如為 1)及第一位址 311 來進行一補數運算，進而得到一第二位址 312，其中控制字 322 與位址內之位元數相同(例如本實施例中第一位址有兩個位元則有兩個控制字)。

【0023】 在一實施例中，變補器 320 可以例如為一互斥或(XOR)邏輯電路，互斥或邏輯電路之真值表可參考表(一)。將第一位址 311(例如為 0)與控制字 322(例如為 1)一併通過互斥(XOR)邏輯電路，則會產生第二位址 312。利用互斥邏輯電路來將該第一位址(例如為 0)及控制字(例如為 1)進行一補數運算，以使得第一位址(例如為 0)不會存入至故障晶胞 342(例如為 1)，而存入至另一固定值為 0 之故障晶胞或一正常晶胞中，並且使該第二位址(例如為 1)存入故障晶胞 342(例如為 1)中。

第一位址 311	控制字 322	第二位址 312
0	0	0
0	1	1
1	0	1
1	1	0

表(一)

【0024】 本發明之非揮發性記憶體的故障遮蔽方法更提供一解碼器 330，其係電性連接於變補器 320 及非揮發性記憶體陣列 340 之間，以將第二位址進行解碼後輸入故障晶胞 342。本發明之非揮發性記憶體的故障遮蔽方法，修正了傳統上邏輯位址與實體位址為一對一的對應關係。因此我們將本發明之非揮發性記憶體的故障遮蔽方法，稱之為位址不規則排列方法。如圖 4 所顯示之位址不規則排列方法，在有 4 個邏輯位址及 4 個實體

位址下則會有 16 種方法，也就是說，若有 N 個位址則有 2N 種配對方法。利用此種位址不規則排列方法，可以將內容例如為 0 之邏輯位址存入固定值為 0 之實體位址中，而內容例如為 1 之邏輯位址則存入固定值為 1 之實體位址中，藉此可以使得故障被遮蔽而不會被激發出來，因而可以達到容錯之目的。

【0025】 圖 5 顯示本發明的非揮發性記憶體之故障遮蔽方法，可以輕易的整合於現有的內建自我測試系統中，此一整合方法可參考以下步驟：

步驟 S130：提供一內建自我測試電路(BIST)370，其係電性連接於非揮發性記憶體陣列 340，內建自我測試電路 370 會讀取非揮發性記憶體陣列 340 內之資料。

步驟 S140：提供一多輸入特徵位移暫存器(MISR)360，其係電性連接於內建自我測試電路 370 及非揮發性記憶體陣列 340 之間，多輸入特徵位移暫存器 360 會將非揮發性記憶體陣列 340 內之資料壓縮。

步驟 S150：多輸入特徵位移暫存器 360 會將壓縮後之資料，傳送至內建自我測試電路(BIST)370 中並進行比對。

【0026】 本發明之實施例的非揮發性記憶的故障遮蔽方法，可應用於非揮發性記憶體的列及行，運用此方法將可大量減少甚至不需配置備用機制，即可達到故障遮蔽的效果。因此在製造非揮發性記憶時便得以降低製造成本，亦可提升非揮發性記憶體的製程良率。

【0027】 惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利所涵蓋之範圍內。

#### 【符號說明】

故障晶胞 101

取代晶胞 102

記憶體系統 200

熔絲 220

記憶體陣列 221

控制暫存器 222

位址解碼器 224

備用行 226

非揮發性記憶體系統 300

位址暫存器 310

第一位址 311

第二位址 312

變補器 320

控制字 322

解碼器 330

非揮發性記憶體陣列 340

故障晶胞 342

多輸入特徵位移暫存器(MISR)360

內建自我測試電路(BIST)370

#### 【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

#### 【序列表】(請換頁單獨記載)

## 申請專利範圍

1. 一種非揮發性記憶體之故障遮蔽方法，其係應用於一非揮發性記憶體陣列，該非揮發性記憶體陣列包括一故障晶胞，並且係電性連接於一位址暫存器，該位址暫存器會提供一第一位址，該故障晶胞係僅能輸出一固定值，且該第一位址的內容並不等於該固定值，該非揮發性記憶體之故障遮蔽方法包括：

提供一變補器，其係電性連接於該第一位址及該故障晶胞之間；

提供一控制字，並將該第一位址及該控制字寫入至該變補器中；

利用該變補器將該第一位址及該控制字進行一補數運算，進而得到一第二位址，其中該第二位址的內容係等於該固定值，並將該第二位址的內容輸入該故障晶胞中。

2. 如申請專利範圍第 1 項所述之非揮發性記憶體之故障遮蔽方法，其中該變補器中係為一互斥或(XOR)邏輯電路。

3. 如申請專利範圍第 2 項所述之非揮發性記憶體之故障遮蔽方法，其更包括：

提供一解碼器，其係電性連接於該變補器及該非揮發性記憶體陣列之間，以將該第二位址進行解碼後輸入至該故障晶胞。

4. 如申請專利範圍第 3 項所述之非揮發性記憶體之故障遮蔽方法，其更包括：

提供一內建自我測試電路(BIST)，其係電性連接至該非揮

發性記憶體陣列，該內建自我測試電路會讀取該非揮發性記憶體陣列內之資料。

5. 如申請專利範圍第 4 項所述之非揮發性記憶體的故障遮蔽方法，其更包括：

提供一多輸入特徵位移暫存器(MISR)，其係電性連接於該內建自我測試電路及該非揮發性記憶體陣列之間，該多輸入特徵位移暫存器會將該非揮發性記憶體陣列內之資料壓縮。

6. 如申請專利範圍第 5 項所述之非揮發性記憶體的故障遮蔽方法，其更包括：

該多輸入特徵位移暫存器會將該壓縮後之資料，傳送至該內建自我測試電路(BIST)中以進行比對。

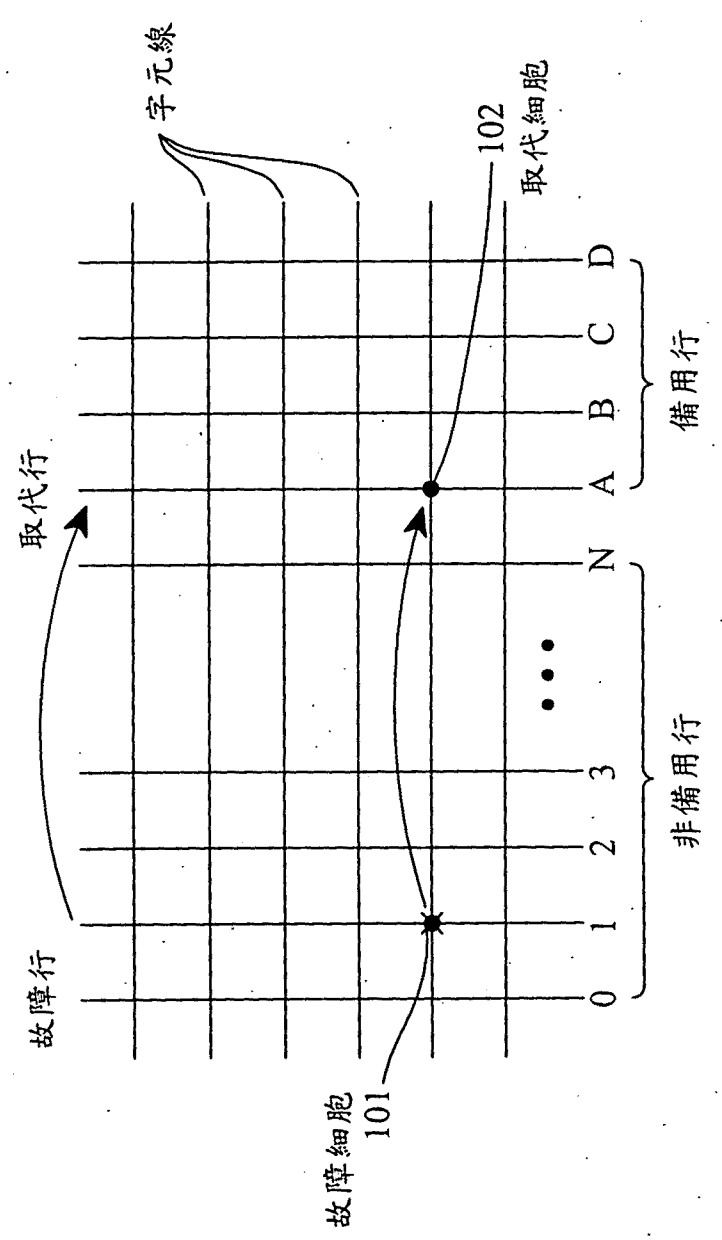


圖 1A

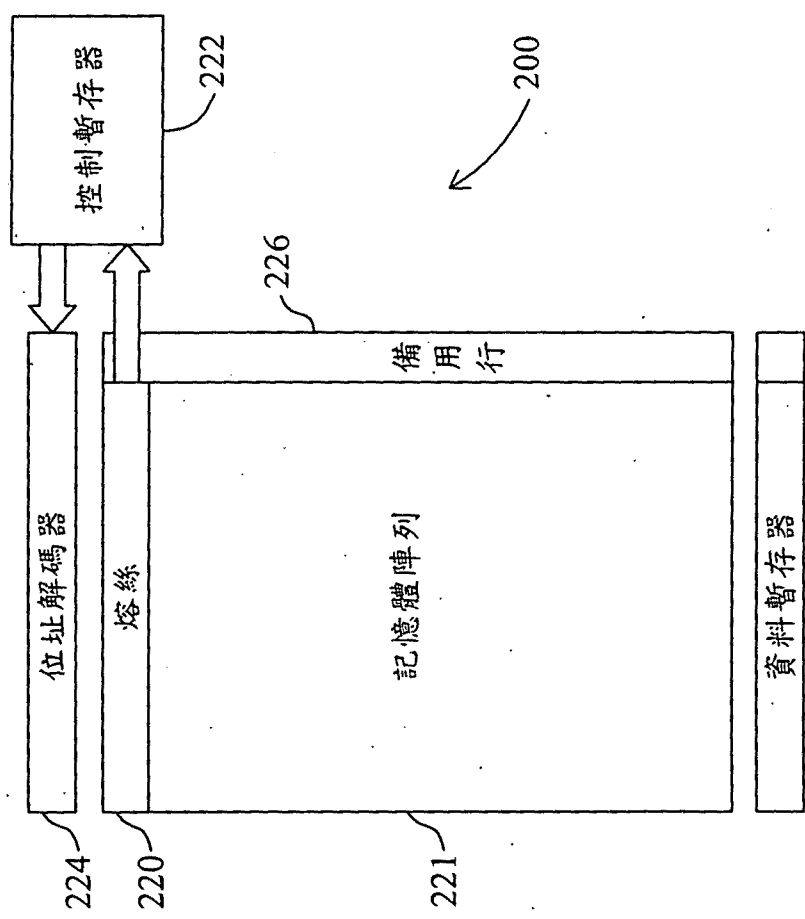


圖 1B

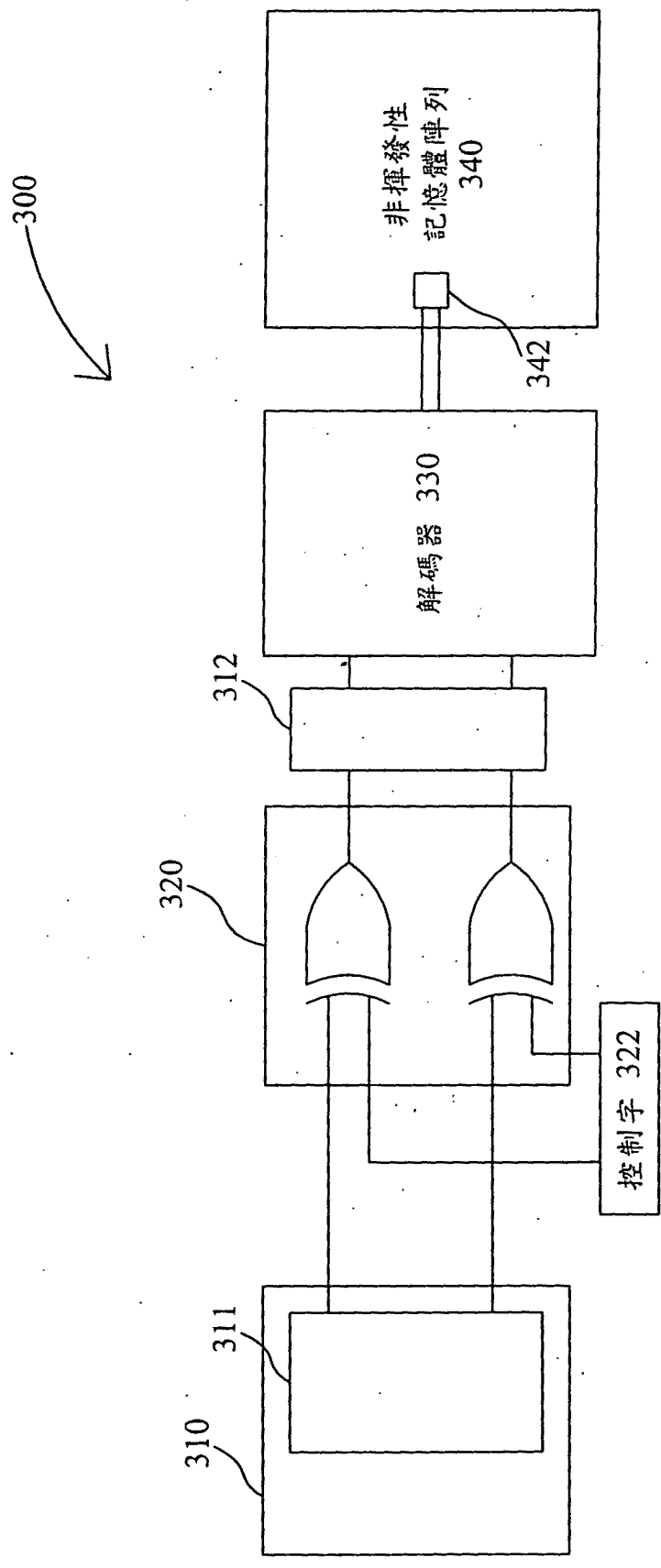


圖 2



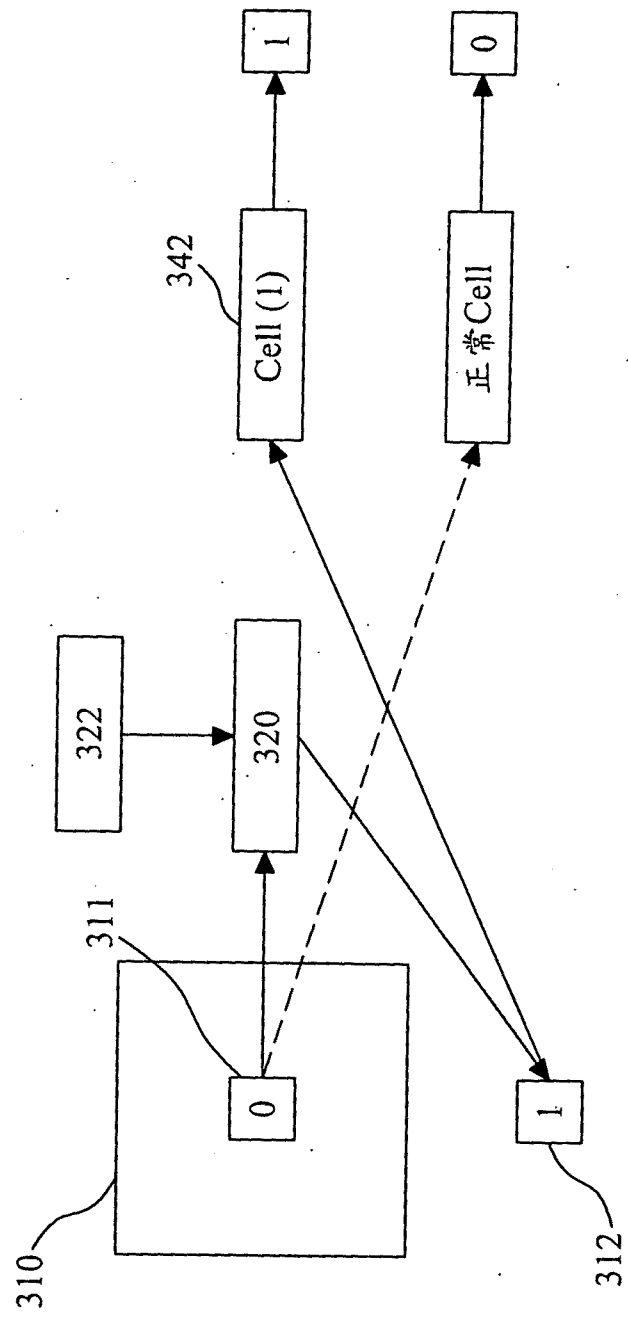


圖 2A

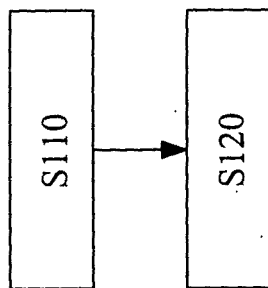


圖 3

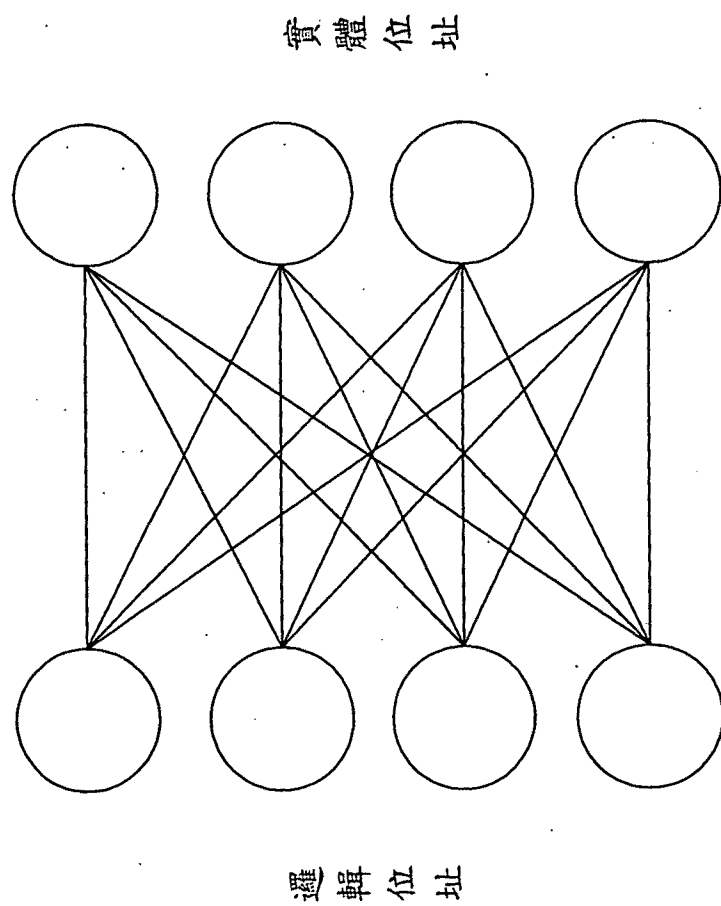


圖 4

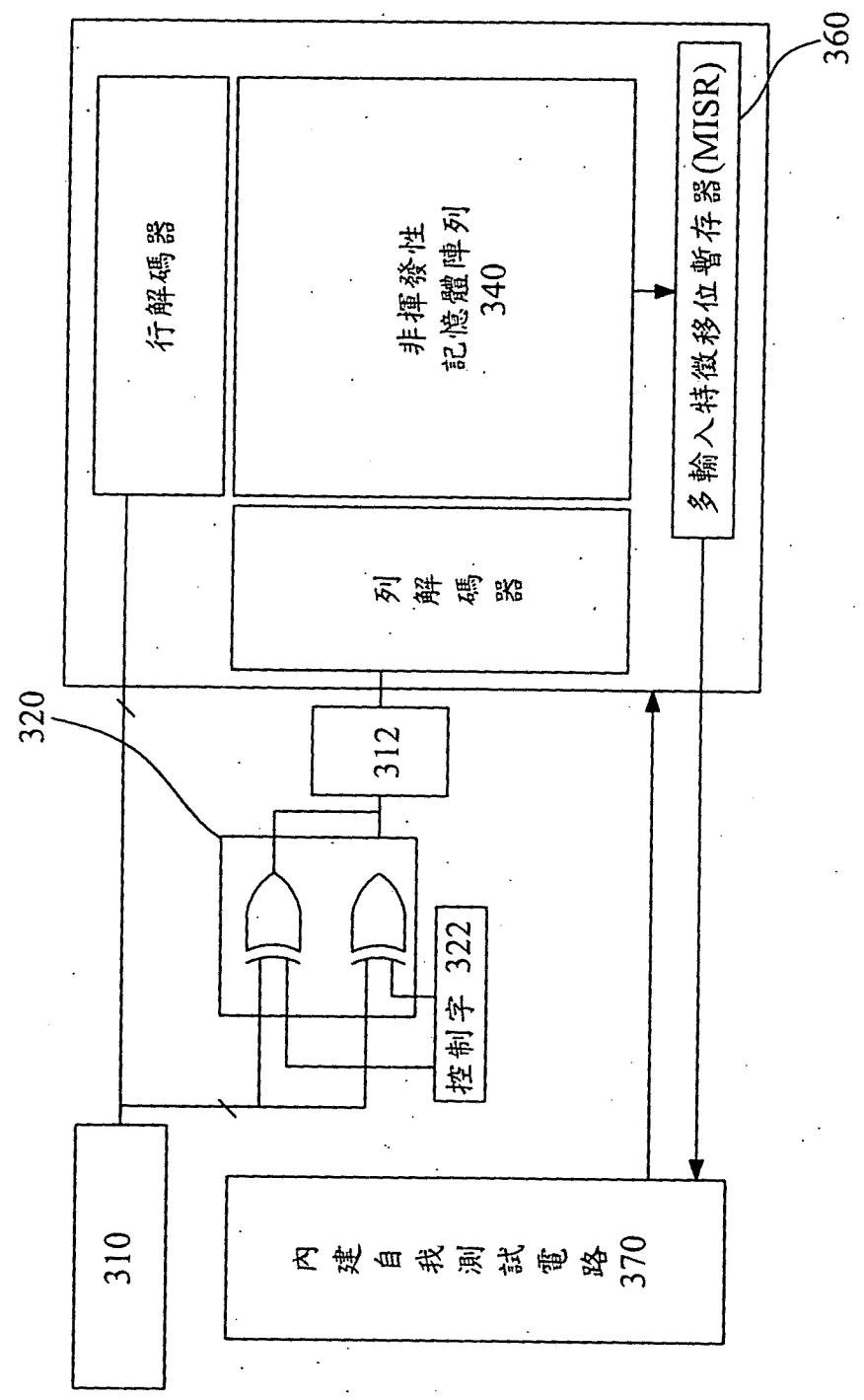


圖 5