(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G01S 7/02

(45) 공고일자 2002년05월08일
(11) 등록번호 10-0335590
(24) 등록일자 2002년04월23일

(21) 출원번호 10-1999-7006044
(22) 출원일자 1999년07월02일
번역문 제출일자 1999년07월02일
(86) 국제출원번호 PCT/US1997/21653
(86) 국제출원출원일자 1997년11월25일

(65) 공개번호 특2000-0062421
(43) 공개일자 2000년10월25일

(87) 국제공개번호 WO 1998/29759
(87) 국제공개일자 1998년07월09일

(81) 지정국 국내특허 : 오스트레일리아, 캐나다, 일본, 대한민국, 노르웨이,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드,

(30) 우선권주장 08/778,054 1997년01월02일 미국(US)

(73) 특허권자 레이티언 캄파니
글렌 에이치. 렌젠, 주니어
미국 캘리포니아주 90245 엘 세군도 엘 세군도 블러바드 2000 이

(72) 발명자 콜라넥,제임스,씨.
미국93117캘리포니아주고레타베리다코르디예라60
브라이언,토마스,에이.
미국93117캘리포니아주고레타사보나애비뉴275

(74) 대리인 주성민
안국찬

심사관 : 김재문

(54) 일정 이산 퓨리에 변환 필터 매개 변수 엔코더

요약

본 발명은 수신 대역 폭 내에 존재하는 디지털 샘플링된 입력 신호의 선택된 매개 변수들을 구별하기 위한 매개 변수 엔코더에 구현되어 있다. 여기서 수신기의 대역 폭은 다수의 인접 주파수 채널로 분할되어 있고, 각 채널은 하나의 채널 대역폭을 가지며, 상기 매개 변수 엔코더는 채널화된 신호중 각각의 하나를 수신하기 위해 연결된 다수의 채널 처리기를 포함하고, 각각의 채널 처리기는 각각의 태널화도니 신호의 샘플에 대한 주파수 값 및 진폭 값을 제공하기 위한 퓨리에 변환 장치를 포함한다. 매개 변수 엔코더는 진폭 값을 이미 정해진 경계치 및 채널의 인접한 신호들의 대응하는 진폭

값들를 비교하고 또한 그의 주파수 값을 채널들의 인접한 신호들의 대응 주파수 값들과 비교하는 비교 장치 및 (a) 각 채널 및 인접 채널들의 대응 진폭 값을 이미 정해진 경계치와 상대적으로 결정, (b) 주파수 값이 인접 채널의 대응하는 채널 값에 비애 월등한지를 결정, (c) 주파수 값과 인접 채널의 주파수 값간의 차이가 이미 정해진 주파수 경계치를 초과하는지 결정중에 적어도 하나에 기초하여 검출된 신호가 각각의 채널에 존재하는지를 감지하기 위한 처리 장치를 포함하는 채널 조정기를 포함한다.

대표도

도 1

색인어

채널 분할, FM 변조, 엔코더, 처프 변조, 완곡 필터

명세서

기술분야

본 발명은 주파수, 펄스폭, 진폭, 도달 시간, 변조 형태 등의 매개 변수의 이미 정해진 세트에 따라서 수신 RF 신호를 분리하는 매개 변수 엔코더에 관한 것이다.

배경기술

다양한 디지털 RF 수신 시스템은 넓은 수신 주파수 대역을 다수의 좁은 주파수 '빈(bin)' 또는 채널들로 분할하는 디지털 채널화기(channelizer)를 포함하므로, 수신기는 각각의 채널에 대해서 독립적으로 처리할 수 있다. 그러한 디지털 RF 수신기는 예를 들어, 디지털 셀룰라 전화 시스템에서 사용될 수 있다. 또 다른 예로서는, 매개 변수 엔코더에도 사용 가능하다. 매개 변수 엔코더는 주파수, 펄스폭, 진폭, 도달 시간, 변조 형태 등의 매개 변수의 이미 정해진 세트에 따라서 수신 RF 신호를 구별해서 그 정보를 사용자에게 전송하는 디지털 RF 수신기에서의 장치이다. 사용자는 전자 통신 시스템일 수 있다. 넓은 주파수 대역을 좁은 채널들로 분할하는 것은 당업계에서는 이미 공지의 일정 다위상 필터 집합(uniform polyphase filter bank)을 사용함으로써 훌륭히 수행될 수 있다. 처리 가능한 제일 높은 RF 주파수는 다위상 필터의 샘플링 비 용량에 의해 제한된다. 이미 알려진 바와 같이 나이퀴스트 비가 특정의 RF 주파수가 측정될 수 있는 최소 샘플링 비이며, 이는 특정 RF 주파수의 2 배에 해당한다. 다위상 필터들의 집합은 수신기의 RF 대역의 가장 높은 주파수에 대응하는 나이퀴스트 비에서 동작 가능해야 한다. 필터 집합이 이러한 비로 동작되어야 하는 이유는 이러한 비가 수신기의 RF 주파수 대역을 담당하면서 작동될 수 있고 하드웨어가 설계되는 클럭 비를 결정하는 가장 느린 주파수이기 때문이다. 하드웨어 클럭 비를 최소화하므로써, 하드웨어 비용은 최소화된다.

나이퀴스트 비에서 동작하는 일정 다위상 필터 집합을 사용하는 디지털 수신기는 채널간의 에일리어싱(aliasing)의 문제를 겪게된다. 에일리어싱은 모든 디지털 시스템에서 일어나는 문제로서, 나이퀴스트 대역폭의 외부에 있는 주파수들을 수신 신호의 실제 주파수보다 더 높거나 더 낮은 주파수에 맵핑시킨다.

채널간의 에일리어싱을 제거하는 하나의 방법은 수신 신호를 오버샘플링하여, 나이퀴스트 비를 초과하는 비에서 다위상 필터 집합을 포함하는 하드웨어를 작동하는 것이다. 그러나, 신호를 오버샘플링하여 더 높은 비로 하드웨어를 작동하는 것은 더 넓은 주파수 대역을 위한 하드웨어를 만들어야 하는 것이 현재의 시술상황에서 가능하다 할 지라도 이는 높은 비용을 요구하거나, 또는 어려운 일이기 때문에, 바람직하지 않다. 주어진 RF 신호 대역폭에서 채널간의 에일리어싱을 제거하는 또 다른 방법은 더 좁은 주파수 빈을 가진 필터를 사용하여 다 위상 필터 집합에서 더 많은 수의 그러한 더 좁은 필터를 사용하는 것이다. 그러나, 필터를 좁히고 그들의 수를 증가시키는 것은 이가 하드웨어의 물리적 크기를 증가시켜 전력 소비와 열 소산을 증가시키므로써, 바람직하지 못하다.

본 발명은 샘플링 비를 증가시키거나 필터의 수를 증가시킴이 없이 채널간의 에일리어싱의 문제를 제거하거나, 개선하는 것에 대한 것이다. 특히, 본 발명은 인접한 채널을 구분하는 경계 주파수의 근처에 있는 주파수의 수신 신호를 처리하는 더 신뢰성 있는 방법에 대한 것이다. 더 자세히는, 본 발명은 인접한 채널간의 경계근처의 주파수의 수신신호의 주파수를 더 신뢰성있게 측정하는 것에 대한 것이다.

발명의 상세한 설명

본 발명은 수신기의 주파수 대역안에 존재하는 디지털 샘플링된 수신 신호의 선택된 매개 변수들을 구별하기 위한 매개변수 엔코더에 구체화에 있다. 상기 수신기의 주파수 대역폭은 다수의 인접한 주파수 채널로 나뉘어 있고, 각각의 채널은 하나의 채널 대역폭을 가지며, 수신 신호는 다수의 주파수 채널들중 각각의 하나에 존재하는 다수의 채널화된 신호들로 나뉘어져있고, 매개 변수 엔코더는 채널화된 신호들중 각각의 하나를 수신하기 위해 연결된 다수의 채널 처리기를 포함하며, 각각의 채널 처리기는 각 채널화된 신호의 샘플에 대한 주파수 값과 진폭 값을 발생시키기 위한 퓨리에 변환 장치를 포함한다. 본 발명을 구체화하는 매개 변수 엔코더는 진폭 값을 이미 정해진 경계치 및 채널의 인접한 신호들의 대응하는 진폭 값들를 비교하고 또한 그의 주파수 값을 채널들의 인접한 신호들의 대응 주파수 값들과 비교하는 비교 장치 및 (a) 각 채널 및 인접 채널들의 대응 진폭 값을 이미 정해진 경계치와 상대적으로 결정, (b) 주파수 값이 인접 채널의 대응하는 채널 값에 비애 월등한지를 결정, (c) 주파수 값과 인접 채널의 주파수 값간의 차이가 이미 정해진 주파수 경계치를 초과하는지 결정중에 적어도 하나에 기초하여 검출된 신호가 각각의 채널에 존재하는지를 감지하기위한 처리 장치를 포함하는 채널 조정기를 포함한다.

채널 처리기는 주파수 값을 대응 주파수 채널의 최대 및 최소 주파수의 근처의 상위 및 하위 경계치 주파수들과 비교하고, 인접 채널의 진폭 값들을 서로 및 경계치와 비교하기 위한 비교 장치 및 (a) 대역의 외부에 존재하는 주파수 값이 상위 주파수와 하위 주파수사이에 존재하는지의 결정, (b) 진폭 값이 시간적으로 대응하는 인접 채널의 대응하는 진폭 값이 이미 정해진 경계치를 초과하는지의 결정, (c) 인접 채널의 진폭 값간의 불일치의 결정중에 적어도 하나에 기초하여 주파수 값이 채널의 주파수 대역의 하나의 극한에 근접해 있는지 및 반대의 극한 쪽으로 그것을 이동시키므로써 보정할 필요가 있는지를 감지하기 위한 처리 장치를 포함하는 주파수 조정기를 더 포함한다.

채널 처리기는 유효한 신호가 각각의 채널에 현존하는지를 지시하는 채널 조정기에 응답하여 펄스 구별기 상에서의 변조를 더 포함할 수 있고, 상기 구별기는 채널화된 신호의 주파수 값의 연속된 샘플치에서 칩 과도(chip transient)를 감지하기 위한 장치, 칩 과도의 시간 구간을 측정하기 위한 장치, 시간 구간이 이미 정해진 낮은 범위안에 떨어지는 칩 과도들의 제1 갯수를 개산하고, 시간 구간이 이미 정해진 낮은 범위를 초과하는 칩 과도들의 제2 갯수를 개산하기 위한 장치, 및 상기 제1 및 제2 갯수에 따라서 채널화된 신호의 변조를 구별하기위한 장치를 포함한다. 구별 장치는 만약, 제1 갯수가 제2 갯수를 초과한다면 변조를 위상 변조로 구별하고, 그렇지 않다면 주파수 변조나 FM 처프로 구별한다.

채널 처리기는 주파수 값의 시간적 변화 율을 제공하기 위한 장치를 더 포함할 수 있으며, 여기에서는 구별 장치는 주파수 값의 시간적 변화율에 따라서 주파수 변조와 FM 처프를 구별한다.

채널 처리기는 채널화된 신호의 다수의 샘플치에서 주파수 추정을 제공하기 위한 최소 스퀘어 추정기(least square estimator), 주파수 값의 연속적이 샘플치를 수신하여 주파수의 최소 스퀘어 추정을 출력하는 주파수 추정기 및 최소 스퀘어 추정기의 출력의 주파수 시간 변화 율을 포함하는 주파수 시간 변화 율을 제공하기 위한 장치를 더 포함할 수 있다.

바람직하게는, 퓨리에 변환 장치는 각각의 실수 및 허수 부분을 그의 1 샘플 시간을 지연시킨 켤레 복소수와 곱하기위한 켤레 복소수 곱셈기(complex conjugate multiplier) 및 그의 출력인 실수 및 허수를 가진 복소수를 극 좌표 형식으로 변환하기 위한 변환기를 포함한다.

채널 처리기는 하나의 진폭 펄스의 정상 상태의 범위가 제1 부분을 초과하는 피크 진폭의 제2 이미 정해진 부분의 범위에서 나타나는지를 나타내기 위한 장치를 포함하는 상태 시퀀서를 더 포함하고, 여기서 펄스 엔코더상의 변조는 펄스의 정상 상태 범위가 일어남을 나타내기 위한 장치에 응답해서 계수를 실행한다.

시퀀서는 피크 펄스 진폭의 제1 이미 정해진 부분에 대응하는 각각의 채널에서의 펄스의 진상 및 지상 에지(leading and trailing edge)를 나타내기 위한 장치를 더 포함한다. 이 경우에, 채널 처리기는 진상 에지의 발생에 응답하는 도달 시간 엔코더, 진상과 지상 에지의 발생간에 시간 간격에 응답하는 펄스 폭 엔코더, 및 정상 상태 범위를 초과하는 연속된 진폭 샘플치의 평균을 계산하기 위해 정상 상태 범위의 발생에 응답하는 진폭 엔코더를 더 포함한다.

상태 스퀀서는 지상 에지가 진상 에지후 이미 정해지 시간내에 발생하지 않을 때마다 각각의 채널에서 연속된 파형 신호를 나타내기 위한 장치를 더 포함할 수 있다.

채널 처리기는 채널화된 신호의 다수의 샘플치에서 주파수 추정을 제공하기 위한 최소 스퀘어 추정기, 주파수 값의 연속적이 샘플치를 수신하여 주파수의 스퀘어 추정을 출력하는 주파수 추정기 및 채널화된 신호의 정상 상태 범위로부터만 다수의 샘플들을 취하기 위하여 시퀀서에 응답하는 추정기를 더 포함할 수 있다.

채널 처리기는 각각의 채널의 펄스의 존재를 감지하기 위한 경계치 감지기를 더 포함할 수 있다. 상기 경계치 감지기는 진폭 값이 제1 이미 정해진 펄스 경계치 값을 초과한 후 유효한 펄스의 시작을 나타내기 위한 장치, 및 진폭 값이 제1 이미 정해진 펄스 경계치 값보다 작은 제2 이미 정해진 펄스 경계치 밑으로 떨어진 후, 유효 펄스의 끝을 나타내는 장치를 더 포함할 수 있다.

바람직하게는, 진폭 엔코더는 샘플의 수가 2의 지수승과 같을 경우만 평균치를 계산하도록 하는 장치를 포함한다. 상기 평균치는 2의 지수승에 해당되는 양만큼 진폭 샘플의 합을 이진 쉬프팅하므로써 계산된다.

바람직하게는, 펄스 엔코더의 변조는 주파수 식별기와, 주파수 칩 과도를 감지하기 위한 장치사이에 연결된 지연 선 주파수 식별기(delay line frequency discriminator) 및 엔티-랩 회로(anti-wrap circuit)를 포함한다. 또한, 바람직하게도, 채널 처리기는 주파수의 값의 연속된 샘플들을 안정화하기 위한 추정기의 입력단에 엔티-랩 회로를 포함한다.

바람직하게는, 최소 스퀘어 추정기는 주파수 샘플들의 합을 계산하기 위한 제1 지연 선 합산 루프, 샘플 갯수를 발생시키기 위한 카운터, 각 주파수 샘플을 대응 샘플 갯수와 승산하기 위한 승산기, 및 승산기의 결과를 합산하기 위한 제2 지연 선 합산 루프를 포함하는 고속 부분 및 제1 및 제2 합산 루프를 정상 상태의 시작에서 활성화 시키고, 지연 에지의 발생에 따라 제1 및 제2 합산 루프를 종료하고 샘플 갯수를 래칭하기 위한 스퀀스에 응답하는 장치를 포함한다. 저속 부분에는, 래칭을 위한 장치로부터 샘플 갯수의 함수로서 최소 스퀘어 행렬 연산자를 발생시키기고, 제1 및 제2 요소가 최소 스퀘어 행렬 연산자에 의한 제1 및 제2 합산 루프를 각각 포함하는 2-요소 벡터를 행렬 연산하기 위한 장치가 있다.

도면의 간단한 설명

도 1은 발명을 구체화하는 채널 처리 모듈의 어레이를 포함하는 매개 변수 엔코더를 설명하는 블럭도.

도 2A 및 2B는 도 1의 매개 변수 엔코더의 디지털 채널화기의 주파수 영역의 응답을 도시한 도면이며, 도 2B는 도 2A의 일부의 확대도.

도 3은 발명을 구체화한 바람직한 채널 처리 모듈의 블럭도.

도 4는 도 3의 채널 처리 모듈에서의 지연 선 주파수 식별기의 블럭도.

도 5는 도 3의 채널 처리 모듈의 바람직한 경계치 감지 회로의 블럭도.

도 6은 도 5의 경계치 감지기의 동작을 설명하는 입력 펄스의 시간 영역에서의 파형을 포함하는 그래프.

도 7은 도 3의 채널 처리 모듈의 바람직한 진상 에지/지상 에지 감지기의 블럭도.

도 8은 도 3의 채널 처리 모듈의 조정 논리의 채널 조정 함수(channel arbitration function)를 정의하는 진리표.

도 9는 도 3의 채널 처리 모듈의 조정 논리의 주파수 조정 함수를 정의하는 진리표.

도 10은 입력 펄스의 시간 영역의 파형을 도시하고, 도 3의 채널 처리 모듈의 상태 시퀀서를 제어하는 다수의 키 사건들 및 시간 구간들을 정의하는 도면.

도 11은 도 3의 채널 처리 모듈의 상태 시퀀서의 동작을 설명하는 상태 전이 도.

도 12는 도 3의 채널 처리 모듈에서의 시간 도달 엔코더의 블럭도.

도 13은 도 3의 채널 처리 모듈에서의 펄스 폭 엔코더의 블럭도.

도 14는 도 3의 채널 처리 모듈의 바람직한 진폭 평균기의 블럭도.

도 15는 도 3의 채널 처리 모듈의 최소 스퀘어 주파수 추정기의 상위 레벨의 블럭도.

도 16은 도 15의 최소 스퀘어 주파수 추정기의 엔티-랩 회로의 블럭도.

도 17은 도 15의 최소 스퀘어 주파수 추정기의 최소 스퀘어 회로의 블럭도.

도 18은 도 3의 채널 처리 모듈의 펄스 구별기상의 변조의 블럭도.

도 19는 측정된 주파수의 양태를 위상 변조(실선 부분) 및 주파수 변조 또는 FM 처핑(점선 부분)하에서 시간 함수로서 설명하는 그래프.

실시예

도 1을 참조하면, 디지털 RF 수신기는 아날로그 RF 입력을 수신하면 A/D 변환기(110)가 높은 샘플링 주파수로 일련의 디지털 워드 U(n)으로 변환한다. 여기서 n은 하나의 별개의 워드를 의미한다. A/D 변환기에서 출력된 각 디지털 워드는 실수 값이다. 디지털 채널화기(120)은 입력 신호 U(n)를 수신기의 RF 대역을 담당하는 이미 정해진 빈 범위의 N개의 주파수의 빈에 해당하는 N 채널으로 분할하여, N 개의 채널화된 신호 $x_k(n)$를 발생시킨다. 여기서 k는 1에서 N까지의 참조 번호를 의미하며 N개의 채널중 하나의 나타낸다. 각각의 채널화된 신호는 일련의 디지털 워드에 의해 표시되는 실수 및 허수로 구성된 복소수이다. 바람직하게는, 디지털 채널화기는 각각이 N개의 주파수 빈 또는 채널중 하나에 대응하는 통과 대역을 가지는 다위상 필터의 집합을 포함한다. 모든 N 채널화된 신호들을 수신기의 전 대역의 아날로그 주파수의 함수로 결합된 디지털 채널화기의 응답이 도 2의 그래프에 도시되어 있다. 도 2의 그래프는 실제 채널화기(120)를 구성하는 필터 집합의 개별적 통과 대역의 응답의 중첩(superposition)이다. 각각의 채널은 도 2에 '1'에서 'N'으로 표시된대로 하나의 통과 대역에 해당한다. 피크 응답에서 대략 6 dB 아래에서 각각의 채널의 응답은 인접 채널의 응답과 겹친다. 이런 겹침(overlapping)내에 떨어지는 주파수들에 대해서, 에일리어싱 에러의 가능성은 높다. 도 2B는 두개의 인접 채널 응답간의 겹침을 보여주는 도 2A의 확대도이다. 도 2B의 밝은 영역에는 겹침이 없어서 에일리어싱 에러의 가능성이 적다.

도 1을 다시 참조하면, 매개 변수 엔코더(130)는 디지털 채널화기(120)의 출력을 수신한다. 매개 변수 엔코더(130)에서는, 디지털 채널화기(120)의 N 채널화된 출력 신호 $x_k(n)$가 각각의 채널 처리 모듈(140)에 의해 개별적으로 처리된다. 채널 처리 모듈(140)은 각각의 채널화된 신호를 할당받으므로 N개가 존재한다. 각각의 채널 처리 모듈(140)은 자신의 채널화된 신호를 분해하여 가장 최근 샘플링 시간에 대한 각각의 이미 정해진 매개 변수(예를 들어, 주파수, 진폭, 도달 시간, 변조 형태) 값을 나타내는 매개 변수 디지털 워드(PDW)를 출력한다. N개의 채널 처리 모듈(140)의 출력은 일련의 디지털 워드로된 하나의 출력으로 PDW 인터페이스(150)에서 다중 송신된다.

채널 처리 모듈(140)의 고찰.

도 3은 고유한 채널 처리 모듈(140)의 내부 구조를 도시하고 있으며, 여기에 제시된 예는 제2 채널 처리 모듈(140-2)이다. 도 3의 실시예는 특히 펄스 신호, 연속파 신호(CW signal) 및 FM 처프 펄스 신호의 도달 신호, 주파수 및 진폭을 쉽게 특징지우기 위해 맞추어져 있다. 게다가, 하나의 펄스 신호에 대해서는 펄스 폭을 쉽게 특징지우기 위해 맞추어져 있다. 또한, FM 처프 펄스 신호에 대해서는 처프의 주파수의 시간 변화율 및 시작 주파수를 쉽게 특징지우기 위해 맞추어져 있다. 그러나, 발명이 이러한 특정 형태의 신호를 처리하는데 한정되는 것은 아니다. 도 3에서는, k 번째 채널에서 감지된 복소 신호 $x_k(n)$의 n 번째 샘플의 실수 및 허수 요소들이 지연 선 승산기(delay line multiplier; 310)의 각각의 입력으로 들어간다. 도 3의 예에서는 채널 참조 번호 k는 2와 같다. 지연 선 승산기(310)는 2개의 M-비트 입력 (여기서 M은 각각의 디지털화된 샘플의 비트수 임) 을 취하고, 그 중에 하나는 실수이며 나머지 하나는 허수이고, 하나의 신호 샘플 $x_k(n)$에 그의 바로 전 샘플 $x_k(n-1)$의 켤레 복소수를 곱하는 연산을 실행한다. 여기서 둘중에 어떤 것이 켤레 복소수가 되도록 선택하는것은 중요치 않다. 복소 곱의 결과인 M-비트 실수부 및 허수부는 도 3에서 구성요소(315)와 함께 표시된 한 쌍의 종래의 CIC 완만 필터(cascaded integrated comb smoothing filter)에서 완만해지고, 상기 완만해진 M-비트의 실수부 및 허수부는 종래의 좌표 회전 디지털 컴퓨터(coordinate rotation digital computer; 320)에서 함께 처리된다. 좌표 회전 컴퓨터는 복소 신호 $x_k(n)$의 표현 형식을 직교 좌표에서 극 좌표 형식 $Ae^{i\Phi}$ 으로(여기서 A는 지폭이고, i는$(-1)^{1/2}$ 이며, Φ는 복소 평면에서의 각임) 변환한다. 이러한 좌표 회전 디지털 컴퓨터는 J.E. Volder에 의해 1959년에 처음으로 완성되었으며 당업계에는 공지이다. 일반적으로, Φ는 wt+φ인데 여기서 w는 샘플된 신호의 각 주파수이고, t는 시간을 의미하며, φ는 샘플된 신호 $x_k(n)$의 위상을 나타낸다. 그러나, 지연 선 승산기(310)가 주파수 식별을 수행하므로, 각 Φ는 정규화된 샘플 간격에 의해 곱해진 신호의 각 주파수만 포함하고, 위상과는 독립이어서, Φ는 샘플링 간격에 의해 정규화된 각 주파수 w와 동일할 수 있다. 그러므로, 지연 선 승산기(315)와 좌표 회전 컴퓨터(320)의 결합된 동작은 각 샘플 시간 동안에 복소 신호의 진폭과 주파수를 추출한다. 따라서, 각 샘플 시간동안에 입력 신호의 퓨리에 변환의 구성요소들 즉 주파수 및 진폭이 제공되어지게 된다. 여기서 부터는, 채널화된 신호 $x_k(n)$에 대응하여 k 번째 채널에 대한 진폭 A 의 n번째 샘플을 $A_k(n)$으로 나타내고, 이에 대응하는 주파수 샘플을 $F_k(n)$으로 표시한다.

좌표 회전 컴퓨터(320)는 출력 버스(325a)상에 M-비트 주파수 샘플 $F_k(n)$을 출력하고, 로그 진폭 엔코더(330)를 통해 M-비트 출력 버스(325b)상에 진폭 $A_k(n)$의 로그 폼을 출력한다. 로그 진폭 엔코더(330)은 데이터 압축과 유사하며 당업계에서 공지이다. 경계치 감지기(335)는 로그 진폭 엔코더(330)의 M-비트 출력을 수신하여 출력 버스(325a)상에 1-비트 경계 논리 신호 L_{Dk} 를 출력하고 진폭 $A_k(n)$을 이미 정해진 경계치와 비교한다.

조정 논리(340)는 출력 버스들(325a, 325b, 325c)를 통해 M-비트의 $A_k(n)$, $F_k(n)$ 및 경계 논리 신호 L_{Dk} 을 수신하고, 두 인접 채널 처리 모듈로부터 세개의 대응 출력을 수신한다. 특별히, 조정 논리(340)는 하나의 인접 채널 모듈에서 입력 버스들(345a, 345b, 345c)을 통해 $A_{k-1}(n)$, $F_{k-1}(n)$ 및 L_{Dk-1} 을 수신하고, 다른 하나으로 부터는 입력 버스들(350a, 350b, 350c)을 통해 $A_{k+1}(n)$, $F_{k+1}(n)$ 및 L_{Dk+1} 을 수신한다. 조정 논리(340)는 필요시마다 두 개의 가능한 채널간에 하나를 선택하도록 조정하고, 필요시마다 주파수간에 조정한다. 조정 논리는 1-비트의 채널 조정 논리 신호 L_{CA} 및 3-비트의 주파수 ㅜ정 논리 신호 F_{PDW} 를 출력한다.

설명을 더 하자면, 신호의 실수부, 허수부, 주파수 및 진폭같은 각각의 샘플은 로그 진폭 엔코더(330)의 출력이 M보다 작은 수인 M'-비트 디지털 워드일 수 있음을 제외하고는 M-비트 디지털 워드임을 가정한다. 더욱이, 아래에 언급될 논리 신호들은 달리 정의되지 않는다면, 일반적으로 1-비트 참/거짓 논리 신호이다. 그러나, 당업자는 기능적으로 중요한 변화 없이도 시스템의 다른 단계에서 수행되는 비트수로도 발명을 구현할 수 있다. 주어진 변수의 비트 수를 언급한 이 명세서에서 주어진 설명은 발명의 하나의 바람직한 실시예에 대한 정의를 용이하게 하기 위한 것이므로, 발명의 모

든 가능한 실시예에 적용되지 않을 수 있다.

진상 에지/지상 에지(LE/TE) 감지기(355)는 로그 진폭 엔코더(330)으로부터의 M'-비트 진폭 샘플 $A_k(n)$가 채널화된 신호에서의 진상 에지의 도달을 나타내는 1-비트 논리 신호(여기서 부터는 L_{LE} 라 함) 및 채널화된 신호 $x_k(n)$에서의 지상 에지의 도달을 나타내는 1-비트 논리 신호(여기서 부터는 L_{TE} 라 함)를 출력하는지를 감시한다. 상태 시퀀서(360)는 LE/LT 감지기(355)의 논리 출력 신호들, 경계치 감지기(335)의 논리 출력 신호 및 조정 논리(340)의 출력 신호를 수신하고 처리하여 신호 $x_k(n)$로부터 특정 매개 변수들을 추출할 때 사용되는 다수의 신호를 발생한다. 아래에서 더 자세히 설명되겠지만, 상태 시퀀서(360)은 채널화된 신호 $x_k(n)$의 수신 펄스의 진상 또는 지상 전이가 정상 상태 또는 진폭의 피그 펄스의 특정 부분에서 발생하는 때를 표시하는 특정 논리 신호들을 발생시킨다.

상태 시퀀서(360)로부터의 신호 및 클럭 카운터(365)로부터의 계수에 응답하여 다음의 구성 요소에 의해 신호로부터 이미 정해진 매개 변수를 추출한다: 도달 시간 엔코더(370)는 신호 $x_k(n)$의 감지된 펄스의 도달 시간을 엔코딩한다; 펄스 폭 엔코더(375)는 그 펄스의 펄스 폭을 엔코딩한다; 진폭 적응 평균 회로(380)은 펄스의 진폭의 평균치를 엔코딩한다; 최소 스퀘어 추정기(385)는 주파수의 추정치를 엔코딩한다; 및 펄스 엔코더(390)상의 변조는 감지된 펄스에 존재하는 변조 형태를 분별한다. FIFO 데이터 버퍼(395)는 다수의 엔코더(370, 375, 380, 385, 390)의 출력들을 하나의 데이터 스트림으로 다중송신한다.

지연 선 승산기(310):

도 4를 참조하여, 지연 선 승산기(310)은 신호 $x_k(n)$의 실수부 및 허수부를 병렬로 지연시키는 1-샘플-시간 지연 선 구성요소(410)을 포함한다. 켤레 복소 승산기(420)는 공지의 기능을 수행하는데, 즉 하나의 복소수에 또 다른 복소수의 켤레 복소수를 승산하는 기능을 수행한다. 본 명세서에서 이해가능하지만, 복소수는 실수부 및 허수부로 구성되어 있다. 승산기(420)의 하나의 입력은 지연 선 구성요소(410)의 출력, 즉 $x_k(n-1)$의 실수부 및 허수부임에 반하여, 다른 하나의 입력은 지연되지 않은 신호 샘플 $x_k(n)$이다.

경계치 감지기(325):

도 5를 참조하여, 경계치 감지기(325)는 + 와 - 로 표시된 차동 입력 쌍을 가지고 논리 신호 L_{Dk} 를 출력하는 종래의 래벨 비교기(510)을 포함한다. 비교기의 + 입력은 로그 엔코더(330)으로부터의 로그 진폭 $A_k(n)$을 수신하고, 비교기의 - 입력은 스위치(520)에 의해 결정된 두개의 경계치 V_{T1} 와 V_{T2} 중 하나를 수신한다. 스위치(520)는 비교기(510)의 출력으로부터 그의 제어 입력(520a)에 인가되는 논리 레벨에 따라서, 두개의 경계치중 하나를 선택한다. 스위치(520)은 출력 논리 신호 L_{Dk} 가 진폭 $A_k(n)$가 비교기의 입력에 인가되는 경계치 보다 낮으면 더 높은 경계치 V_{T1} 을 선택하고, 그렇지 않으면 더 낮은 경계치 V_{T2} 를 선택한다. 도 6이 경계치 감지기(325)가 어떻게 기능하는지를 설명한다: 수신 펄스의 진상 에지는 감지기 출력을 높이기 위하여 더 높은 경계치를 요구하고, 지상 에지는 감지기 출력이 논리 영으로 되돌아가기전에 더 낮은 경계치 아래로 떨어져야 한다. 잇점으로는 수신 펄스가 진상 에지가 발생한 후 (도 6의 빗금에 의해 나타난 대로)그의 초기 진폭 아래로 떨어질 수 있고, 전체 폭 동안 감지될 수 있다. 잡음 펄스에 대해서는 펄스 진폭이 진상 및 지상 에지 사이에 감쇠될 수 있음에 반하여, 진상 및 지상 에지들은 스파크로 특성화된다. 도 6에 도시된 대로, 하위 경계치 V_{T2} 는 바람직하게는 예기된 피크 진폭의 1/3임에 반하여, 상위 경계치 V_{T1} 는 바람직하게는 고유 펄스의 예기된 피크 진폭의 대략 2/3이다.

진상 및 지상 에지 감지기(355):

도 7을 참조하여, LE/TE 감지기(355)는 채널화된 신호 $x_k(n)$의 감지된 펄스의 진상 에지의 발생에 응하여 논리 신호 L_{LE}를 트리거(trigger)하고, 지상 에지의 발생에 응하여 또 다른 논리 신호 L_{TE}를 트리거한다. 바람직한 실시예에서, 진상 에지의 시간은 펄스의 한 번 지연된 진상 에지가 펄스의 지연되지 않고 감쇠된 진상 에지와 진폭이 일치할 시간으로 정의된다. 유사하게도, 지상 에지의 시간은 펄스의 지상 에지가 펄스의 2번 지연되고 감쇠된 지상 에지와 진폭이 일치할 시간으로 정의된다. 하나의 지연 간격(D)는 예기된 펄스의 적절한 범위의 고유 상승시간을 조금 초과하도록 미리 정해진다. 두번 지연된 간격(2D)는 단지 상기 시간의 두배이다. 두 경우 모두에서, 감쇠는 바람직하게는 2의 지수승만큼이다. 도 7에는, 이 함수의 구현이 두 연속된 지연 라인(710, 720)에서 진폭 신호 $A_k(n)$를 지연시켜서, 세개의 진폭 신호($A_k(n)$, $A_k(n-1D)$, $A_k(n-2D)$)는 동시에 유용하게 된다. 첫번째 신호 $A_k(n)$ 및 마지막 신호 $A_k(n-2D)$는 감쇠기(730, 740)에 의해 2의 지수배로 감쇠되고, 비교기(750, 760)는 중간 신호 $A_k(n-1D)$를 각각의 $A_k(n)$ 및 $A_k(n-2D)$와 비교한다. 비교기(750)의 출력(가운데 신호와 첫번째 신호간의 비교 결과)은 두 입력이 적어도 거의 동일할때마다 진상 에지 논리 신호 $L_{LE}(n)$를 트리거하고, 비교기(760)의 출력(가운데 신호와 마지막 신호간의 비교 결과)은 두 입력이 적어도 거의 동일할때마다 지상 에지 논리 신호 $L_{TE}(n)$를 트리거한다.

조정 논리(340):

조정 논리(340)는 종래 논리 구성요소를 가지고 어떠한 적절한 형태로도 구현가능하며, 당업자는 이를 어떠한 적절한 수단을 통해서도 진리표에 의해 정의할수 있다. 조정 논리는 필요시에 채널 조정 및 주파수 조정을 실행한다. 채널 조정 및 주파수 조정은 신호의 주파수가 인접 주파수 빈 또는 채널간의 주파수 경계에 존재할 때 필요하다.

채널 조정:

조정 논리(340)의 채널 조정 논리 및 함수의 바람직한 실시예는 도 8의 진리표에서 정의되어 있다. 채널 조정은 유한 채널 필터의 스커트 응답(skirt response) 때문에 인접 채널에서 신호가 감지될 경우 발생하는 모호성을 결정하기 위해 필요하다. 조정 논리(340)는 도 8의 진리표에 정의된 8개의 논리 테스트 조건을 다음과 같이 얻어질 때마다, 논리 출력 L_{CA}를 감지된 펄스 또는 신호의 유효 채널로 올리므로써, 현재 채널(즉, 채널 k)을 가정한다:

(1) 제1 논리 테스트 조건(즉, 도 8의 진리표의 P_1열)은 현재 채널(채널 k)의 진폭이 경계치 V_{T2}를 초과하고 그의 인접 채널(채널 k-1, k+1)의 진폭들 모두는 그 경계치를 넘지않을 때마다 얻어진다. 이는 아마도 감지된 펄스를 포함하는 k 번째 채널을 선택하기 위한 최소의 모호한 조건이다.

(2) 제2 논리 테스트 조건(즉, 도 8의 진리표의 P_2열)은 현재 채널(채널 k) 및 그의 인접 채널(채널 k+1)의 진폭 각각이 경계치 V_{T2}를 초과하고, 다른 인접 채널(채널 k-1)의 진폭이 그 경계치를 초과하지 않으며, 현재 채널의 진폭이 인접 k+1 채널의 진폭을 초과할 경우 (따라서, k 채널이 k+1 채널에 비해서 더 선택될 가능성이 많아 선호된다) 에 얻어진다.

(3) 제3 논리 테스트 조건(즉, 도 8의 진리표의 P_3열)은 두개의 인접 채널(k-1, k+1)이 뒤바뀌는 조건하에서는 제2 논리 테스트 조건과 동일하다. 이 조건은 현재 채널(채널 k) 및 그의 인접 채널(채널 k-1)의 진폭 각각이 경계치 V_{T2}를 초과하고, 다른 인접 채널(채널 k+1)의 진폭이 그 경계치를 초과하지 않으며, 현재 채널의 진폭이 인접 k-1 채널의 진폭을 초과할 경우에 얻어진다.

(4) 제4 논리 테스트 조건(즉, 도 8의 진리표의 P_4열)은 3개의 채널(채널 k-1, k, k+1)의 진폭 각각이 경계치 V_{T2}를 초과하고, 현재 채널의 진폭이 인접하는 양 채널(k-1, k+1)의 진폭을 초과할 경우에 얻어진다.

(5) 제5 논리 테스트 조건(즉, 도 8의 진리표의 P_5열)은 하나의 유효 펄스가 인접 채널(k, k+1)의 하나에 발생하는 경우에 해당한다. 이 조건은 현재 채널(채널 k) 및 그의 인접 채널(채널 k+1)의 진폭 각각이 경계치 V_{T2}를 초과하고, 다른 인접 채널(채널 k-1)의 진폭이 그 경계치를 초과하지 않으며, 현재 채널의 진폭이 인접 k+1 채널의 진폭을 초과하지 않고(따라서, k 채널이 k+1 채널에 비해서 더 선택될 가능성으로 선호되지 못한다), 인접 k+1 채널에서 감지된 주파수(즉, F_{k+1})가 채널 k에서 감지되 주파수(즉, F_k)와 특정 경계치 만큼 다를 경우에 얻어진다. 이 후자의 조건은 두 인접 채널의 강한 진폭의 존재가 에일리어싱의 결과가 아님을 의미한다. 주파수 차 경계치(frequency difference threshold)는 필터 또는 주파수 빈 폭의 비인데 예를 들어 10%정도이다.

(6) 제6 논리 테스트 조건(즉, 도 8의 진리표의 P_6 열)은 두개의 인접 채널(k-1, k+1)이 뒤바뀌는 조건하에서는 제5 논리 테스트 조건과 동일하다.

(7) 제7 논리 테스트 조건(즉, 도 8의 진리표의 P_7 열)은 제4 테스트 조건의 요구사항이 인접 채널중 하나(채널 k+1)에 대해 충족되고, 제 5 테스트 조건의 요구사항이 인접 채널중 또 다른 하나(채널 k-1)에 대해 충족되는 결합(hybrid) 조건이다.

(8) 제8 논리 테스트 조건(즉, 도 8의 진리표의 P_8 열)은 두개의 인접 채널(k-1, k+1)이 뒤바뀌는 조건하에서는 제7 논리 테스트 조건과 동일하다.

(9) 제9 논리 테스트 조건(즉, 도 8의 진리표의 P_9 열)은 하나의 유효 펄스가 인접 3개의 채널 각각에 발생하는 경우에 해당한다. 이 조건은 인접하는 3개의 채널의 진폭 각각이 경계치 V_{T2} 를 초과하고, 현재 채널의 진폭이 인접 k-1 및 k+1 채널의 진폭을 초과하지 않고(따라서, 제4 테스트 조건이 사용되지 않는다), 인접 k-1 및 k+1 채널에서 감지된 주파수(즉, F_{k-1} , F_{k+1})가 채널 k에서 감지되 주파수(즉, F_k)와 특정 경계치 만큼 다를 경우에 얻어진다. 이 경계치는 필터 또는 주파수 빈 폭의 비인데 예를 들어 10%정도이다.

만약, 논리 테스트 조건에 해당하는 9개중 어떠한 하나가 충족된다면, 조정 논리(340)는 자신의 논리 출력 비트 L_{CA} 를 올려서 현재 채널(채널 k)이 유효 펄스를 포함하고 있음을 주장한다. 그렇지 않으면, 논리 출력 비트 L_{CA} 를 올리지 않는다.

주파수 조정:

주파수 조정은 디지털 채널화기에서 발생하는 샘플 비 데시메이션(sample rate decimation) 및 주파수 포개짐에서 발생하는 주파수 측정의 모호성을 해결하기 위해 필요하다. 이러한 보정은 필터 대역의 한 에지에 에일리어싱된 주파수를 다른 에지로 이동시킨다. 주파수는 감지된 주파수의 위치에 따라서, 채널 대역폭에 해당하는 주파수를 더하거나 빼므로써 보정된다. 도 9는 주파수 조정의 논리 함수를 정의하는 진리표를 설명한다. 3개의 가능한 출력이 있다: (a) 주파수가 보정을 요구하지 않는다, (b) 하나의 채널 대역폭이 감지된 주파수에 가산된다, (c) 하나의 채널 대역폭이 감지된 주파수로 부터 감산된다. 이 출력은 3-논리 비트로 명확히 특징지워 진다. 선택적으로, 출력은 단순히 보정된 주파수를 표시하는 완전한 바이트일 수 있다. 도 9의 진리표에는 두개의 테스트 케이스가 있는데, 여기서 주파수는 P_1 및 P_2 열에 따라서 보정된다. 이러한 테스트 케이스는 각각이 필터 응답이 이미 정해진 양(즉, 0)밑으로 떨어지지 않을 채널의 가장 낮은 주파수와 가장 높은 주파수이 두 개의 정의된 양 즉, F_{LO} 및 F_{HI} 을 이용한다. 도 2는 채널 주파수 대역에서의 F_{LO} 및 F_{HI} 의 위치의 일예를 도시한다.

제1 테스트 케이스(P_1)에서는, 감지된 주파수는 F_{LO} 의 아래는 아니고 F_{HI} 의 위이며, 양 인접 채널(k-1 및 k+1 채널)의 진폭들은 (V_{T2} 같은) 경계치를 넘어서고, 채널 k-1의 진폭은 채널 k+1의 진폭보다 크다. 이 경우에, 주파수는 채널 대역의 하위 에지부터 상위 에지까지 에일리어싱된 것처럼 보이므로, 하나의 채널 대역폭은 감지된 주파수로부터 감산되어 채널 대역의 하위 에지 근처로 되돌아 간다.

제2 테스트 케이스(P_2)에서는, 감지된 주파수는 F_{LO} 의 아래이므로 F_{HI} 의 위가 아니며, 양 인접 채널(k-1 및 k+1 채널)의 진폭들은 (V_{T2} 같은) 경계치를 넘어서고, 채널 k+1의 진폭은 채널 k-1의 진폭과 같거나 그보다 크다. 이 경우에, 주파수는 채널 대역의 상위 에지부터 하위 에지까지 에일리어싱된 것처럼 보이므로, 하나의 채널 대역폭은 감지된 주파수에 가산되어 채널 대역의 상위 에지 근처로 되돌아 간다.

이러한 2개의 테스트 케이스중 어느하나도 충족되지 않을경우는 감지된 주파수에는 어떠한 보정도 없다. 당업자는 도 8 및 9의 진리표를 구현하므로써, 논리 회로를 쉽게 만들수 있으며, 본 발명은 이러한 함수의 어떤 특정한 논리 회로 구현에 한정되는 것이 아니므로 그런 특정 구현은 설명하지 아니한다.

상태 시퀀서(360):

상태 시퀀서(360)는 도 10에 설명된 특정 사건의 발생에 응답한다. 도 10은 채널화된 신호에서 감지된 고유 펄스의 시간 영역의 파형을 도시하고 있다. 제1 사건은 펄스 진폭이 경계치 감지기의 더 높은 경계치 V_{T1} 의 값에 도달할때인 시간 T_{D1} 에 발생한다. 이 사건은 경계치 감지기 논리 출력 L_D 의 논리 0에서 논리 1로의 전리로 신호화될 수 있다. 다음 사건은 LE/TE 디코더(355)가 펄스의 진상 에지를 감지하는 시간 $T_{LE'}$ 에 발생한다. 이 사건은 LE/TE 감지기의 진상 에지 논리 신호 L_{LE} 의 논리 0에서 논리 1로의 전리로 신호화될 수 있다. 다음, 펄스가 시간 T_{M1} 에 피크 진폭의 95%에 도달하며, 이는 조정 논리(340)에서 발생한 논리 신호 L_{M1} 의 논리 0에서 논리1 로의 전이로 신호화될 된다. 그후, 펄스가 시간 T_{M2} 에 피크 진폭의 99%에 도달하며, 이는 논리 신호 L_{M2} 의 논리 0에서 논리1 로의 전이로 신호화된다. 이런 논리 신호는 매개 변수 엔코더, 최소 스퀘어 주파수 추정기 및 진폭 평균기의 시퀀싱을 제어한다. T_{M1} 와 T_{D1} 간의 시간 간격은 M_1 이고, T_{M2} 와 T_{D2} 간의 시간 간격은 M_2 이다.

앞서 언급한 사건들이 진상 에지 부근에서 발생하는 반면에, 남아 있는 사건은 지상 에지근처에서 발생한다. 시간 T_{M3} 에, 펄스 진폭은 그의 피크치의 95% 아래로 떨어진다. 시간 T_{TE} 에, LE/TE 감지기는 지상 에지를 감지하고, LE/TE 감지기에의한 논리 신호 출력은 논리 0에서 논리 1로 전이한다. T_{M3} 와 T_{TE} 간의 시간 간격은 M_{TE} 이다. 마지막 사건은 진폭이 하위 경계치 V_{T2} 아래로 떨어지는 시간 T_{D2} 에 발생하며, 논리 신호 L_D 를 논리 1에서 논리 0으로 전이시킨다.

도 11을 참조하면, 상태 시퀀서(360)에 의한 상태 시퀀스는 특정 논리 신호들의 전이를 특징지운다. 자세하게, 논리 신호 L_D 및 L_{LE} 의 전이는 시스템의 정지 기저 상태 0에서 상태 1로의 전이이다. 상태 1에서, 시스템은 (본 명세서의 이하에 설명된 대로)펄스의 시작과 도달 시간을 표시하기 위하여 클럭 신호를 포착(strobe)하고, T_{M1} 및 T_{M2} 를 위해 타이머를 시작시킨다. 논리 신호 L_{M2} 의 전이는 시스템의 상태 1에서 상태 0으로의 전이이다. 상태 2에서, 시스템은 조정 논리(340)의 채널 조정 논리 함수를 활성화시키고 진폭 및 주파수를 측정한다. 논리 신호 L_{CA} 의 참 논리 레벨로의 전이는 상태 2에서 상태 3으로의 전이이다. 논리 신호 L_{CA} 의 참 논리 레벨로의 전이가 불가능하다는 것은 감지된 펄스가 현재 채널에 존재하지 않고 시스템은 그 대신에 상태 5로 점핑하고 그후 다시 상태 0으로 되돌아 감을 의미한다. 그렇지 않다면, 논리 신호 L_{M2} 는 상태 3동안에 전이한다. 상태 3에서는, 진폭 및 주파수를 측정한다. 감지된 펄스의 끝에서, 논리 신호 L_D 가 논리 0으로 전이하는 반면, 논리 신호 L_{TE} 는 논리 1로 전이하며, 이러한 전이는 시스템을 상태 3에서 상태 4로 옮기게 한다. 그러나, 만약 이미 정해진 시간 구간전에 펄스의 끝이 없다면(적어도 가장 긴 예기된 유효한 펄스 폭과 같음), 시퀀서(360)는 논리 신호 L_{CW} 를 트리거하고, 이는 수신 신호가 펄스 흐름이 아니라 연속파 신호임을 나타내며, 이 경우에 시스템은 기저 상태(상태 0)로 복귀한다. 반면에, 만약 시스템이 상태 4에 도달한다면, 클럭은 펄스의 끝을 표시하기 위하여 포착되고, 매개 변수 디지털 동작의 전송이 시작된다. 시스템은 그때 기저 상태(상태 0)로 복귀한다.

다른 구성요소에 의해 발생하지 않은 상기에서 언급된 논리 신호들은 공지의 논리 함수들을 포함하는 종래의 기술들에 따라서 상태 시퀀서(360)에 의해 발생한다.

도달 시간 엔코더(370):

도 12를 참조하면, 도달 시간 엔코더(370)는 래치(1210)로 구성된다. 래치(1201)는 클럭(365)에 연결된 데이터 입력, LE/TE 감지기(355)로 부터 논리 신호 L_{LE} 에 연결된 래치 제어 입력, 및 LE/TE 감지기에 의해 감지된 펄스의 도달 시간을 제공하기 위한 데이터 출력을 포함한다. 진상 에지 논리 신호 L_{LE} 가 참일때 마다, 클럭 신호의 현재 값은 도달 시간 엔코더(370)의 출력에서 래칭된다.

펄스 폭 엔코더(375):

도 13을 참조하면, 펄스 폭 엔코더(375)는 래치(1310) 및 감산기(1320)로 구성된다. 래지의 데이터 입력은 클럭(365)에서 클럭 신호를 수신하며, 래치(1310)의 데이터 출력은 감산기(1320)의 양의 입력에 인가된다. 래치(1310)는 LE/TE 감지기(355)로 부터의 지연 논리 신호 L_{TE} 에 연결된 래치 제어 입력을 가진다. 감산기(1320)는 도달 시간 엔코더(365)의 출력으로부터 도달시간을 수신하기위해 연결된 음의 입력을 가진다. 감산기(1320)는 도달 시간 엔코더(365)으로부터 수신된 도달 시간에서 지연 에지의 시간에 래치된 클럭 신호의 값으로부터의 도달 시간을 감산한다. 그 차이는 펄스 폭이며, 펄스 폭 엔코더(375)의 출력이다.

적응 평균 회로(380):

도 14를 참조하면, 진폭 적응 평균 회로는 로그 진폭 엔코더(330)으로부터 각 샘플 시간 n의 신호 진폭 A(n)를 수신한다. 가산기(1410)는 일련의 A(n)를 수신하기 위해 연결된 하나의 입력단을 가진다. 가산기(1410)의 출력은 지연 소자(1420)에 의해 하나의 샘플 시간만큼 지연된다. 지연 소자(1420)의 출력은 버퍼(1430)를 통해 가산기(1410)의 다른 입력으로 피드백 입력되어서, 누산이 수행될 수 있다. 버퍼(1430)는 시퀀서(360)로부터의 논리 신호 L_{M2} 에 의해 제어되어서, 논리 신호 L_{M2} 가 각각 참 논리 값으로 전이하는 동안 피드백을 0으로 리셋시킨다. 따라서, 가산기(1410)에서 실행된 합산은 진폭 값이 피크 치에 95% 에 도달한 후에야 시작된다. 래치(1440)는 카운터(1450)로부터의 출력이 2의 지수승에 도달할 때마다, 지연 소자(1420)로부터의 지연 합을 래칭한다. 카운터(1450)는 합산 루프(1410, 1420, 1430)의 동작과 동기시키기 위해 논리 신호 L_{M2} 에 의해 리셋된다. 동작중에는, 래치(1440)는 2의 지수승 즉 2^N 으로 (여기서 N은 정수임) 설정된 논리 회로이고, 래치는 카운터(1450)로부터의 출력이 2^N 에 도달할 때 까지 기다렸다가 그시점에서 그의 출력단에서 지연 소자(1420)로부터의 지연 합을 래칭한다. 그때, 래치(1440)는 N을 다음 가장 높은 정수 값으로 갱신하고 상기 동작을 반복한다. 래치(1440)는 N의 각각의 현재 값을 래치된 합 값을 2^N 으로 나누어 적응 평균 회로(380)의 출력에 결과를 제공하는 나눔 회로(1460)에 출력된다. 그 결과는 바람직한 평균치인 2^N 으로 나눈 진폭의 2^N 개의 샘플의 합이다. 평균 회로(380)의 주요한 잇점은 유용한 진폭 샘플의 수가 2의 지수승에 도달할때만 평균 진폭을 계산하므로써, 단순히 2진 쉬프트로 2^N 나눗셈 연산을 할수 있어서 부동 연산이 필요치 않다는 점이다.

최소 스퀘어 주파수 추정기(385):

도 15를 참조하면, 주파수 추정기(385)는 좌표 회전 컴퓨터(320)로부터의 입력 극 좌표 또는 주파수 포함 신호 wt + φ를 처리하는 엔티-랩 회로(1510)를 포함한다. 주파수 추정기는 엔티-랩 회로(1510)의 출력에 연결된 최소 스퀘어 회로(1520)을 더 포함한다. 주파수 포함 신호(wt + φ)가 거의 $\pm\pi$ 일때, 에일리어싱을 발생시키며 불안정성을 발생시킨다. 엔티 랩 회로(1510)가 이러한 불안정성을 제거한다.

도 16을 참조하면, 엔티-랩 회로(1510)는 논리 신호 L_{M2} 가 참일 때마다(즉, 입력 펄스가 그의 피크 치의 95%에 도달할 때마다) 입력 주파수 포함 신호를 래치하여 감산기(1620)의 음의 입력에 래치된 신호를 인가하는 래치(1610)로 구성된다. 감산기(1620)의 양의 입력에는 래치되지 않은 주파수 포함 신호가 인가된다. 주파수 포함 신호 (wt + φ)의 연속된 샘플의 감산은 상대적으로 일정 위상 φ을 제거하고 단지 주파수 w의 연속된 샘플만을 남기게되어서, 주파수의 지연 선 식별기를 실행한다. 감산기(1620)의 출력은 하나의 샘플 지연 소자(1640)를 통해 가산기(1650)의 한 입력에 출력을 제공하는 모듈로 2 회로(1630)에 의해 모듈로 2로 감소된다. 가산기(1650)의 다른 입력은 래치(1610)로부터의 래치된 주파수 포함 신호를 수신한다. 가산기(1650)의 출력은 랩핑되지 않은 주파수의 연속된 샘플들의 함수인 신호인데, 이는 최소 스퀘어 회로(1520)의 입력에 인가된다.

최소 스퀘어 회로(1520):

도 17을 참조하면, 최소 스퀘어 회로(1520)는 고속 부(1710) 및 단독 실행부(1715)로 구성되어 있다. 도 17의 구현은 FM 처프 펄스 신호의 주파수를 제거하기위해 특별히 맞추어져 있다. FM 처프의 경우에는, 도 16의 식별기 부(1610, 1620)에 의한 감산은 k 번째 샘플에 대해 아래의 식별된 주파수 z(k) (여기서 잡음은 무시함) 를 따른다:

수학식 1

$$z(n) = F_o T + (dF/dt)/2 + (dF/dt)\, T^2\, n^2/2$$

여기서 F_o는 FM 처프의 시작 주파수이고, dF/dt는 FM 처프동안의 주파수의 변화율이며, T는 샘플 구간 또는 샘플링 비의 역수이고, n은 샘플 참조번호이다. 만약 주어진 펄스의 연속된 S개의 샘플이 처리된다면, z(k)는 각 요소들이 샘플 수 n 의 차수를 감소시킬 때, z(n)의 각각에 해당하는 S개 요소 열 벡터로 표현될 수 있다. 이 경우에, 상기의 식의 우항은 Hx 형식이고, 여기서 하기의 식에 도시된 대로 H는 2×S 행렬이고 x는 2-요소 열 백터이다:

수학식 2

$$x=\begin{vmatrix} T & -T^2 \\ 0 & T^2 \end{vmatrix} \begin{vmatrix} F_o \\ dF/dt \end{vmatrix}$$

수학식 3

$$H=\begin{vmatrix} 1 & 1 \\ 1 & 2 \\ 1 & 3 \\ . & . \\ . & . \\ . & . \\ 1 & S \end{vmatrix}$$

종래의 기술에 따라서, n 개의 샘플에 대하여 추정치와 실제치간의 변위의 스퀘어를 최소화하는 S개의 샘플에 대한 z의 추정치 z_{LS} 가 하기의 연산에 의해 얻어진다:

수학식 4

$$z_{LS}=(H^T H)^{-1} H^T z$$

여기서 위 첨자는 전치 행렬을 의미하고 아래 첨자는 역 행렬을 의미한다. $H^T z$는 하기에 표현된 2 요소 벡터이다:

수학식 5

$$H^T z=\begin{vmatrix} \Sigma z(n) \\ \Sigma nz(n) \end{vmatrix}$$

$(H^T H)^{-1}$ 는 하기에 표현된 각 요소들이 샘플 수 n의 함수인 2×2 행렬이다:

수학식 6

$$(H^T H)^{-1}=(1/(S(S-1)))\begin{vmatrix} 2(2S+1) & -6 \\ -6 & 12(2S+1) \end{vmatrix}$$

그러므로, S개의 샘플에 대한 z의 최소 스퀘어 추정은 하기의 식과 같다:

수학식 7

$$z_{LS}=(1/(S(S-1)))\begin{vmatrix} 2(2S+1) & -6 \\ -6 & 12(2S+1) \end{vmatrix} \begin{vmatrix} \Sigma z(n) \\ \Sigma nz(n) \end{vmatrix}$$

여기서 ∑ 기호는 참조 번호 n의 1에서 S까지에 걸친 합산을 의미한다.

도 17의 회로는 상태 시퀀서(360)로부터 논리 시퀀스 신호와 동기되어 상기의 수학식의 우항의 연산을 실행한다. 도 17의 고속 부(1710)는 상기 수학식 5의 2- 요소 벡터를 형성하고, 단독 실행부(1715)는 상기 수학식 6의 행렬 연산자를 형성하여 상기 수학식 7의 행렬 곱셈 연산을 실행한다.

상기 수학식 5에 정의된 2-요소 벡터의 상위 요소인 ∑z(n)은 주파수 샘플 $F_k(n)$를 수신하는 하나의 입력단을 가지는 가산기(1725), 가산기(1725)의 출력단과 가산기(1725)의 다른 입력사이에 연결된 샘플 시간 지연(1730), 및 지연(1730)의 출력과 래치(1740)사이에 연결된 시간 구간 M_{TE} 의 지연(1735) (도 10에서 정의되고 상태 시퀀서(360)에 의한 출력 임) 로 구성된 제1 가지(1720)에 의해 고속 부(1710)에서 계산된다. 가산기(1725) 및 지연 소자(1730)으로 형성된 루프가 덧셈 연산 ∑z(n)을 수행한다. 1-샘플 시간 지연 또는 버퍼(1730)의 내용물은 논리 신호 L_{M2}에 의해 0으로 초기화되어, (즉, 펄스 진폭이 처음으로 피크지에 99%에 도달했을 때) 합산 과정을 시작한다. 합산 과정은 지연 합을 논리 신호 L_{TE} (즉, 펄스의 끝)와 래칭하는 래치(1740)에 의해 종료된다. 지연 소자(1735)에 의한 M_{TE} 의 지연은 펄스의 지상 에지전의 샘플들을 저장하여서 합이 지상 에지에 의해 왜곡되지 않게 한다. 래치(1740)의 출력은 상기 수학식 5의 ∑z(n)항이다.

상기 수학식 5에 정의된 2-요소 벡터의 하위 항인 ∑nz(n)는 제1 가지(1720)과 유사하고, 승산기(1750)에 의해 주파수 샘플 $F_k(n)$(즉, 상기 수학식 5-7에서는 z(n)임)에 n을 곱한 것을 수신하는 하나의 입력단을 가진 가산기(1725')로 구성된 제2 가지(1745)에 의해 고속 부(1710)에서 계산된다. 제2 가지(1745)는 가산기(1725')의 출력단과 가산기(1725')의 다른 입력사이에 연결된 샘플 시간 지연(1730'), 및 지연(1730')의 출력과 래치(1740')사이에 연결된 시간 구간 M_{TE} 의 지연(1735') (도 10에서 정의되고 상태 시퀀서(360)에 의한 출력 임)을 더 포함한다. 승산기(1750)는 각 주파수 샘플 z(n)에 카운터(1755)의 출력을 곱하여 그 출력을 가산기(1725')의 입력에 인가한다. 카운터(1755)는 카운터(1755)의 샘플 참조 번호 n를 가산기(1725') 및 지연 소자(1730')으로 형성된 루프에 의해 수행되는 덧셈 연산 ∑nz(n)와 동기를 일치시키기 위하여 논리 신호 L_{M2} 에 의해 초기화된다. 1-샘플 시간 지연 또는 버퍼(1730')의 내용물은 논리 신호 I_{M2} 에 의해 0으로 초기화되어, (즉, 펄스 진폭이 처음으로 피크지에 99%에 도달했을 때) 합산 과정을 시작한다. 합산 과정은 지연 합을 논리 신호 L_{TE} (즉, 펄스의 끝)와 래칭하는 래치(1740')에 의해 종료된다. 지연 소자(1735')에 의한 M_{TE} 의 지연은 펄스의 지상 에지전의 샘플들을 저장하여서 합이 지상 에지에 의해 왜곡되지 않게 한다. 래치(1740')의 출력은 상기 수학식 5의 ∑nz(n)항이다.

상기의 수학식 6의 행렬 연산자를 형성할 때, 단독 실행 부(1715)는 먼저 S의 값(즉, 고속 부(1710)의 상위 및 하위 가지(1720, 1745)에 의해 수행된 합산 ∑z(n) 및 ∑nz(n)의 샘플 수임)을 알아야 한다. S의 값은 펄스 지상 애지에서 논리 신호 L_{TE} 에 의해 래치(1740, 1740')과 동시에 카운터(1750)의 출력을 래칭하는 래치(1760)에 의해 얻어진다. 추가적으로, 감산기는 래치(1760)의 출력으로부터 시간 지연 M_{TE} 을 빼고, 이런 감산은 두 가지의 시간 지연(1735, 1735')에 해당한다. 그 차는 S의 값에 해당하며, 이는 고속 부(1715)의 하나의 입력으로 인가된다. 고속 부(1715)는 상기 수학식 6에서 S의 값으로 대체하여 행렬 연산자를 발생시킨다. 그때, 논리 신호 L_{TE} 의 참으로의 전이에 응하여(고속 부(1710)에서의 합산 과정의 완료에 응하여), 단독 실행 부(1715)는 상기 수학식 6의 행렬 연산자를 상기 수학식 5의 벡터와 곱하여, 상기 수학식 7에서 정의된 2-요소 벡터를 발생시킨다. 벡터의 상위 요소는 주파수의 최소 스퀘어 추정치이며, 하위 요소는 주파수의 시간 변화율 dF/dt의 최소 스퀘어 추정치이다. 만약, 수신 펄스가 FM 변조 또는 처프를 가지지 않는다면, 그때는 이 벡터의 두 번째 요소는 0이다.

펄스 엔코더(390)상의 변조:

펄스 엔코더(390)상의 변조는 수신 신호에 존재하는 변조의 특성화에 중요한 역할을 한다. 발명이 식별할 수 있는 변조의 형식은 주파수 변조(FM), 위상 변조 및 FM 처프이다. FM 처프는 일정하게 변화하는 주파수를 포함하는 펄스이다. 변조 펄스 엔코터(390)는 수신 신호의 주파수에서 '칩(chip)'의 길이에 의존하여 위상 변조와 주파수 변조간을 식별한다. 신호의 시간대 주파수 그래프에서 하나의 칩은 신호의 시간대 진폭에서의 펄스와 유사하다. 상대적으로 짧은 칩에 의해 주도적으로 특성화된 신호는 위상 변조를 포함하고, 상대적으로 긴 구간의 칩의 신호는 FM 또는 FM 처프이다. 추정기(152))의 출력 dF/dt항은 FM 과 FM 처프사이를 구별할 수 있게 한다.

도 18은 펄스 엔코더(390)상의 변조의 바람직한 실시예를 설명한다. 주파수 변조(FM), FM 처프 및 위상 변조 간의 상기의 식별을 실행하기 위하여, 주파수 정보는 지연 소자(1815) 및 감산기(1820)로 구성된 지연 선 주파수 식별기(1810)에 의해 추출된다. 바람직하게는, 주파수 식별기(1810)의 입력은 도 3에 관련하여 상기에서 설명한 좌표 변환 컴퓨터(320)와 동일한 좌표 변환 컴퓨터(321)의 극 좌표의 출력 각(Φ)이다. 그러나, 변환 컴퓨터(321)의 실수 및 허수 입력은 승산기(310) 및 완곡 필터(315)에 의해 처리되지 않은 채널화된 신호의 실수 및 허수 부이다.

감산기(1820)의 하나의 입력은 현재 신호 샘플을 수신하고, 다른 입력은 지연 시간 Mx 만큼 지연된 신호 샘플을 수신한다. Mx는 관심있는 주파수 범위에서 위상 변조를 나타내는 칩의 가장 짧은 시간 구간으로, 특정한 적용을 위해 사용자에 의해 최선으로 결정된다. 감산기(1820)의 출력은 수신 신호의 주파수를 제공한다. 바람직하게는, 엔티-랩 회로(1825)는 식별기(1810)에 의한 출력인 주파수 샘플에서 불안정성을 감소시키거나 제거하기 위하여 식별기(1810)의 출력에 제공된다. 엔티-랩 회로는 도 16을 참조하여 본 명세서에서 상기에서 설명되었고, 도 18의 엔티-랩 회로(1825)는 도 16의 엔티-랩 회로의 일부 구성요소를 가지고 있다. 도 18의 엔티-랩 회로(1825)는 감산기(1835)의 음의 입력에 인가된 주파수 샘플을 지연시키는 1-샘플 시간 지연 요소(1830)를 포함한다. 래치(1840)는 주파수 샘플을 논리 신호 L_{M2} 의 시간에서 (즉, 펄스가 처음으로 피크 치의 99%근처에서 안정화되었을 때에) 래칭한다. 감산기(1835)는 최소 '안정' 샘플 과 각각의 연속 샘플사이의 차이를 출력한다. 샘플 주파수는 ρ 및 1-샘플 시간 구간으로 정규화된 라디안으로 표시된 각 주파수라고 가정하면, 주파수 랩핑은 주파수가 2의 지수승만큼 변화할 때 발생한다. 그러므로, 감산기(1835)의 출력을 모듈로 2 요소(1845)에 의해 감소시키는 것은 주파수 랩핑을 방지한다.

점프 감지기 회로(1850)는 엔티-랩 회로(1825)에 의한 차 값의 절대치를 계산하는 종래의 절대치 회로(1855) 및 절대치 회로의 절대 값 출력이 하나의 주파수 칩을 나타내는 정상 상태 값으로부터 이미 정해진 양(예를 들어, 1/4)만큼 점핑하는 매 샘플 시간동안에 참인 논리 신호를 출력하는 경계치 회로를 포함한다. 각 칩의 시간 구간 또는 폭은 경계치 회로(1860)의 출력이 참일 때를 제외하고는 항상 0으로 리셋되는 카운터(1865)에 의해 결정된다. 이러한 목적을 위해서, NOT 게이트(1870)는 카운터의 입력과 리셋 단자사이에 연결될 수 있다.

Mx를 초과하는 구간의 칩의 수는 제1 가지(1870)에서 결정되고, 더 긴 시간 Mxp을 초과하는 구간의 칩의 수는 제2 가지(1875)에서 결정된다. 제1 가지(1870)에서, 카운터 경계치기(1880)는 카운터(1865)의 출력이 Mx를 초과하는 동안에는 그의 출력을 하이로 유지한다. 카운터(1885)는 경계치기의 출력의 전이의 수를 계수한다. 카운터(1885)의 출력은 시퀀서(360)에 의해 정의된 시간 간격 M_{TE} 에 의해 지연 소자(1890)에서 지연된다. 래치(1895)가 펄스 지상 에지에서 펄스 논리 신호 L_{TE} 의 끝까지 지연 소자(1890)의 출력을 래칭한다. 래치(1895)의 출력은 Mx를 초과하는 구간의 주파수 칩의 수이다.

제2 가지(1875)에서, 카운터 경계치기(1880')는 카운터(1865)의 출력이 긴 시간 Mxp를 초과하는 동안에는 그의 출력을 하이로 유지한다. 카운터(1885')는 경계치기(1880')의 출력의 전이의 수를 계수한다. 카운터(1885')의 출력은 시퀀서(360)에 의해 정의된 시간 간격 M_{TE} 에 의해 지연 소자(1890')에서 지연된다. 래치(1895')가 펄스 지상 에지에서 펄스 논리 신호 L_{TE} 의 끝까지 지연 소자(1890')의 출력을 래칭한다. 래치(1895')의 출력은 Mxp를 초과하는 구간의 주파수 칩의 수이다.

도 19의 그래프는 샘플된 주파수가 위상 변조(실선) 및 FM 처프(점선)가 있을 때 시간의 함수로 동작하는 것을 설명한다. 위상 변조는 많은 짧은 간격의 주파수 칩(주파수의 펄스)을 발생시키고, FM 변조 및 FM 처프 변조는 긴 칩을 발생시킨다. 도 3의 매개 변수 디지털 워드 데이터 버퍼(395) 및 도 1의 매개 변수 디지털 워드 인터페이스(150)은 위상 변조의 존재 여부를 결정하기 위하여 Mx 보다 더 긴 칩의 수인 Cx 및 Mxp 보다 더 긴 칩의 수인 Cxp를 비교한다. 만약 Cxp가 Cxp와 Cx간의 차의 절대치보다 더 크다면, 이때는 FM 변조 및 FM 처프 변조이다. 추정기(385)의 출력에서 dF/dt항을 조사하므로써 FM 변조 및 FM 처프 변조인지의 여부를 결정한다. 만약, Cxp가 Cxp와 Cx간의 차의 절대치보다 더 작다면, 이때는 위상 변조이다. 매개 변수 디지털 워드 인터페이스는 상기에서 설명한대로 상태 시퀀서(360)에 의한 논리 신호 L_{CW} 의 등장시에 수신 신호가 연속파 신호임을 나타낸다.

요약하면, 시스템은 논리 신호 L_{CW} 의 상태에 따라서 수신 신호가 연속파 인지 아닌지(즉, 펄스)를 구별한다. 만약 연속파이면, 시스템은 주파수, 진폭 및 도달 시간의 추정치를 제공한다. 만약 펄스이면, 시스템은 펄스 폭을 더 제공하고, 펄스에 포함된 변조의 종류를 구별한다. 시스템이 구별하는 변조의 종류는 주파수 변조, 위사 변조 및 FM 처프 변조를 포함한다. 만약, 펄스가 FM 처프 변조이면, 그때는 시스템은 처프 주파수의 시간 변화율 및 처프의 시작 주파수을 더 제공한다.

바람직한 실시예에 의해 본 발명을 상세히 설명했을지라도, 당업자는 본 발명의 정신 및 범위를 벗어남이 없이도 변화 및 수정이 가능하리라는 것을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

수신기의 주파수 대역안에 존재하는 디지털 샘플링된 수신 신호의 선택된 매개 변수들을 구별하기 위한 매개 변수 엔코더(parameter encoder)에 있어서,

상기 수신기의 주파수 대역폭은 각각이 하나의 채널 대역폭을 가지는 다수의 인접한 주파수 채널로 분할되어 있고, 상기 수신 신호는 다수의 주파수 채널 각각에 존재하는 다수의 채널화된 신호들로 분할되어 있고, 상기 매개 변수 엔코더는 상기 채널화된 신호들중 각각을 수신하기 위해 연결된 다수의 채널 처리기(channel processor)를 포함하되,

상기 각각의 채널 처리기는

각각의 채널화된 신호의 각 샘플에 대한 주파수 값과 진폭 값을 발생시키기 위한 퓨리에 변환 수단;

상기 진폭 값을 이미 정해진 경계치와 비교하고, 상기 진폭 값을 상기 채널들의 인접한 신호들의 대응하는 진폭 값들과 비교하며, 상기 주파수 값을 상기 채널들의 인접한 신호들의 대응 주파수 값들과 비교하는 비교 수단, 및

(a) 상기 이미 정해진 경계치에 대해 상기 각각의 채널 및 인접 채널들의 대응 진폭 값을 결정,

(b) 상기 주파수 값이 인접 채널들의 대응하는 채널 값들에 비해 월등한지를 결정,

(c) 상기 주파수 값과 인접 채널의 주파수 값간의 차이가 이미 정해진 주파수 경계치를 초과하는지 결정

중에 적어도 하나에 기초하여 검출된 신호가 상기 각각의 채널에 존재하는 지를 감지하기 위한 처리 수단

을 포함하는 채널 조정기(channel arbitrator); 및

상기 주파수 값을 대응 주파수 채널의 최대(maximum) 및 최소(minimum) 주파수들 근처의 상위(upper) 및 하위(lower) 경계치 주파수들과 비교하고, 인접 채널의 진폭 값들을 서로 및 이미 결정된 경계치와 비교하기 위한 비교 수단, 및

(a) 상기 주파수 값이 상기 상위 주파수와 하위 주파수 사이의 대역의 외부에 존재하는 지의 결정,

(b) 상기 진폭 값에 시간적으로 대응하는 인접 채널의 진폭 값들이 이미 정해진 경계치를 초과하는지의 결정,

(c) 상기 인접 채널의 상기 진폭 값 간의 불일치에 대한 결정

중에 적어도 하나에 기초하여 상기 주파수 값이 채널의 주파수 대역의 하나의 극한에 근접해 있는지 및 반대의 극한 쪽으로 그것을 이동시키므로써 보정할 필요가 있는지를 감지하기 위한 처리 수단

을 포함하는 주파수 조정기(frequency arbitrator)

를 포함하는 매개 변수 엔코더.

청구항 2.

삭제

청구항 3.

수신기의 주파수 대역안에 존재하는 디지털 샘플링된 수신 신호의 선택된 매개 변수들을 구별하기 위한 매개 변수 엔코더(parameter encoder)에 있어서,

상기 수신기의 주파수 대역폭은 각각이 하나의 채널 대역폭을 가지는 다수의 인접한 주파수 채널로 분할되어 있고, 상기 수신 신호는 다수의 주파수 채널 각각에 존재하는 다수의 채널화된 신호들로 분할되어 있고, 상기 매개 변수 엔코더는 상기 채널화된 신호들중 각각을 수신하기 위해 연결된 다수의 채널 처리기(channel processor)를 포함하되,

상기 각각의 채널 처리기는

각각의 채널화된 신호의 각 샘플에 대한 주파수 값과 진폭 값을 발생시키기 위한 퓨리에 변환 수단; 및

상기 진폭 값을 이미 정해진 경계치와 비교하고, 상기 진폭 값을 상기 채널들의 인접한 신호들의 대응하는 진폭 값들과 비교하며, 상기 주파수 값을 상기 채널들의 인접한 신호들의 대응 주파수 값들과 비교하는 비교 수단, 및

(a) 상기 이미 정해진 경계치에 대해 상기 각각의 채널 및 인접 채널들의 대응 진폭 값을 결정,

(b) 상기 주파수 값이 인접 채널들의 대응하는 채널 값들에 비해 월등한지를 결정,

(c) 상기 주파수 값과 인접 채널의 주파수 값간의 차이가 이미 정해진 주파수 경계치를 초과하는지 결정

중에 적어도 하나에 기초하여 검출된 신호가 상기 각각의 채널에 존재하는 지를 감지하기 위한 처리 수단

을 포함하는 채널 조정기(channel arbitrator)

를 포함하고,

유효한 신호가 상기 각각의 채널에 현존하는지를 지시하는 상기 채널 조정기에 응답하여 펄스 구별기(pulse identifier) 상의 변조를 더 포함하되,

상기 구별기는 상기 채널화된 신호의 상기 주파수 값의 연속된 샘플치에서 칩 과도(chip transient)를 감지하기 위한 수단, 상기 칩 과도의 시간 구간을 측정하기 위한 수단, 이미 정해진 낮은 범위안에 떨어지는 시간 구간을 가진 상기 칩 과도들의 제1 갯수를 개산하고, 이미 정해진 낮은 범위를 초과하는 시간 구간을 가진 칩 과도들의 제2 갯수를 개산하기 위한 수단, 및 상기 제1 및 제2 갯수에 따라서 채널화된 신호의 변조를 구별하기 위한 수단

을 포함하는 매개 변수 엔코더.

청구항 4.

제3항에 있어서, 신호의 변조를 구별하는 수단은 만약 상기 제1 갯수가 상기제2 갯수를 초과한다면 상기 변조를 위상 변조로 구별하고, 그렇지 않다면 상기 변조를 주파수 변조나 FM 처프(FM chirp)로 구별하는 매개 변수 엔코더.

청구항 5.

제4항에 있어서, 상기 채널 처리기는 상기 주파수 값의 시간적 변화 율을 제공하기 위한 장치를 더 포함하되, 상기 구별 장치는 상기 주파수 값의 시간적 변화 율에 따라서 주파수 변조와 FM 처프간을 구별하는 매개 변수 엔코더.

청구항 6.

제5항에 있어서, 상기 채널 처리기는 상기 채널화된 신호의 다수의 샘플치에서 상기 주파수에 대한 추정치를 제공하기 위한 최소 스퀘어 추정기(least square estimator)를 포함하되, 상기 주파수 추정기는 상기 주파수 값의 상기 연속적인 샘플치를 수신하여 주파수의 최소 스퀘어 추정치를 출력하고, 주파수 시간 변화 율을 제공하기 위한 수단은 상기 최소 스퀘어 추정기의 출력의 주파수 시간 변화 율을 포함하는 매개 변수 엔코더.

청구항 7.

제1항에 있어서, 각각의 채널화된 신호는 실수부 및 허수부를 포함하고, 상기 퓨리에 변환 수단은

상기 실수부 및 허수부의 각각을 자신의 1-샘플 시간만큼 지연시킨 켤레 복소수와 곱하기 위한 켤레 복소수 곱셈기(complex conjugate multiplier), 및

실수부 및 허수부가 상기 켤레 복소수 곱셈기의 실수 및 허수의 출력에 해당하는 복소수를 극 좌표 형식으로 변환하기 위한 변환기

를 포함하는 매개 변수 엔코더.

청구항 8.

제5항에 있어서,

상기 채널 처리기는 상태 시퀀서(state sequencer)를 포함하되,

상기 상태 시퀀서는 진폭을 가진 상기 펄스의 정상 상태의 범위가 상기 제1 부분을 초과하는 상기 진폭의 피크의 제2 이미 정해진 부분의 범위내에서 발생하는지를 나타내기 위한 수단을 포함하고,

펄스 엔코더 상의 상기 변조는 상기 펄스의 정상 상태 범위가 발생함을 나타내기 위한 상기 수단에 응답해서 상기 계수를 실행하는 매개 변수 엔코더.

청구항 9.

제8항에 있어서,

상기 시퀀서는 펄스 피크 진폭의 제1 이미 정해진 부분에 대응하는 상기 각각의 채널에서의 펄스의 진상 및 지상 에지(leading and trailing edge)를 나타내기 위한 수단을 더 포함하고,

상기 채널 처리기는 상기 진상 에지의 발생에 응답하는 도달 시간 엔코더(time of arrival encoder),

상기 진상과 지상 에지의 발생간에 시간 간격에 응답하는 펄스 폭 엔코더(pulse width encoder), 및

상기 정상 상태 범위를 초과하는 연속된 진폭 샘플치의 평균을 계산하기 위해 상기 정상 상태 범위의 발생에 응답하는 진폭 엔코더(amplitude encoder)

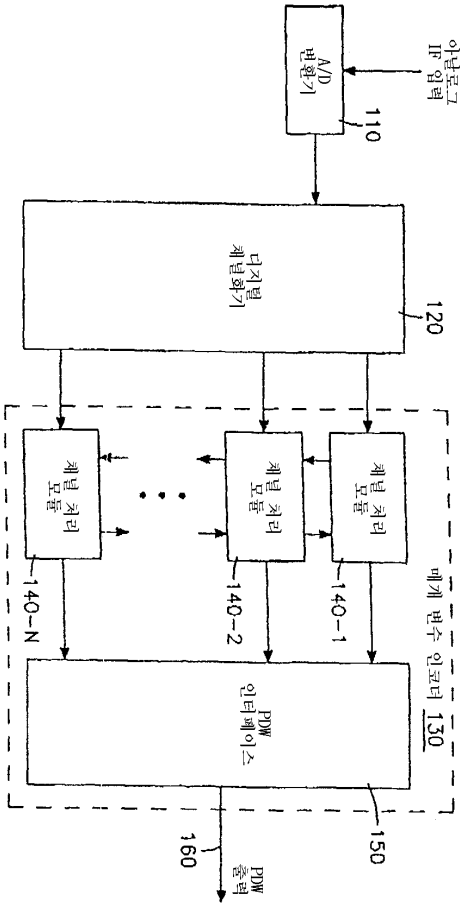
를 더 포함하는 매개 변수 엔코더.

청구항 10.

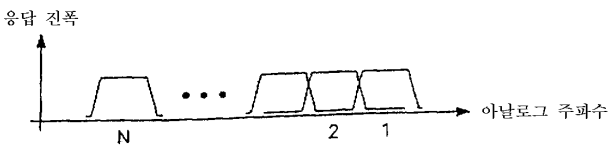
제9항에 있어서, 상기 상태 시퀀서는 지상 에지가 진상 에지후 이미 정해지 시간내에 발생하지 않을 때 마다 상기 각각의 채널에서 연속파 신호(continuous wave signal)를 나타내기 위한 수단을 더 포함하는 매개 변수 엔코더.

도면

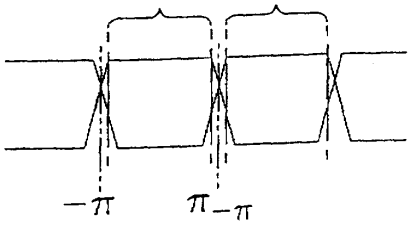
도면 1



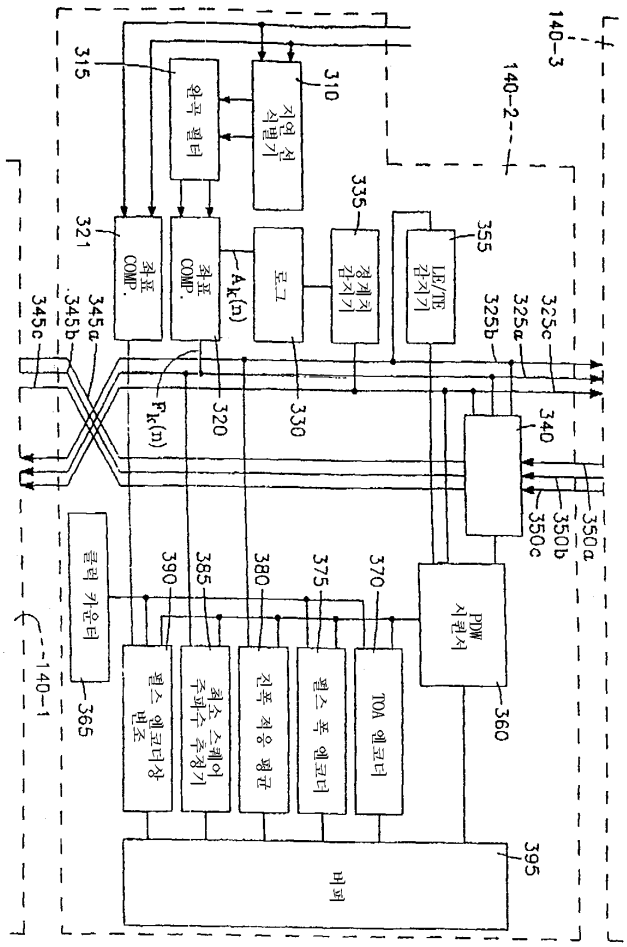
도면 2a



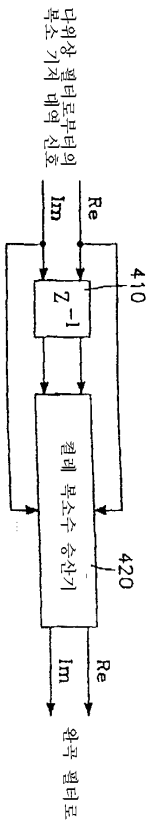
도면 2b


-π
π-π

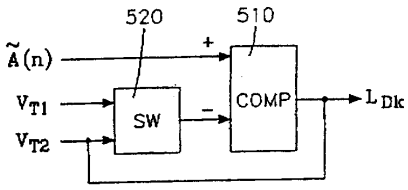
도면 3


140-3
140-2
140-1
315
310
321
335
355
325c
325a
325b
345c
345b
345a
320
330
340
350c
350b
350a
390
385
380
375
370
360
365
395
완곡 필터
지연 선 식별기
좌표 COMP.
좌표 COMP.
로그
경계치 감지기
LE/TE 감지기
클럭 카운터
펄스 엔코더상 변조
최소 스캔어 주파수 측정기
진폭 적응 평균
펄스 폭 엔코더
TOA 엔코더
PDW 시퀀서
버퍼

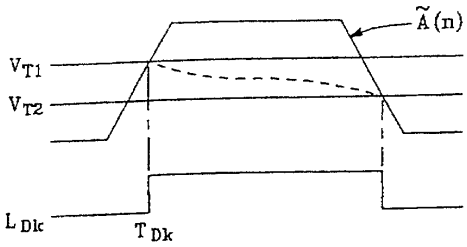
도면 4


다항상 필터로부터의
복수 기저 대역 신호
Im
Re
410
Z⁻¹
컬레 복소수 승산기
420
Im
Re
완곡 필터로

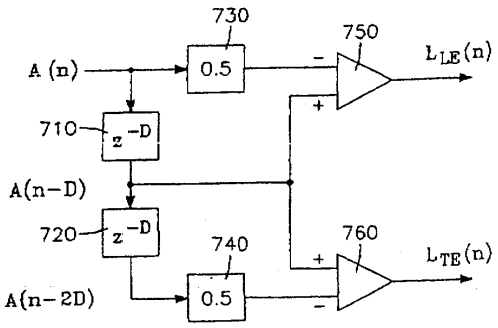
도면 5


520
510
Ã(n)
+
V_T1
V_T2
SW
−
COMP
L_Dk

도면 6


Ã(n)
V_T1
V_T2
L_Dk
T_Dk

도면 7



도면 8

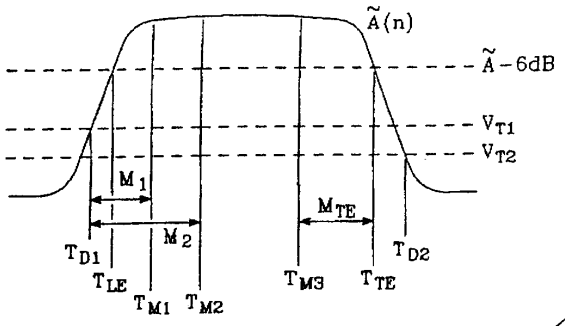
논리 테스트 NO.	논리 테스트	테스트 케이스 P_1	P_2	P_3	P_4	P_5	P_6	P_7	P_8	P_9
L_1	$A_{k+1} > V_{T2}$	F	T	F	T	T	F	T	T	T
L_2	$A_k > V_{T2}$	T	T	T	T	T	T	T	T	T
L_3	$A_{k-1} > V_{T2}$	F	F	T	T	F	T	T	T	T
L_4	$A_k > A_{k+1}$		T		T	F		T	F	F
L_5	$A_k > A_{k-1}$			T	T		F	F	T	F
L_6	$\lvert f_k - f_{k+1} \rvert > F_\Delta$					T		T		T
L_7	$\lvert f_k - f_{k-1} \rvert > F_\Delta$						T		T	T
L_{CA}		T	T	T	T	T	T	T	T	T

도면 9

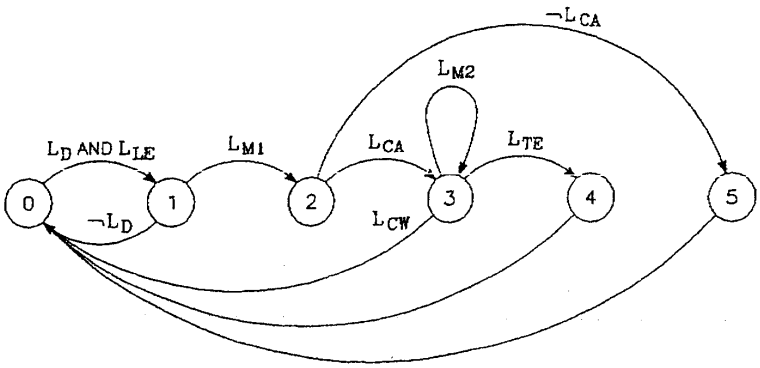
논리 테스트 NO.	논리 테스트	테스트 케이스 P_1	P_2
L_1	$F_{(k)} < F_{LOW}$	F	T
L_2	$F_{(k)} > F_{HI}$	T	F
L_3	$A_{(k+1)} > V_{FT}$	T	T
L_4	$A_{(k-1)} > V_{FT}$	T	T
L_5	$A_{(k+1)} > A_{(k-1)}$	T	T
	$F_{PDW} =$	F(k)-1	F(k)+1

OTHERWISE $F_{PDW} = F(k)$

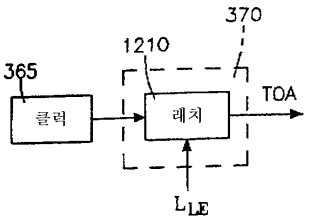
도면 10



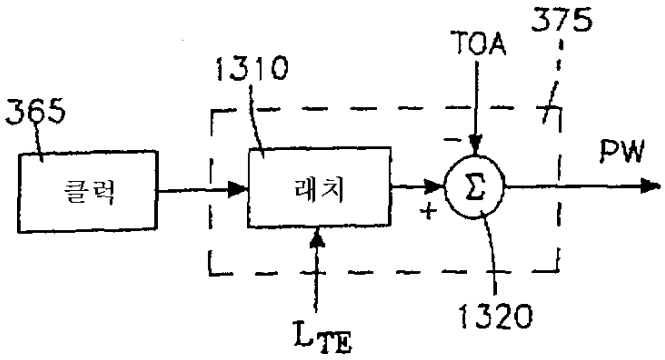
도면 11



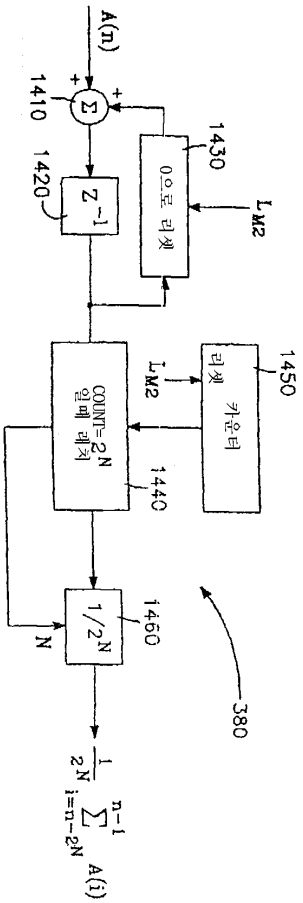
도면 12



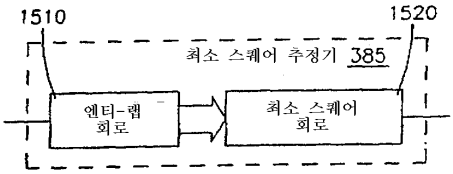
도면 13


365
클럭
1310
래치
TOA
375
Σ
PW
+
1320
L_{TE}

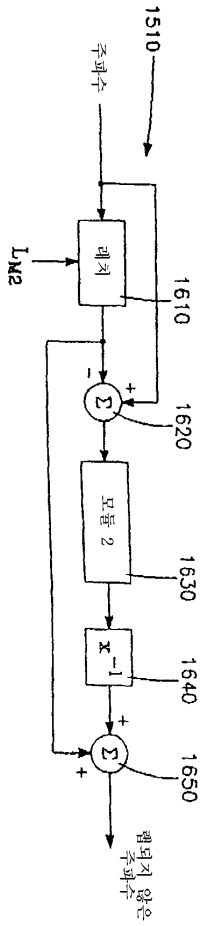
도면 14


A(n)
1410
Σ
1420
Z^{-1}
1430
0으로 리셋
L_{M2}
COUNT=2^N 일때 래치
L_{M2}
리셋 카운터
1450
1440
$1/2^N$
1460
N
380
$\frac{1}{2^N}\sum_{i=n-2^N}^{n-1} A(i)$

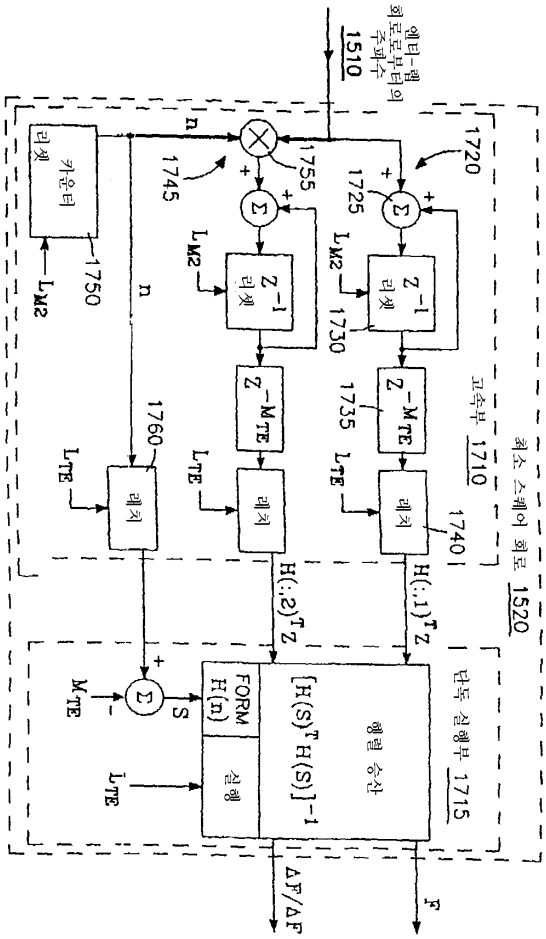
도면 15


1510
1520
최소 스퀘어 추정기 385
엔터-랩 회로
최소 스퀘어 회로

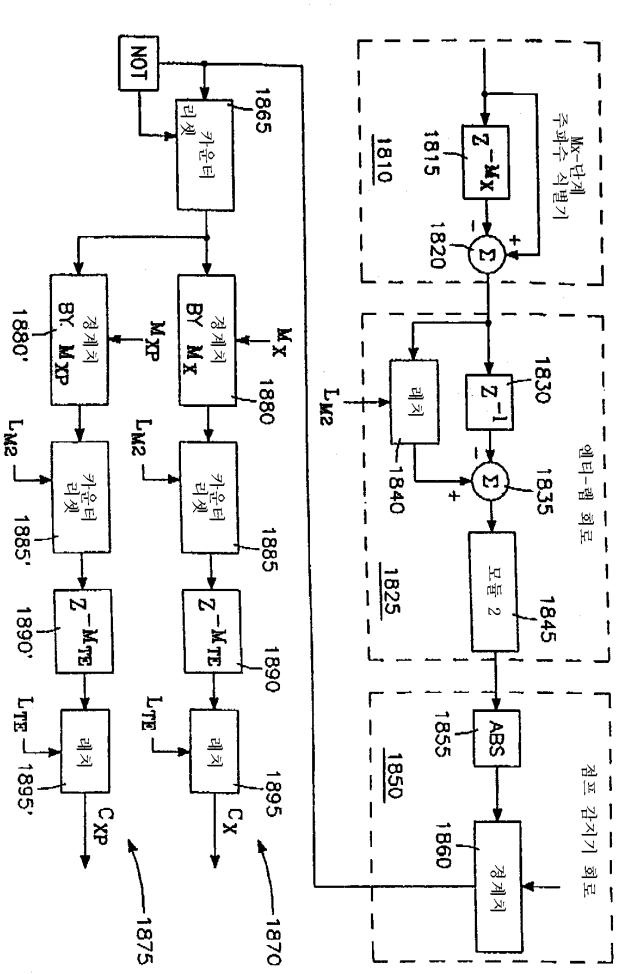
도면 16


1510
주파수
L,N2
레치
1610
Σ
1620
모듈 2
1630
x-1
1640
Σ
1650
랩되지 않은 주파수

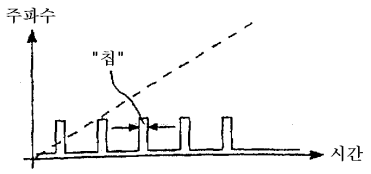
도면 17


엔터-랩 회로부터의 주파수 1510
최소 스퀘어 회로 1520
고속부 1710
독립 실행부 1715
1720
1725
1730
1735
1740
1745
1750
1755
1760
리셋
카운터
레치
행렬 승산
FORM H(n)
실행
n
S
F
ΔF/ΔF

도면 18


NOT
1865
리셋
카운터
1880'
경계치
BY MXP
MXP
MX
1880
BY MX
경계치
LM2
LM2
1885'
카운터
리셋
1885
카운터
리셋
1890'
Z-MTE
1890
Z-MTE
LTE
LTE
1895'
레치
1895
레치
CXP
CX
1875
1870
LM2
레치
1840
1810
1815
Z-MX
MX-단계
주파수 식별기
1820
Σ
1830
Z-1
1835
Σ
1825
1845
모듈 2
엔터-랩 회로
1855
ABS
1850
1860
경계치
점프 감지기 회로

도면 19


주파수
"점"
시간