



(10) **DE 10 2019 126 972 A1** 2020.04.16

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2019 126 972.5**

(22) Anmeldetag: **08.10.2019**

(43) Offenlegungstag: **16.04.2020**

(51) Int Cl.: **H03K 19/003 (2006.01)**

H03K 17/08 (2006.01)

(30) Unionspriorität:

62/744,951 **12.10.2018** **US**

16/594,779 **07.10.2019** **US**

(71) Anmelder:

**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(72) Erfinder:

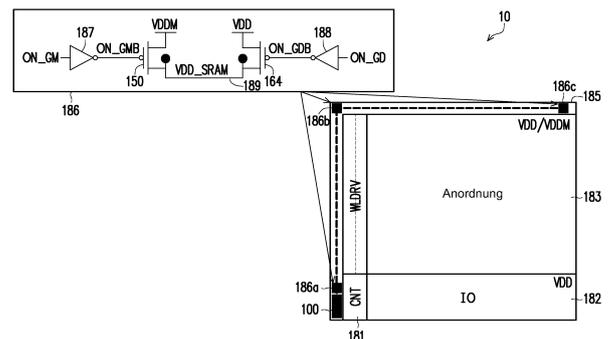
**Yang, Hao-I, Hsinchu, TW; Lee, Cheng, Hsinchu,
TW; Yang, Chen-Lin, Hsinchu, TW; Hsu, Yu-Hao,
Hsinchu, TW**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Netzschaltersteuerung in einer Speichervorrichtung**

(57) Zusammenfassung: Eine Netzschalter-Steuerschaltung weist eine Versorgungsschiene auf, die dazu konfiguriert ist, um eine Speicheranordnung mit Strom zu versorgen. Ein erster Header-Schalter koppelt die Versorgungsschiene mit einer ersten Stromversorgung, die einem ersten Leistungsbereich entspricht. Ein zweiter Header-Schalter koppelt die Versorgungsschiene mit einer zweiten Stromversorgung, die einem zweiten Leistungsbereich entspricht. Eine Steuerschaltung ist dazu konfiguriert, um ein Auswahlsignal und ein Abschaltsignal zu empfangen und um Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um sowohl den ersten als auch den zweiten Header-Schalter von der ersten und der zweiten Stromversorgung in Reaktion auf das Auswahlsignal und das Abschaltsignal selektiv zu koppeln. Die Steuerschaltung ist konfiguriert, um die Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um sowohl den ersten als auch den zweiten Header-Schalter von der ersten und der zweiten Stromversorgung als Reaktion auf das Abschaltsignal und unabhängig vom Auswahlsignal zu trennen.



BeschreibungQUERVERWEIS AUF
VERWANDTE ANMELDUNGEN

[0001] Diese Anmeldung beansprucht die Priorität über die vorläufige US-Anmeldung Nr. 62/744,951, eingereicht am 12. Oktober 2018, mit der Bezeichnung „Power Switch Control in a Memory Device“, deren Offenbarung hiermit durch Bezugnahme darauf in ihrer Gesamtheit aufgenommen ist.

HINTERGRUND

[0002] Einige bekannte Speichervorrichtungen, wie eine statische Direktzugriffsspeichervorrichtung (SRAM-Vorrichtung), weisen eine Netzschalter-Steuerungsausgestaltung auf. Eine typische SRAM-Speichervorrichtung weist eine Anordnung von Speicherzellen auf. Jede Speicherzelle verwendet sechs Transistoren, die zwischen ein oberes Bezugspotential und ein unteres Bezugspotential (typischerweise Masse) geschaltet sind, so dass einer von zwei Speicherknotten mit der zu speichernden Information besetzt werden kann, wobei die komplementäre Information in dem anderen Speicherknotten gespeichert ist. Einige SRAM-Anordnungen betreiben die Speicherlogik in einem Niederspannungsbereich, während die Speicheranordnung in dem Hochspannungsbereich betrieben wird. Ferner können verschiedene Techniken eingesetzt werden, um den Stromverbrauch zu verringern. Beispielsweise können Teile der Speichervorrichtung während eines Schlaf- oder Abschaltmodus ausgeschaltet sein. Probleme können auftreten, falls Schaltvorgänge nicht sorgfältig gesteuert werden. Beispielsweise können Header-Schalter überlastet sein, wenn die Stromversorgungen für einen bestimmten Zeitraum kurzgeschlossen werden, insbesondere nach zahlreichen Schaltzyklen. Außerdem kann ein Gleichstromverlust zwischen den Header-Schaltern zu einem großen Abschaltleck im Abschaltmodus führen, wenn nur die internen Header-Schalter ausgeschaltet werden.

Figurenliste

[0003] Aspekte der vorliegenden Offenbarung sind am besten aus der folgenden detaillierten Beschreibung verständlich, wenn sie mit den beiliegenden Figuren gelesen wird. Es sei angemerkt, dass gemäß der Standardpraxis in der Industrie verschiedene Merkmale nicht maßstabsgetreu dargestellt sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale der Klarheit der Diskussion halber beliebig vergrößert oder verkleinert sein.

Fig. 1 ist ein Blockdiagramm, das ein Beispiel einer Speichervorrichtung gemäß einigen Ausführungsformen darstellt.

Fig. 2 ist ein Schaltbild, das ein Beispiel einer Netzschalter-Steuerschaltung der Speichervorrichtung aus **Fig. 1** gemäß einigen Ausführungsformen darstellt.

Fig. 3 ist ein Zeitdiagramm, das Wellenformen der Schaltung aus **Fig. 4** gemäß einigen Ausführungsformen darstellt.

Fig. 4 ist ein Schaltbild, das eine erste Latch-Schaltung der Netzschalter-Steuerschaltung aus **Fig. 2** gemäß einigen Ausführungsformen darstellt.

Fig. 5 ist ein Schaltbild, das eine zweite Latch-Schaltung der Netzschalter-Steuerschaltung aus **Fig. 2** gemäß einigen Ausführungsformen darstellt.

Fig. 6 ist ein Zeitdiagramm, das Wellenformen der Schaltung aus **Fig. 7** gemäß einigen Ausführungsformen darstellt.

Fig. 7 ist ein Schaltbild, das ein anderes Beispiel der ersten Latch-Schaltung der Netzschalter-Steuerschaltung aus **Fig. 2** gemäß einigen Ausführungsformen darstellt.

Fig. 8 ist ein Zeitdiagramm, das Wellenformen der Schaltung aus **Fig. 9** gemäß einigen Ausführungsformen darstellt.

Fig. 9 ist ein Schaltbild, das ein anderes Beispiel der ersten Latch-Schaltung der Netzschalter-Steuerschaltung aus **Fig. 2** gemäß einigen Ausführungsformen darstellt.

Fig. 10 ist ein Schaltbild, das ein anderes Beispiel der ersten Latch-Schaltung der Netzschalter-Steuerschaltung aus **Fig. 2** gemäß einigen Ausführungsformen darstellt.

Fig. 11 ist ein Flussdiagramm, das ein Verfahren gemäß einigen Ausführungsformen darstellt.

AUSFÜHRLICHE BESCHREIBUNG

[0004] Die folgende Offenbarung stellt viele unterschiedliche Ausführungsformen oder Beispiele zum Implementieren unterschiedlicher Merkmale des bereitgestellten Gegenstands bereit. Spezifische Beispiele für Komponenten und Anordnungen werden im Folgenden beschrieben, um die vorliegende Offenbarung zu vereinfachen. Es handelt sich hierbei selbstverständlich nur um Beispiele, die nicht einschränkend zu verstehen sind. Beispielsweise kann das Ausbilden eines ersten Merkmals über oder an einem zweiten Merkmal in der nachstehenden Beschreibung Ausführungsformen umfassen, bei denen das erste und das zweite Merkmal in direktem Kontakt ausgebildet sind, und kann auch Ausführungsfor-

men umfassen, bei denen zusätzliche Merkmale zwischen dem ersten und dem zweiten Merkmal gebildet werden können, so dass das erste und das zweite Merkmal nicht in direktem Kontakt miteinander sein können. Zusätzlich kann die vorliegende Offenbarung Bezugsnummern und/oder -buchstaben in verschiedenen Beispielen wiederholen. Diese Wiederholung dient dem Zweck der Einfachheit und Klarheit und gibt an sich keine Beziehung zwischen den verschiedenen erörterten Ausführungsformen und/oder Konfigurationen vor.

[0005] Ferner können räumlich relative Ausdrücke, wie „unterhalb“, „unter“, „niedriger“, „über“, „oberer“ und dergleichen hier der Einfachheit der Beschreibung halber verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem anderen Element oder Merkmal, wie in den Figuren dargestellt, zu beschreiben. Die räumlich relativen Ausdrücke sollen zusätzlich zu der in den Figuren dargestellten Ausrichtung verschiedene Ausrichtungen der verwendeten oder betriebenen Bauelementen umfassen. Die Einrichtung kann anders orientiert sein (um 90 Grad gedreht oder in anderen Ausrichtungen) und die hier verwendeten räumlichen relativen Deskriptoren können ebenfalls entsprechend interpretiert werden.

[0006] Elektronische Geräte können einen Teil selektiv von zwei unterschiedlichen externen Netzteilen mit Strom versorgen. Eine Speichervorrichtung, wie eine statische Direktzugriffsspeichervorrichtung (SRAM), ist ein Beispiel für eine solche elektronische Vorrichtung, ohne darauf beschränkt zu sein.

[0007] **Fig. 1** zeigt eine beispielhafte elektronische Vorrichtung, wie eine SRAM-Speichervorrichtung **10** gemäß einigen Ausführungsformen. Wie in **Fig. 1** gezeigt, weist die beispielhafte SRAM-Vorrichtung **10** mindestens einen Eingangs-/Ausgangs- (IO-) Bereich **182**, eine Steuerschaltung **181**, eine Bitzellenanordnung **183**, einen Wortleitungstreiber (WL-Treiber) **184** und einen Netzschalter **185** auf. Die SRAM-Vorrichtung **10** kann andere Komponenten aufweisen, die in **Fig. 1** nicht gezeigt sind. In Ausführungsbeispielen kann die SRAM-Vorrichtung **10** Teil eines IC-Chips (integrierten Schaltungschips) sein.

[0008] Der IO-Bereich **182** und der Steuerbereich **181** arbeiten beide mit einer internen Spannungsversorgung **VDD** (d. h., in einem internen Spannungsbereich **VDD**). Die Bitzellenanordnung **183** arbeitet selektiv in einem ersten oder einem zweiten Leistungsbereich, wobei der erste Leistungsbereich einer ersten Versorgungsspannung **VDD** entspricht und der zweite Leistungsbereich einer zweiten Versorgungsspannung **VDDM** entspricht. Der Wortleitungstreiberbereich **184** stellt Treibersignale bereit und kann als im ersten und zweiten Leistungsbereich **VDD** und **VDDM** arbeitend betrachtet werden können.

[0009] Der Netzschalterbereich **185** ist entlang der Peripherie der Bitzellenanordnung **183** angeordnet, um zwischen **VDD** und **VDDM** zu schalten. Der Netzschalterbereich **185** weist eine Netzschalter-Steuerschaltung **100** auf. In einigen Ausführungsformen kann die Netzschalter-Steuerschaltung **100** in dem Steuerbereich **181** enthalten sein. Der Netzschalterbereich **185** umfasst ferner einen Hauptnetzschalter **186**, der über das gesamte Speichermakro verteilt ist. In einigen Ausführungsformen sind die Instanzen des Hauptnetzschalters **186** entlang der gesamten Peripherie der Bitzellenanordnung **183** enthalten und weisen beispielsweise eine erste Instanz **186a**, eine Zwischeninstanz **186b** und eine letzte Instanz **186c** sowie Instanzen zwischen 186a und 186b und Instanzen zwischen 186b und 186c auf.

[0010] Jede Instanz des Hauptnetzschalters **186** weist eine interne Versorgungsschiene **189** auf. Die interne Versorgungsschiene **189** ist über einen PMOS-Header-Schalter **164** mit der VDD-Stromversorgung verbunden und über einen PMOS-Header-Schalter **150** mit der VDDM-Stromversorgung verbunden. Der VDD-Header-Schalter **164** reagiert auf ein Steuersignal **ON_GDB**, das von einem Inverter **188** aus einem Signal **ON_GD** bereitgestellt wird. Das Signal **ON_GD** wird verwendet, um **VDD** auszuwählen. Der VDDM-Header-Schalter **150** reagiert auf ein Steuersignal **ON_GMB**, das von einem Inverter **187** aus einem Signal **ON_GM** bereitgestellt wird. Das Signal **ON_GM** wird verwendet, um **VDDM** auszuwählen. Die Signale **ON_GD** und **ON_GM** sind Schaltersteuersignale und werden einer jeden Instanz des Hauptnetzschalters **186** zugeleitet.

[0011] In einigen Beispielen werden beim Hochfahren einer Schaltung viele Transistoren gleichzeitig eingeschaltet. Das Hochfahren der Schaltung wird auch als Aufwachen der Schaltung bezeichnet, da die Schaltung für den Betrieb aufgeweckt wird, beispielsweise aus einem Abschalt- oder Schlafmodus. Werden während des Aufwachens viele Transistoren eingeschaltet, fließt eine große Menge von Strom durch die entsprechenden Stromverteilungsknoten, die von den Transistoren verwendet werden, was zu einem Strompeak führen kann, die als Aufwachpeakstrom bezeichnet wird. Das Verringern des Aufwachpeakstroms einer Schaltung auf eine Konstruktionspezifikation erhöht die Aufwachzeit der Schaltung. Beispielsweise weist in einem Ansatz eine Aufwachsung eine Reihe von Aufwachstufen auf. Jede Aufwachstufe weist einen PMOS-Schalter auf, der kettenartig verbunden ist. Ein Aufwachsignal wird einem PMOS-Schalter nach dem anderen zugeführt, um die verketteten PMOS-Schalter - den einen nach den anderen - einzuschalten. Durch Einschalten jedes PMOS-Schalters nacheinander wird der Aufwachpeakstrom verringert. Geräusche, die durch Schaltvorgänge während des Aufwachens entstehen, können die Schaltsteuerung beeinflussen.

[0012] Fig. 2 zeigt ein Beispiel einer Netzschalter-Steuerschaltung **100** gemäß Aspekten der Offenbarung. Wie in Fig. 2 gezeigt, befinden sich Vorrichtungen links von der gestrichelten Linie in einem ersten Leistungsbereich **102**, während sich Vorrichtungen rechts von der gestrichelten Linie in einem dritten Leistungsbereich **104** befinden. In dem dargestellten Beispiel ist der erste Leistungsbereich **102** der VDD-Bereich, die zum Empfangen einer VDD-Netzversorgungsspannung konfiguriert ist, und der dritte Leistungsbereich **104** ist der VMAX2-Leistungsbereich, der zum Empfangen einer höheren VMAX2-Netzversorgungsspannung konfiguriert ist. Mit anderen Worten ist der dritte Leistungsbereich (d. h. die VMAX2-Netzversorgungsspannung) **104** für den Betrieb der Netzschalter-Steuerschaltung **100** vorgesehen. Der erste Leistungsbereich (d. h. die VDD-Netzversorgungsspannung) **102** und der zweite Leistungsbereich (d. h. die VDDM-Netzversorgungsspannung) sind für den Betrieb der Bitzellenanordnung **183** vorgesehen. In einigen Ausführungsformen kann die VMAX2-Netzversorgungsspannung höher als die VDDM-Netzversorgungsspannung sein. In einigen Ausführungsformen kann die VMAX2-Netzversorgungsspannung gleich der VDDM-Netzversorgungsspannung sein. In einigen Ausführungsformen kann die VMAX2-Netzversorgungsspannung niedriger als die VDDM-Netzversorgungsspannung sein. Die Netzschalter-Steuerschaltung **100** ist konfiguriert, um den VDD-Header-Schalter **164** und den VDDM-Header-Schalter **150** in Reaktion auf ein Einschaltsignal **AON_SELSRM_IN**, ein Bereitschaftssignal **VDD_RDYB** und ein Abschaltsignal **SD** zu steuern. Das **AON_SELSRM_IN**-Signal wird aktiviert, um entweder den VDD- oder den VDDM-Leistungsbereich auszuwählen, und das **SD**-Signal zeigt den Abschaltmodus an.

[0013] Im Allgemeinen ist die Netzschalter-Steuerschaltung **100** so konfiguriert, dass sie sowohl den VDD-Header-Schalter **164** als auch den VDDM-Header-Schalter **150** ausschaltet, wenn sich die Vorrichtung **10** im Abschaltmodus befindet (d. h., **SD** = 1). Ferner ist die Schaltung **100** so konfiguriert, dass sowohl der VDD-Header-Schalter **164** als auch der VDDM-Header-Schalter **150** ausgelatcht werden, selbst wenn Ereignisfaktoren wie Rauschen die Steuersignale der Schaltung beeinflussen. Wie zum Beispiel oben in Verbindung mit Fig. 1 angegeben, kann der Netzschalter **186** über das gesamte Speichermakro verteilt sein, was zu relativ langen Steuersignalleitungen zum Steuern der verschiedenen Netzschalter, wie Signal-Feedback-Leitungen führt. Diese langen Signalleitungen können zu Signalverlusten und damit zu Schwingungen in einigen Steuersignalen führen. Wie nachstehend ausführlicher erörtert wird, können einige offenbarte Ausführungsformen Probleme wie diese angehen, indem die Netzschalter-Steuerschaltung **100** robuster und weniger anfällig für verschiedene Signalschwankungen gemacht wird.

[0014] Allgemein weist die Netzschalter-Steuerschaltung **100** unter anderem zwei Latches auf. Ein erster oder Zustands-Latch **118** erleichtert eine „Make-before-Break“-Funktion während eines Funktionsmodus (d. h. Nicht-Abschaltzustand) und verhindert auch, dass sowohl der VDD- als auch der VDDM-Header-Schalter **164**, **150** gleichzeitig eingeschaltet werden, wenn das **SD**-Signal während des Aufwachens übergeht. Im internen VDD-Bereich **102** wird das erste Abschaltsignal **SD** vom internen VDD-Bereich **102** auf einen höheren Spannungspegel, wie beispielsweise den VMAX2-Bereich **104**, durch einen Pegelumsetzer **112** umgesetzt, wodurch ein zweites Abschaltsignal **SD_VMAX2** generiert wird. Das Signal **SD_VMAX2** wird einem Inverter **114** zugeleitet, der eine zweite Abschaltsignalleiste **SDB_VMAX2** generiert. Andererseits wird in dem internen VDD-Bereich **102** das Einschaltsignal **AON_SELSRM_IN** vom internen VDD-Bereich **102** zu einem **SEL_VMAX2**-Signal im VMAX2-Bereich **104** durch einen Pegelumsetzer **116** umgesetzt.

[0015] Die Ausgabe des Pegelumsetzers **116** (d. h. das Signal **SEL_VMAX2**) wird einem Set-Eingang **120** des Zustands-Latch **118** zugeleitet. Die Ausgabe des Pegelumsetzers **116** wird auch einem Inverter **136** zugeleitet, und das Ausgangssignal des Inverters **136** wird einem Reset-Eingang **122** des Zustands-Latch **118** zugeleitet. Der Zustands-Latch gibt die globalen VDD- und VDDM-Auswahlsignale **ON_GD** bzw. **ON_GM** aus. Das **ON_GM**-Signal wird von einem ersten Ausgang **128** des Zustands-Latch **118** zusammen mit dem **SDB_VMAX2**-Signal einem NAND-Gate **138** zugeleitet. Der Ausgang des NAND-Gates **138** wird einer Mehrzahl von Invertern zugeleitet, einschließlich der Inverter **140**, **142**, **144**, **146**, die ein verzögertes Signal des Ausgangs des NAND-Gates **138** an die VDDM-Header-Schalter **150** generieren. An einem Knoten **148** wird ein Feedback-Signal **ON_GMB** einem ersten Feedback-Eingang **124** des Zustands-Latch **118** zurück zugeleitet. Das Signal **ON_GMB** am Knoten **148** wird auch einem Gate des VDDM-Header-Schalters **150** zugeleitet. Mit anderen Worten wird ein verzögertes Signal des Ausgangs des NAND-Gates **138** dem Gate des VDDM-Header-Schalters **150** zugeleitet. In diesem Beispiel ist der VDDM-Header-Schalter **150** ein PMOS-Transistor. Eine Source des VDDM-Header-Schalters **150** ist mit der Stromversorgung **VDDM** verbunden, wohingegen ein Drain des VDDM-Header-Schalters **150** mit der internen Versorgungsschiene **189** verbunden ist. Wie oben erwähnt, ist in einigen Ausführungsformen der Netzschalter **186** über das gesamte Speichermakro verteilt. Dementsprechend kann eine Mehrzahl der VDDM-Header-Schalter **150** über das Speichermakro verteilt sein, und das durch die Inverter verzögerte **ON_GM**-Steuersignal kann sequentiell den VDDM-Header-Schaltern **150** zu deren sequentiellen Steuerung zugeleitet werden.

[0016] Während der Abschaltperiode sind das Signal **SD** und damit das Signal **SD_VMAX2** ein High-Pegel (1), wohingegen das Signal **SDB_VMAX2** ein Low-Pegel (0) ist. Daher ist während der Abschaltperiode der Ausgang des NAND-Gates **138** unabhängig vom Wert der Ausgänge des Zustands-Latch **118** ein High-Pegel (1). Somit ist das Signal, das an das Gate des VDDM-Header-Schalters **150** geleitet wird, ein High-Pegel (1). Dementsprechend ist der VDDM-Header-Schalter **150** während der Abschaltperiode immer ausgeschaltet.

[0017] Andererseits wird das ON_GD-Signal von einem zweiten Ausgang **130** des Zustands-Latch **118** zusammen mit dem SDB_VMAX2-Signal einem NAND-Gate **152** zugeleitet. Die Ausgabe des NAND-Gates **152** wird einer Mehrzahl von Invertern zugeleitet, einschließlich der Inverter **154, 156, 158, 160**, die verzögerte Signale der Ausgabe des NAND-Gates **152** generieren, die zum Steuern der VDD-Schalter (z. B. den VDD-Header-Schalter **164**) verwendet werden. Wie oben erwähnt, ist in einigen Ausführungsformen der Netzschalter **186** über das gesamte Speichermakro verteilt. Dementsprechend kann eine Mehrzahl der VDD-Header-Schalter **164** über das Speichermakro verteilt sein, und das durch die Inverter verzögerte ON_GD-Steuersignal kann sequentiell den VDD-Header-Schaltern **164** zu deren sequentiellen Steuerung zugeleitet werden.

[0018] An einem Knoten **162** wird ein Signal **ON_GMB** zurück an einen zweiten Feedback-Eingang **126** des Zustands-Latch **118** gespeist. Das ON_GDB-Signal am Knoten **162** wird auch einem Gate des VDD-Header-Schalters **164** zugeleitet. Mit anderen Worten wird ein verzögertes Signal des Ausgangs des NAND-Gates **152** dem Gate des bzw. der VDD-Header-Schalters **164** zugeleitet. In diesem Beispiel ist der VDD-Header-Schalter **164** ein PMOS-Transistor. Eine Source des VDD-Header-Schalters **164** ist mit einer Stromversorgung **VDD** verbunden, wohingegen ein Drain des VDD-Header-Schalters **164** mit der internen Versorgungsschiene **189** verbunden ist. Die interne Versorgungsschiene **189** wird verwendet, um die Bitzellenanordnung **183** mit Strom zu versorgen.

[0019] Während der Abschaltperiode ist das Signal **SD_VMAX2** ein High-Pegel (1), wohingegen das Signal **SDB_VMAX2** ein Low-Pegel (0) ist, wie oben erwähnt. Daher ist während der Abschaltperiode der Ausgang des NAND-Gates **152** unabhängig vom Wert des zweiten Ausgangs **130** des Zustands-Latch **118** ein High-Pegel (1). Somit ist das Signal, das an das Gate des VDD-Header-Schalters **164** bereitgestellt wird, ein High-Pegel (1). Dementsprechend ist der VDD-Header-Schalter **164** während der Abschaltperiode immer ausgeschaltet. Infolgedessen ist die Netzschalter-Steuerschaltung **100** während der Abschaltperiode so konfiguriert,

dass sowohl der VDDM-Header-Schalter **150** als auch der VDD-Header-Schalter **164** als Reaktion auf das SD-Signal unabhängig von dem Auswahlsignal **AON_SELSRM_IN** ausgeschaltet werden. Durch Abschalten beider Header-Schalter **150** und **164** kann ein Gleichstromverlust zwischen den Header-Schaltern **150** und **164** verringert werden. Durch Abschalten sowohl der Header-Schalter **150** und **164** als auch anderer Header-Schalter wird der Abschaltverlust insgesamt verringert. Ferner werden die Signale an den Knoten **162** und **148** zu den Feedback-Eingängen **126** und **124** zurückgespeist, um die Eingänge mit den Header-Schaltern **164, 150** zu latches und sicherzustellen, dass diese Header-Schalter während des Abschaltmodus ausgeschaltet bleiben.

[0020] Ein Ausgangs-Latch **166** hat vier Eingänge: einen ersten Eingang **168**; einen zweiten Eingang **170**; einen dritten Eingang **172**; und einen vierten Eingang **174**. Das ON_GMB-Signal wird von dem Knoten **148** zu dem ersten Eingang **168** des Ausgangs-Latch **166** zurückgespeist. Das ON_GDB-Signal wird vom Knoten **162** zum zweiten Eingang **170** des Ausgangs-Latch **166** zurückgespeist. Ein dritter Ausgang **132** des Status-Latch **118** stellt das ON_GD-Signal an den dritten Eingang **172** des Ausgangs-Latch **166** bereit. Ein vierter Ausgang **134** des Status-Latch **118** stellt das ON_GM-Signal an den vierten Eingang **174** des Ausgangs-Latch **166** bereit. Ein AON_SELSRM_OUT-Signal wird vom Ausgangs-Latch **166** am Ausgang **176** des Ausgangs-Latch **166** generiert. Es sei zu erwähnen, dass sich das Signal **AON_SELSRM_OUT** im internen VDD-Bereich **102** befindet. Wie nachstehend ausführlicher erörtert wird, ist der Ausgangs-Latch **166** so konfiguriert, dass während des Abschaltens die Zustände der ON_GDB- und ON_GMB-Signale gelatcht werden, um die Header-Schalter **164, 150** ausgeschaltet zu halten, während **ON_GDB** und **ON_GMB** in einem Funktionsmodus den Ausgangs-Latch-Zustand steuern.

[0021] Fig. 3 veranschaulicht ein Zeitablaufdiagramm gemäß einigen Beispielen. Das Zeitablaufdiagramm **200** wird nachstehend unter Bezugnahme auf Fig. 4 und Fig. 5 offenbart. Wie aus dem Zeitablaufdiagramm aus Fig. 3 zu sehen ist, ist das Signal **SD** anfänglich ein Low-Pegel (0). Zum Zeitpunkt t1 **201** wird das Signal **SD** ein Hoch-Pegel (1), was bedeutet, dass sich die Netzschalter-Steuerschaltung **100** in der Abschaltperiode befindet. Zum Zeitpunkt t3 **203** wird das Signal **SD** ein Low-Pegel (0), was bedeutet, dass die Abschaltperiode der Netzschalter-Steuerschaltung **100** endet. In einer Ausführungsform darf das Signal **AON_SELSRM_IN** während der Abschaltperiode (d. h. vom Zeitpunkt t1 **201** zum Zeitpunkt t3 **203**) oder einer Abschalt-Aufweckperiode (d. h. einer kurzen Periode nach der Zeit t3 **203**) nicht umschalten. In dem Beispiel aus Fig. 3 ist

das AON_SELSTRAM_IN-Signal bis zum Zeitpunkt t_5 **205**, der nach dem Ende der Abschaltperiode liegt, konstant ein Low-Pegel (0). Das AON_SELSTRAM_IN-Signal wird zum Zeitpunkt t_5 **205** ein Hoch-Pegel (1). Wenn das Signal AON_SELSTRAM_IN ein Low-Pegel (0) ist (z. B. vor dem Zeitpunkt t_5 **205**), wird davon ausgegangen, dass das Signal ON_GDB ein Low-Pegel (0) ist (z. B. vor dem Zeitpunkt t_2 **202**), wohingegen davon ausgegangen wird, dass das Signal ON_GMB ein Hoch-Pegel (1) ist (z. B. vor dem Zeitpunkt t_6 **206**), was eine Auswahl von VDD und eine Abwahl von VDDM anzeigt, weil der VDD-Header-Schalter **150** ausgeschaltet ist, während der VDD-Header-Schalter **164** eingeschaltet ist. Wenn das Signal AON_SELSTRAM_IN ein Hoch-Pegel (1) ist (z. B. nach dem Zeitpunkt t_5 **205**), wird davon ausgegangen, dass das Signal ON_GDB ein Hoch-Pegel (1) ist (z. B. nach dem Zeitpunkt t_7 **207**), wohingegen davon ausgegangen wird, dass das Signal ON_GMB ein Low-Pegel (0) ist (z. B. nach dem Zeitpunkt t_6 **206**), was eine Auswahl von VDDM und eine Abwahl von VDD anzeigt, weil der VDD-Header-Schalter **164** ausgeschaltet ist, während der VDDM-Header-Schalter **150** eingeschaltet ist.

[0022] Wie oben beschrieben, werden während der Abschaltperiode (d. h. von Zeitpunkt t_2 **202** bis Zeitpunkt t_4 **204**) sowohl der VDDM-Header-Schalter **150** als auch der VDD-Header-Schalter **164** aufgrund des Signals SD ausgeschaltet. Das Signal AON_SELSTRM_OUT reagiert nicht auf das Umschalten des Signals SD. Stattdessen reagiert das Signal AON_SFLSRM_OUT zum Zeitpunkt t_8 **208** mit Verzögerung auf die Änderung des Signals AON_SELSTRM_IN zum Zeitpunkt t_5 **205**. Wenn das Signal ON-GDB zum Zeitpunkt t_4 **204** ein Low-Pegel (0) wird, bleibt das Signal ON_GMB zusätzlich vor dem Zeitpunkt t_6 **206** ein Hoch-Pegel (1). Daher löst das Abfallen des Signals SD zum Zeitpunkt t_3 **203** keinen Kurzschluss zwischen den zwei Bereichen (d. h. VDD und VDDM) aus. Das Zeitablaufdiagramm **200** wird nachstehend ferner unter Bezugnahme auf **Fig. 4** und **Fig. 5** offenbart.

[0023] **Fig. 4** zeigt eine Ausführungsform des Zustands-Latch **118** der Netzschalter-Steuerschaltung **100** von **Fig. 2**. In dieser Ausführungsform weist das Zustands-Latch **118** der Netzschalter-Steuerschaltung **100** ein AND-Gate **302**, ein NOR-Gate **304**, einen Inverter **306**, ein AND-Gate **308**, ein NOR-Gate **310** und ein NOR-Gate **312** auf.

[0024] Das kreuzgekoppelte NOR-Gate **304** und das NOR-Gate **310** wirken als SR-Latch. Insbesondere wird die Ausgabe (d. h. das Signal SEL_VMAX2) des Pegelumsetzers **116** dem NOR-Gate **304** am Set-Eingang **120** des Zustands-Latch **118** zugeleitet. Eine Ausgabe des AND-Gates **302** wird ebenfalls dem NOR-Gate **304** zugeleitet. Eine Ausgabe des NOR-Gates **304** wird dem Inverter **306** zugeleitet. Die Aus-

gabe des Inverters **306** am ersten Ausgang **128** des Zustands-Latch **118** ist das Signal ON_GM. Das Signal ON_GM wird ferner einem Eingang des AND-Gates **302** zurückgespeist. Das Signal ON_GDB am Knoten **162** wird dem anderen Eingang (d. h. dem zweiten Feedback-Eingang **126** des Zustands-Latch **118**) des AND-Gates **302** zugeleitet.

[0025] Andererseits wird die Ausgabe des Inverters **136** dem NOR-Gate **310** am Reset-Eingang **122** des Zustands-Latch **118** zugeleitet. Eine Ausgabe des AND-Gates **308** wird ebenfalls dem NOR-Gate **310** zugeleitet. Eine Ausgabe des NOR-Gates **310** wird zusammen mit einem Signal VDD-RDYB dem NOR-Gate **312** zugeleitet. Die Ausgabe des NOR-Gates **312** am zweiten Ausgang **130** des Zustands-Latch **118** ist das Signal ON_GD. Das Signal ON_GD wird ferner einem Eingang des AND-Gates **308** zurückgespeist. Das Signal ON_GMB am Knoten **148** wird dem anderen Eingang (d. h. dem ersten Feedback-Eingang **124** des Zustands-Latch **118**) des AND-Gates **308** zugeleitet.

[0026] Eine erste Feedback-Schleife **178** wird durch Rückspeisen des ON_GDB-Signals vom Knoten **162** zum AND-Gate **302** und des ON_GMB-Signals vom Knoten **148** zum AND-Gate **308** gebildet. Somit wird in der ersten Schleife **178** das von dem oberen Schenkel der Zustandsschleife **118** generierte Steuersignal ON_GDB für den VDD-Header **164** an den unteren Schenkel der Zustandsschleife **118** zurückgespeist, der das Steuersignal ON_GMB für den VDDM-Header **150** generiert. Ferner wird in der ersten Schleife **178** das von dem unteren Schenkel der Zustandsschleife **118** generierte Steuersignal ON_GMB für den VDDM-Header **150** an den oberen Schenkel der Zustandsschleife **118** zurückgespeist, der das Steuersignal ON_GDB für den VDD-Header **164** generiert.

[0027] Wenn sich die Netzschalter-Steuerschaltung **100** in einem Funktionsmodus befindet (d. h. SD = 0), führt die erste Schleife **178** dementsprechend die oben erwähnte „Make-Before-Break“-Funktion durch, wobei die Netz-Header **164**, **150** während des Funktionsmodus nicht gleichzeitig abgeschaltet sind. Die AND-Gates **302**, **308**, die jeweilige Eingaben für die kreuzgekoppelten NOR-Gates **304**, **310** generieren, verhindern, dass das Latch gleichzeitig Ausgaben im Hoch-Pegel für die Steuersignale ON-GMB und ON_GDB ausgibt.

[0028] Während der Abschaltperiode ist, wie oben beschrieben, das Signal ON_GMB konstant ein Hoch-Pegel (1), wohingegen das Signal ON_GDB ebenfalls konstant ein Hoch-Pegel (1) ist, wie in **Fig. 3** gezeigt. Dementsprechend ist eine Eingabe (d. h. die zweite Feedback-Eingabe **126** des Zustands-Latch **118**) des AND-Gates **302** konstant ein Hoch-Pegel (1), so dass die Ausgabe des AND-Gates **302** die gleiche wie die

andere Eingabe des AND-Gates **302** (d. h. das Signal **ON_GM**) ist. Das Signal **ON_GM** wird zusammen mit der Ausgabe (d. h. dem Signal **SEL_VMAX2**) des Pegelumsetzers **116** zum NOR-Gate **304** zurückgespeist. Ebenso ist eine Eingabe (d. h. die erste Feedback-Eingabe **124** des Zustands-Latch **118**) des AND-Gates **308** konstant ein Hoch-Pegel (1), so dass die Ausgabe des AND-Gates **308** die gleiche wie die andere Eingabe des AND-Gates **308** (d. h. das Signal **ON_GD**) ist. Das Signal **ON_GD** wird zusammen mit der Ausgabe des Inverters **124** zum NOR-Gate **310** zurückgespeist. Mit anderen Worten unterbricht die zweite Schleife **314** während der Abschaltperiode die erste Schleife **178**, wodurch ein Leistungsrauschen von dem Signal **ON_GDB** und dem Signal **ON_GMB** nach dem Abschalt-Aufwecken (d. h. ein SD-Übergang von einem Hoch-Pegel zu einem Low-Pegel) verhindert wird.

[0029] Fig. 5 zeigt eine Ausführungsform des Ausgangs-Latch **166** der Netzschalter-Steuerschaltung **100** von Fig. 2. In dieser Ausführungsform weist das Ausgangs-Latch **166** der Netzschalter-Steuerschaltung **100** einen Inverter **402**, ein NOR-Gate **404**, ein NOR-Gate **406**, einen Inverter **408**, ein NOR-Gate **410**, ein NOR-Gate **412** und einen Inverter **414** auf. Insbesondere wird das Signal **ON_GDB** dem Inverter **402** zugeleitet. Die Ausgabe des Inverters **402**, die ein Signal **ON_GD** ist, wird zusammen mit dem Signal **ON_GD** dem NOR-Gate **404** zugeleitet. Die Ausgabe des NOR-Gates **404** (d. h. ein Signal **GDD_PS**) wird einem Reset-Eingang eines Flip-Flops zugeleitet, das aus dem NOR-Gate **406** und dem NOR-Gate **412** besteht. Andererseits wird das Signal **ON_GMB** dem Inverter **408** zugeleitet. Die Ausgabe des Inverters **408**, die ein Signal **ON_GM** ist, wird zusammen mit dem Signal **ON_GM** dem NOR-Gate **410** zugeleitet. Die Ausgabe des NOR-Gates **410** (d. h. ein Signal **GDM_PS**) wird einem Set-Eingang des Flip-Flops zugeleitet, das aus dem NOR-Gate **406** und dem NOR-Gate **412** besteht. Die Ausgabe des Flip-Flops, das aus dem NOR-Gate **406** und dem NOR-Gate **412** besteht, wird dem Inverter **414** zugeleitet. Die Ausgabe des Inverters **414** ist das Signal **SON_SEL SRM_OUT** im internen VDD-Bereich **102**.

[0030] Während eines Funktionsmodus steuern das Signal **ON_GDB** und das Signal **ON_GMB** den Zustand des Ausgangs-Latch **166**. Mit anderen Worten latched das Ausgangs-Latch **166** das Auswahlsignal **AON_SEL SRM_IN** als das Signal **AON_SEL SRM_OUT** in Reaktion auf die Signale **ON_GDB** und **ON_GMB**. Während der Abschaltperiode sind, wie oben beschrieben, das Signal **ON_GDB** und das Signal **ON_GMB** beide ein Hoch-Pegel (1). Somit sind sowohl der Ausgang des Inverters **402** als auch der Ausgang des Inverters **408** ein Low-Pegel (0). Die Ausgabe des NOR-Gates **404** ist das Signal **ON_GDB**, wohingegen die Ausgabe des NOR-Gates **410** das Signal **ON_GMB** ist. Daher behält das Aus-

gangs-Latch **166** seinen Zustand während der Abschaltperiode bei. Mit anderen Worten verändert sich der Zustand des Signals **AON_SEL SRM_OUT** während der Abschaltperiode nicht, selbst wenn sich das Signal **AON_SEL SRM_IN** während der Abschaltperiode ändert.

[0031] Ein anderes Beispiel der Netzschalter-Steuerschaltung **100** aus Fig. 2 ist nachstehend in Verbindung mit dem Zeitablaufdiagramm **500** aus Fig. 6 und dem Schaltdiagramm aus Fig. 7 beschrieben. Wie aus dem Zeitablaufdiagramm aus Fig. 6 zu sehen ist, ist das Signal **SD** anfänglich ein Low-Pegel (0). Zum Zeitpunkt **t1 501** wird das Signal **SD** ein Hoch-Pegel (1), was bedeutet, dass sich die Netzschalter-Steuerschaltung **100** in der Abschaltperiode befindet. Zum Zeitpunkt **t3 503** wird das Signal **SD** ein Low-Pegel (0), was bedeutet, dass die Abschaltperiode der Netzschalter-Steuerschaltung **100** endet. In einer Ausführungsform darf das Signal **AON_SEL SRM_IN** während der Abschaltperiode (d. h. vom Zeitpunkt **t1 501** zum Zeitpunkt **t3 503**) oder einer Abschalt-Aufweckperiode (d. h. einer kurzen Periode nach der Zeit **t3 503**) umschalten. Beispielsweise schaltet das Signal **AON_SEL SRM_IN** zum Zeitpunkt **t11 511** von ein Low-Pegel (0) zu ein Hoch-Pegel (1) von ein Hoch-Pegel (1) zu ein Low-Pegel (0) zum Zeitpunkt **t12 512** um, zum Zeitpunkt **t13 513** von ein Hoch-Pegel (0) zu ein Hoch-Pegel (1) und zum Zeitpunkt **t14 514** von ein Hoch-Pegel (1) zu ein Low-Pegel (0) um. Es sei zu beachten, dass das Signal **AON_SEL SRM_IN** während der Abschaltperiode oder einer Abschalt-Aufweckperiode in andere Strukturen umschalten kann. Das **AON_SEL SRM_IN**-Signal wird zum Zeitpunkt **t5 505** ein Hoch-Pegel (1). Der Endzustand (ein Low-Pegel) des Signals **AON_SEL SRM_IN** vor dem Abschalt-Aufwecken ist der gleiche wie der (ein Low-Pegel) vor dem Beginn der Abschaltperiode zum Zeitpunkt **t1 501**. Wenn das Signal **AON_SEL SRM_IN** ein Low-Pegel (0) ist (z. B. vor dem Zeitpunkt **t11 511**), wird davon ausgegangen, dass das Signal **ON_GDB** ein Low-Pegel (0) ist (z. B. vor dem Zeitpunkt **t2 502**), wohingegen davon ausgegangen wird, dass das Signal **ON_GMB** ein Hoch-Pegel (1) ist (z. B. vor dem Zeitpunkt **t6 506**), was eine Auswahl von **VDD** und eine Abwahl von **VDDM** anzeigt, weil der **VDDM**-Header-Schalter **150** ausgeschaltet ist, während der **VDD**-Header-Schalter **164** eingeschaltet ist. Wenn das Signal **AON_SEL SRM_IN** ein Hoch-Pegel (1) ist (z. B. nach dem Zeitpunkt **t5 505**), wird davon ausgegangen, dass das Signal **ON_GDB** ein Hoch-Pegel (1) ist (z. B. nach dem Zeitpunkt **t7 507**), wohingegen davon ausgegangen wird, dass das Signal **ON_GMB** ein Low-Pegel (0) ist (z. B. nach dem Zeitpunkt **t6 506**), was eine Auswahl von **VDDM** und eine Abwahl von **VDD** anzeigt, weil der **VDD**-Header-Schalter **164** ausgeschaltet ist, während der **VDDM**-Header-Schalter **150** eingeschaltet ist.

[0032] Wie oben beschrieben, werden während der Abschaltperiode (d. h. von Zeitpunkt t2 502 bis Zeitpunkt t4 504) sowohl der VDDM-Header-Schalter 150 als auch der VDD-Header-Schalter 164 aufgrund des Signals SD ausgeschaltet. Das Signal AON_SELSRM_OUT reagiert nicht auf das Umschalten des Signals SD. Stattdessen reagiert das Signal AON_SELSRM_OUT zum Zeitpunkt t8 508 mit Verzögerung auf die Änderung des Signals AON_SELSRM_IN zum Zeitpunkt t5 505. Wenn das Signal ON-GDB zum Zeitpunkt t4 504 ein Low-Pegel (0) wird, bleibt das Signal ON_GMB zusätzlich vor dem Zeitpunkt t6 506 ein Hoch-Pegel (1). Daher löst das Abfallen des Signals SD zum Zeitpunkt t3 503 keinen Kurzschluss zwischen zwei Bereichen (d. h. VDD und VDDM) aus. Die Implementierung des Zeitablaufdiagramms 500 wird nachstehend unter Bezugnahme auf Fig. 7 offenbart.

[0033] Fig. 7 zeigt eine Ausführungsform des Zustands-Latch 118 der Netzschalter-Steuerschaltung 100 von Fig. 2, die mit dem Zeitablaufdiagramm 500 aus Fig. 6 verknüpft ist. Das Zustands-Latch 118 von Fig. 7 weist das AND-Gate 302, ein NOR-Gate 304, einen Inverter 306, ein AND-Gate 308, ein NOR-Gate 310 und ein NOR-Gate 312 ähnlich der in Fig. 4 dargestellten Ausführungsform auf. In Fig. 7 sind ferner ein AND-Gate 601 und ein AND-Gate 607 enthalten.

[0034] Das kreuzgekoppelte NOR-Gate 304 und das NOR-Gate 310 wirken als Flip-Flop des Zustands-Latch 118. Insbesondere wird der Ausgang (d. h. das Signal SEL_VMAX2) des Pegelumsetzers 116 dem AND-Gate 601 bereitgestellt, zusammen mit dem Signal SDB_VMAX2. Die Ausgabe des AND-Gates 601 wird dem NOR-Gate 304 am Set-Eingang 120 des Zustand-Latch 118 zugeleitet. Eine Ausgabe des AND-Gates 302 wird ebenfalls dem NOR-Gate 304 zugeleitet. Eine Ausgabe des NOR-Gates 304 wird dem Inverter 306 zugeleitet. Die Ausgabe des Inverters 306 am ersten Ausgang 128 des Zustands-Latch 118 ist das Signal ON_GM. Das Signal ON_GM wird ferner einem Eingang des AND-Gates 302 zurückgespeist. Das Signal ON_GDB am Knoten 162 wird dem anderen Eingang (d. h. dem zweiten Feedback-Eingang 126 des Zustands-Latch 118) des AND-Gates 302 zugeleitet.

[0035] Andererseits wird die Ausgabe des Inverters 136 dem NOR-Gate 310 am Reset-Eingang 122 des Zustands-Latch 118 zugeleitet, zusammen mit dem Signal SDB_VMAX2. Eine Ausgabe des AND-Gates 308 wird ebenfalls dem NOR-Gate 310 zugeleitet. Eine Ausgabe des NOR-Gates 310 wird zusammen mit einem Signal VDD-RDYB dem NOR-Gate 312 zugeleitet. Die Ausgabe des NOR-Gates 312 am zweiten Ausgang 130 des Zustands-Latch 118 ist das Signal ON_GD. Das Signal ON_GD wird ferner einem Eingang des AND-Gates 308 zurückgespeist. Das Signal ON_GMB am Knoten 148 wird dem anderen

Eingang (d. h. dem ersten Feedback-Eingang 124 des Zustands-Latch 118) des AND-Gates 308 zugeleitet.

[0036] Während eines Funktionsmodus kann eine erste Schleife 178 die „Make-before-Break“ Funktion ausführen. Während der Abschaltperiode ist, wie oben beschrieben, das Signal SDB_VMAX2 konstant ein Low-Pegel (0), wohingegen das Signal ON_GMB und das Signal ON_GDB beide konstant ein Hoch-Pegel (1) sind, wie in Fig. 6 gezeigt. Dementsprechend ist eine Eingabe (d. h. die zweite Feedback-Eingabe 126 des Zustands-Latch 118) des AND-Gates 302 konstant ein Hoch-Pegel (1), so dass die Ausgabe des AND-Gates 302 die gleiche wie die andere Eingabe des AND-Gates 302 (d. h. das Signal ON_GM) ist. Das Signal ON_GM wird zusammen mit der Ausgabe des AND-Gates 601 zum NOR-Gate 304 zurückgespeist. Ebenso ist eine Eingabe (d. h. die erste Feedback-Eingabe 124 des Zustands-Latch 118) des AND-Gates 308 konstant ein Hoch-Pegel (1), so dass die Ausgabe des AND-Gates 308 die gleiche wie die andere Eingabe des AND-Gates 308 (d. h. das Signal ON_GD) ist. Das Signal ON_GD wird zusammen mit dem Ausgang des AND-Gate 607 zum NOR-Gate 310 zurückgespeist. Mit anderen Worten unterbricht die zweite Schleife 314 während der Abschaltperiode die erste Schleife 178, wodurch ein Leistungsrauschen von dem Signal ON_GDB und dem Signal ON_GMB nach dem Abschalt-Aufwecken verhindert wird.

[0037] Da das Signal SDB_VMAX2 während der Abschaltperiode konstant ein Low-Pegel (0) ist, sind die Ausgabe des AND-Gates 601 und die Ausgabe des AND-Gates 607 konstant ein Low-Pegel (0). Daher befindet sich das Flip-Flop des Zustands-Latch 118, welches das kreuzgekoppelte NOR-Gate 304 und das NOR-Gate 310 aufweist, in einem Haltezustand. Daher kann das Signal AON_SELSRM_IN (d. h. das Umschalten des Signals AON_SELSRM_IN erfolgt über ein Gate) während der Abschaltperiode (d. h. vom Zeitpunkt t1 501 zum Zeitpunkt t3 503) oder einer Abschalt-Aufweckperiode (d. h. einer kurzen Periode nach dem Zeitpunkt t3 503) umschalten, wie in Fig. 6 gezeigt.

[0038] Ein weiterer beispielhafter Betrieb der beispielhaften Netzschalter-Steuerschaltung 100 wird nachstehend unter Bezugnahme auf Fig. 8 und Fig. 9 offenbart. Wie aus dem Zeitablaufdiagramm aus Fig. 8 zu sehen ist, ist das Signal SD anfänglich ein Low-Pegel (0). Zum Zeitpunkt t1 701 wird das Signal SD ein Hoch-Pegel (1), was bedeutet, dass sich die Leistungsschalter-Steuerschaltung 100 in der Abschaltperiode befindet. Zum Zeitpunkt t4 704 wird das Signal SD ein Low-Pegel (0), was bedeutet, dass die Abschaltperiode der Netzschalter-Steuerschaltung 100 endet. In einer Ausführungsform darf das Signal AON_SELSRM_IN während der Abschaltperi-

ode (d. h. vom Zeitpunkt t1 701 zum Zeitpunkt t4 704) oder einer Abschalt-Aufweckperiode (d. h. einer kurzen Periode nach der Zeit t4 704) umschalten. Beispielsweise schaltet das Signal **AON_SELSRM_IN** zum Zeitpunkt t11 711 von ein Low-Pegel (0) zu ein Hoch-Pegel (1), zum Zeitpunkt t12 712 von ein Hoch-Pegel (1) zu ein Low-Pegel (0), zum Zeitpunkt t13 713 von ein Low-Pegel (0) zu ein Hoch-Pegel (1) und zum Zeitpunkt t14 714 und von ein Hoch-Pegel (1) zu ein Low-Pegel (0) um. Es sei zu beachten, dass das Signal **AON_SELSRM_IN** während der Abschaltperiode oder einer Abschalt-Aufweckperiode in andere Strukturen umschalten kann. Das **AON_SELSRM_IN**-Signal wird zum Zeitpunkt t3 703 ein Hoch-Pegel (1). Im Gegensatz zum Zeitablaufdiagramm 200 aus Fig. 3 und Fig. 500 aus Fig. 6 ist der Endzustand (ein Hoch-Pegel) des Signals **AON_SELRAM_IN** vor dem Abschalt-Aufwecken zum Zeitpunkt t4 704 anders als derjenige (ein Low-Pegel) vor dem Beginn der Abschaltperiode zum Zeitpunkt t1 701. Das Signal **AON_SELSRM_IN** von ein Low-Pegel (0) zu logisch (1) zum Zeitpunkt t3 703 umschaltet, bevor das Signal **SD** von ein Hoch-Pegel (1) zu ein Low-Pegel (0) zum Zeitpunkt t4 704 umschaltet, schaltet das Signal **ON_GMB** von ein Hoch-Pegel (1) zu ein Low-Pegel (0) zum Zeitpunkt t6 706 um, nach dem Abfallen des Signals **SD** zum Zeitpunkt t4 704.

[0039] Wenn das Signal **AON_SELSRM_IN** ein Low-Pegel (0) ist (z. B. vor dem Zeitpunkt t11 711), wird davon ausgegangen, dass das Signal **ON_GDB** ein Low-Pegel (0) ist (z. B. vor dem Zeitpunkt t2 702), wohingegen davon ausgegangen wird, dass das Signal **ON_GMB** ein Hoch-Pegel (1) ist (z. B. vor dem Zeitpunkt t6 506), was eine Auswahl von **VDD** und eine Abwahl von **VDDM** anzeigt, weil der **VDDM**-Header-Schalter 150 ausgeschaltet ist, während der **VDD**-Header-Schalter 164 eingeschaltet ist. Wenn das Signal **AON_SELSRM_IN** ein Hoch-Pegel (1) ist (z. B. nach dem Zeitpunkt t3 703), wird davon ausgegangen, dass das Signal **ON_GDB** ein Hoch-Pegel (1) ist (z. B. nach dem Zeitpunkt t3 703), wohingegen davon ausgegangen wird, dass das Signal **ON_GMB** ein Low-Pegel (0) ist (z. B. nach dem Zeitpunkt t6 706), was eine Auswahl von **VDDM** und eine Abwahl von **VDD** anzeigt, weil der **VDD**-Header-Schalter 164 ausgeschaltet ist, während der **VDDM**-Header-Schalter 150 eingeschaltet ist.

[0040] Wie oben beschrieben, werden während der Abschaltperiode (d. h. von Zeitpunkt t2 702 bis Zeitpunkt t6 706) sowohl der **VDDM**-Header-Schalter 150 als auch der **VDD**-Header-Schalter 164 aufgrund des Signals **SD** ausgeschaltet. Das Signal **AON_SELSRM_OUT** reagiert nicht auf das Umschalten des Signals **SD**. Stattdessen reagiert das Signal **AON_SELSRM_OUT** mit Verzögerung auf die Änderung des Signals **AON_SELSRM_IN**. Wenn das Signal **ON_GMB** zum Zeitpunkt t6 706 ein Low-Pegel (0) wird, bleibt das Signal **ON_GDB** zusätzlich ein

Hoch-Pegel (1). Daher löst das Abfallen des Signals **SD** zum Zeitpunkt t4 703 keinen Kurzschluss zwischen zwei Bereichen (d. h. **VDD** und **VDDM**) aus. Die Implementierung des Zeitablaufdiagramms 700 wird nachstehend unter Bezugnahme auf Fig. 9 offenbart.

[0041] Fig. 9 zeigt eine Ausführungsform des Zustands-Latch 118 der Netzschalter-Steuerschaltung 100 von Fig. 2, die mit dem Zeitablaufdiagramm 700 aus Fig. 7 verknüpft ist. Gleiche Bezugszeichen werden für gleiche Teile wie in Fig. 1 verwendet. In dieser Ausführungsform weist das Zustands-Latch 118 der Netzschalter-Steuerschaltung 100 das AND-Gate 601, das AND-Gate 802, das NOR-Gate 304, den Inverter 306, das AND-Gate 607, das AND-Gate 808, das NOR-Gate 310 und das NOR-Gate 312 auf. Wie weiter unten erörtert wird, sind die AND-Gates 802, 808 den oben in Verbindung mit den Fig. 4 und Fig. 7 erörterten AND-Gates 302, 308 ähnlich, obwohl die AND-Gates 802, 808 jeweils drei Eingänge haben.

[0042] Das kreuzgekoppelte NOR-Gate 304 und das NOR-Gate 310 wirken als Flip-Flop des Zustands-Latch 118. Insbesondere wird die Ausgabe (d. h. das Signal **SEL_VMAX2**) des Pegelumsetzers 116 dem NOR-Gate 304 am Set-Eingang 120 des Zustands-Latch 118 zugeleitet. Die anderen zwei Eingabesignale des NOR-Gates 304 sind die Ausgabe des NAND-Gates 802 und die Ausgabe des NAND-Gates 601. Eine Ausgabe des NOR-Gates 304 wird dem Inverter 306 zugeleitet. Die Ausgabe des Inverters 306 am ersten Ausgang 128 des Zustands-Latch 118 ist ein Signal **ON_GM**. Das Signal **ON_GM** wird ferner einem ersten Eingang des AND-Gates 802 zurückgespeist. Das Signal **ON_GDB** am Knoten 162 wird einem zweiten Eingang (d. h. den zweiten Feedback-Eingang 126 des Zustands-Latch 118) des AND-Gates 802 zugeleitet. Das Signal **SDB_VMAX2** wird einem dritten Eingang des AND-Gates 802 zurückgespeist. Mit anderen Worten sind die drei Eingangssignale des AND-Gates 802 das Signal **ON_GM**, das Signal **ON_GDB** und das Signal **SDB_VMAX2**. Das Signal **ON_GDB** wird zusammen mit dem Signal **SD_VMAX2** dem AND-Gate 601 zugeleitet. Das Rückspeisen des Signals **ON_GDB** zum AND-Gate 601 bildet einen Teil einer dritten Schleife 816.

[0043] Andererseits wird die Ausgabe des Inverters 136 dem NOR-Gate 310 am Reset-Eingang 122 des Zustands-Latch 118 zugeleitet. Die anderen zwei Eingabesignale des NOR-Gates 310 sind die Ausgabe des NAND-Gates 808 und die Ausgabe des NAND-Gates 607. Eine Ausgabe des NOR-Gates 310 wird zusammen mit dem Signal **VDD-RDYB** dem NOR-Gate 312 zugeleitet. Die Ausgabe des NOR-Gates 312 am zweiten Ausgang 130 des Zustands-Latch 118 ist ein Signal **ON_GD**. Das Signal **ON_GD** wird ferner einem ersten Eingang des AND-Gates 808 zurückgespeist. Das Signal **ON_GMB** am Knoten

148 wird einem zweiten Eingang (d. h. dem zweiten Feedback-Eingang **124** des Zustands-Latch **118**) des AND-Gates **808** zugeleitet. Das Signal **SDB_VMAX2** wird einem dritten Eingang des AND-Gates **808** zurückgespeist. Mit anderen Worten sind die drei Eingabesignale des AND-Gates das Signal **ON_GD**, das Signal **ON_GMB** und das Signal **SDB_VMAX2**. Das Signal **ON_GMB** wird zusammen mit dem Signal **SD_VMAX2** dem AND-Gate **607** zugeleitet. Das Rückspeisen des Signals **ON_GMB** zum AND-Gate **607** bildet einen weiteren Teil der dritten Schleife **816**.

[0044] Während eines Funktionsmodus kann eine erste Schleife **178** die „Make-before-Break“ Funktion ausführen, wie oben beschrieben. Während der Abschaltperiode ist, wie oben beschrieben, das Signal **SDB_VMAX2** konstant ein Low-Pegel (0), wohingegen das Signal **ON_GMB** und das Signal **ON_GDB** beide konstant ein Hoch-Pegel (1) sind, wie in **Fig. 8** gezeigt. Daher wird während der Abschaltperiode die erste Schleife **178** unterbrochen, wodurch ein Leistungsrauschen von dem Signal **ON_GDB** und dem Signal **ON_GMB** nach dem Abschalt-Aufwecken verhindert wird. In einem Fall, in dem sich der AON-SELSRM_IN-Zustand von dem endgültigen AON-SELSRM_IN-Zustand unterscheidet (d. h., der AON-SELSRM_IN-Zustand ändert sich während der Abschaltperiode), dient die dritte Schleife dazu, eine Makebefore-Break-Aktion während des Aufwachens zu verhindern, wodurch ein unbeabsichtigtes Aktivieren der Netz-Header **164** und/oder **150** verhindert wird. Da das AON-SELSRM_IN-Signal während des Abschaltens seinen Zustand ändern darf, darf das Ausgangs-Latch **166** auch den Zustand des Ausgangssignals AON-SELSRM_OUT basierend auf dem am Eingang des Ausgangs-Latch **166** empfangenen **ON_GD**- und **ON_GM**-Signals ändern.

[0045] **Fig. 10** veranschaulicht eine andere Ausführungsform, die derjenigen aus **Fig. 4A** ähnlich ist, wobei die AND-Gate **302** und **308** durch AND-Gates **902**, **908** ersetzt werden, die jeweils einen dritten Eingang aufweisen, der das Signal **SDB_VMAX2** empfängt. Da das Signal **SDB_VMAX2** während des Abschaltens ein Low-Pegel ist, werden sowohl die erste Schleife **178** als auch die zweite Schleife **314** während des Abschaltens ausgeschaltet. Entsprechend steuern in der Ausführungsform aus **Fig. 10** die Signale **ON_GD** und **ON_GM** weiterhin den Ausgangs-Latchzustand, wie in der Ausführungsform aus **Fig. 9** gezeigt.

[0046] **Fig. 11** ist ein Flussdiagramm, das ein Beispiel eines Verfahrens **900** zum Betreiben von Header-Schaltern einer Speichervorrichtung wie der in **Fig. 1** gezeigten Vorrichtung **10** darstellt. Ein Leistungsbereich-Auswahlsignal mit einem ersten Spannungspegel, wie beispielsweise der erste Leistungsbereich **VDD**, wird in Schritt **910** empfangen, und das Auswahlsignal wird in Schritt **912** auf einen hö-

heren Spannungspegel, wie den dritten Leistungsbereich **VMAX2**, pegelversetzt. In einigen Beispielen wird dies durch den Pegelumsetzer **116** erreicht. Die Steuersignale **ON_GD**, **ON_DM** werden in dem dritten Leistungsbereich **VMAX2** an den ersten und den zweiten Header-Schaltern **164**, **150** ausgegeben, um in Reaktion auf das Auswahlsignal während einer Funktionsperiode in Schritt **914** selektiv eine Speicheranordnung **183** mit einer ersten bzw. einer zweiten Stromversorgung zu koppeln. In Schritt **916** werden die Steuersignale im dritten Leistungsbereich **VMAX2** an den ersten und den zweiten Header-Schalter ausgegeben, um die Speicheranordnung während einer Abschaltperiode sowohl von der ersten als auch von der zweiten Stromversorgung zu trennen. Das erste und das zweite Steuersignal werden während der Funktionsperiode in Schritt **918** gelatcht.

[0047] Gemäß einigen offenbarten Ausführungsformen umfasst eine Netzschalter-Steuerschaltung eine Versorgungsschiene, die dazu konfiguriert ist, eine Speicheranordnung mit Strom zu versorgen, einen ersten Header-Schalter zum Koppeln der Versorgungsschiene mit einer ersten Stromversorgung, die einem ersten Leistungsbereich entspricht, einen zweiten Header-Schalter zum Koppeln der Versorgungsschiene mit einer zweiten Stromversorgung, die einem zweiten Leistungsbereich entspricht, und eine Steuerschaltung, die dazu konfiguriert ist, ein Auswahlsignal und ein Abschaltsignal zu empfangen und Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um den ersten und zweiten Header-Schalter selektiv mit der ersten bzw. zweiten Stromversorgung in Reaktion auf das Auswahlsignal und das Abschaltsignal zu koppeln. Die Steuerschaltung ist konfiguriert, um die Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um sowohl den ersten als auch den zweiten Header-Schalter von der ersten und der zweiten Stromversorgung als Reaktion auf das Abschaltsignal und unabhängig vom Auswahlsignal zu trennen.

[0048] Gemäß weiteren Ausführungsformen weist eine Speichervorrichtung eine Bitzellenanordnung, die zum Betrieb in einem ersten Leistungsbereich oder einem zweiten Leistungsbereich konfiguriert ist, auf, einen mit der Bitzellenanordnung gekoppelten Wortleitungstreiber, eine mit der Bitzellenanordnung gekoppelte Eingangs-/Ausgangsschaltung und eine Versorgungsschiene, die mit der Bitzellenanordnung gekoppelt ist. Ein erster Header-Schalter koppelt selektiv die Versorgungsschiene mit einer ersten Stromversorgung, die dem ersten Leistungsbereich entspricht. Ein zweiter Header-Schalter koppelt selektiv die Versorgungsschiene mit einer zweiten Stromversorgung, die dem zweiten Leistungsbereich entspricht. Eine Steuerschaltung ist konfiguriert, um ein Auswahlsignal und ein Abschaltsignal zu empfangen.

Die Steuerschaltung weist ferner eine erste Latch-Schaltung auf, die konfiguriert ist, um Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um sowohl den ersten als auch den zweiten Header-Schalter von der ersten und der zweiten Stromversorgung in Reaktion auf das Auswahlsignal und das Abschaltsignal selektiv zu koppeln. Eine zweite Latch-Schaltung empfängt das erste und das zweite Steuersignal und ist konfiguriert, um das Auswahlsignal als Reaktion auf das Abschaltsignal zu latches.

[0049] Gemäß weiteren Ausführungsformen weist ein Verfahren das Empfangen eines Abschaltsignals bei einem ersten Leistungsbereich und das Umsetzen des Abschaltsignals auf einen dritten Leistungsbereich. Steuersignale werden in dem dritten Leistungsbereich an den ersten und den zweiten Header-Schaltern ausgegeben, um in Reaktion auf das Auswahlsignal während einer Funktionsperiode selektiv eine Speicheranordnung mit der ersten und der zweiten Stromversorgung zu koppeln. Die Steuersignale werden im dritten Leistungsbereich an den ersten und den zweiten Header-Schalter ausgegeben, um die Speicheranordnung während einer Abschaltperiode sowohl von der ersten als auch von der zweiten Stromversorgung zu trennen. Das erste und das zweite Steuersignal werden während der Funktionsperiode gelatcht.

[0050] Das Vorstehende umreißt Merkmale mehrerer Ausführungsformen, so dass der Fachmann die Aspekte der vorliegenden Offenbarung besser verstehen kann. Der Fachmann wird zu schätzen wissen, dass er die vorliegende Offenbarung problemlos als Grundlage zum Entwerfen oder Modifizieren anderer Prozesse und Strukturen zum Ausführen derselben Zwecke und/oder zum Erreichen derselben Vorteile der hierin eingeführten Ausführungsformen verwenden kann. Der Fachmann wird auch zu schätzen wissen, dass solche äquivalenten Konstruktionen nicht vom Geist und Umfang der vorliegenden Offenbarung abweichen und dass sie verschiedene Änderungen, Ersetzungen und Abänderungen hierin vornehmen können, ohne vom Geist und Umfang der vorliegenden Offenbarung abzuweichen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 62744951 [0001]

Patentansprüche

1. Eine Netzschalter-Steuerschaltung, die Folgendes umfasst:

eine Versorgungsschiene, die dazu konfiguriert ist, eine Speicheranordnung mit Strom zu versorgen; einen ersten Header-Schalter zum Koppeln der Versorgungsschiene mit einer ersten Stromversorgung, die einem ersten Leistungsbereich entspricht; einen zweiten Header-Schalter zum Koppeln der Versorgungsschiene mit einer zweiten Stromversorgung, die einem zweiten Leistungsbereich entspricht; eine Steuerschaltung, die dazu konfiguriert ist, ein Auswahlsignal und ein Abschaltsignal zu empfangen und Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um den ersten und zweiten Header-Schalter selektiv mit der ersten bzw. zweiten Stromversorgung in Reaktion auf das Auswahlsignal und das Abschaltsignal zu koppeln; und wobei die Steuerschaltung dazu konfiguriert ist, die Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um sowohl den ersten als auch den zweiten Header-Schalter von der ersten und der zweiten Stromversorgung in Reaktion auf das Abschaltsignal und unabhängig vom Auswahlsignal zu trennen.

2. Netzschalter-Steuerschaltung nach Anspruch 1, die ferner einen Pegelumsetzer umfasst, der dazu konfiguriert ist, das Auswahlsignal und das Abschaltsignal in dem ersten Leistungsbereich zu empfangen und das Auswahlsignal und das Abschaltsignal in einem dritten Leistungsbereich auszugeben.

3. Netzschalter-Steuerschaltung nach Anspruch 1 oder 2, die ferner Folgendes umfasst: eine Mehrzahl der ersten Header-Schalter, die dazu konfiguriert sind, die Versorgungsschiene sequentiell mit der ersten Stromversorgung in Reaktion auf das Auswahlsignal zu koppeln; und eine Mehrzahl der zweiten Header-Schalter, die jeweils dazu konfiguriert sind, die Versorgungsschiene sequentiell mit der zweiten Stromversorgung in Reaktion auf das Auswahlsignal zu koppeln.

4. Netzschalter-Steuerschaltung nach einem der vorhergehenden Ansprüche, wobei die Steuersignale erste und zweite Steuersignale jeweils zum Steuern der ersten bzw. zweiten Header-Schalter umfassen, wobei die Netzschalter-Steuerschaltung ferner Folgendes umfasst:

eine erste Latch-Schaltung, die dazu konfiguriert ist, das Auswahlsignal zu empfangen und das erste und das zweite Steuersignal in Reaktion darauf auszugeben; und wobei die Netzschalter-Steuerschaltung dazu konfiguriert ist, das erste oder das zweite Steuersignal, das von der ersten Latch-Schaltung ausgegeben wird, in Reaktion auf das Abschaltsignal zu modifizieren.

5. Netzschalter-Steuerschaltung nach Anspruch 4, die ferner Folgendes umfasst:

eine erste Abzweigung, die dazu konfiguriert ist, das erste Steuersignal zu generieren; eine zweite Abzweigung, die dazu konfiguriert ist, das zweite Steuersignal zu generieren; und eine erste Feedback-Schleife, wobei das erste Steuersignal einem ersten Feedback-Eingang der zweiten Abzweigung rückgespeist wird, und das zweite Steuersignal einem ersten Feedback-Eingang der ersten Abzweigung rückgespeist wird.

6. Netzschalter-Steuerschaltung nach Anspruch 5, die ferner Folgendes umfasst:

eine zweite Feedback-Schleife, wobei das erste Steuersignal einem zweiten Feedback-Eingang der ersten Abzweigung rückgespeist wird, und das zweite Steuersignal einem zweiten Feedback-Eingang der zweiten Abzweigung rückgespeist wird.

7. Netzschalter-Steuerschaltung nach Anspruch 6, wobei die erste Latch-Schaltung Folgendes umfasst:

ein erstes NOR-Gate in der ersten Abzweigung mit einem ersten Eingang, einem zweiten Eingang und einem Ausgang, wobei der erste Eingang dazu konfiguriert ist, ein komplementäres Signal zum Auswahlsignal zu empfangen, wobei der Ausgang dazu konfiguriert ist, das erste Steuersignal auszugeben; ein erstes AND-Gate mit den ersten und zweiten Feedback-Eingängen der ersten Abzweigung und einem Ausgang, der mit dem zweiten Eingang des ersten NOR-Gates gekoppelt ist; ein zweites NOR-Gate in der zweiten Abzweigung mit einem ersten Eingang, einem zweiten Eingang und einem Ausgang, wobei der erste Eingang zum Empfangen des Auswahlsignals konfiguriert ist, und wobei der Ausgang zum Ausgeben des zweiten Steuersignals konfiguriert ist; und ein zweites AND-Gate mit den ersten und zweiten Feedback-Eingängen der zweiten Abzweigung und einem Ausgang, der mit dem zweiten Eingang des zweiten NOR-Gates gekoppelt ist.

8. Netzschalter-Steuerschaltung nach Anspruch 7, die ferner Folgendes umfasst:

ein erstes NAND-Gate mit einem ersten Eingang, der dazu konfiguriert ist, ein komplementäres Signal zum Abschaltsignal zu empfangen, einem zweiten Eingang, der zum Empfangen des ersten Steuersignals konfiguriert ist, und einem Ausgang, der dazu konfiguriert ist, das erste Steuersignal auszugeben; ein zweites NAND-Gate mit einem ersten Eingang, der dazu konfiguriert ist, das komplementäre Signal zum Abschaltsignal zu empfangen, einem zweiten Eingang, der zum Empfangen des zweiten Steuersignals konfiguriert ist, und einem Ausgang, der zum Ausgeben des zweiten Steuersignals konfiguriert ist.

9. Netzschalter-Steuerschaltung nach einem der Ansprüche 4 bis 8, wobei das Abschaltsignal ei-

nen ersten Zustand aufweist, der einem Abschaltmodus entspricht, und einen zweiten Zustand, der einem Funktionsmodus entspricht, und wobei die Netzschalter-Steuerschaltung ferner Folgendes umfasst: eine zweite Latch-Schaltung, die das erste und zweite Steuersignal von der ersten Latch-Schaltung empfängt, wobei die zweite Latch-Schaltung dazu konfiguriert ist, das Auswahlsignal in Reaktion auf das Abschaltsignal im Abschaltmodus zu speichern und das Auswahlsignal in Reaktion auf das erste und das zweite Steuersignal im Funktionsmodus zu speichern.

10. Netzschalter-Steuerschaltung nach Anspruch 7, die ferner Folgendes umfasst:

ein drittes AND-Gate mit einem ersten Eingang, der dazu konfiguriert ist, das komplementäre Signal zum Auswahlsignal zu empfangen, einem zweiten Eingang, der dazu konfiguriert ist, das Abschaltsignal zu empfangen, und einem Ausgang, der mit dem ersten Eingang des ersten NOR-Gates gekoppelt ist;

ein zweites NOR-Gate in der zweiten Abzweigung mit einem ersten Eingang, einem zweiten Eingang und einem Ausgang, wobei der erste Eingang zum Empfangen des Auswahlsignals konfiguriert ist, und der Ausgang zum Ausgeben des zweiten Steuersignals konfiguriert ist; und

ein viertes AND-Gate mit einem ersten Eingang, der zum Empfangen des Auswahlsignals konfiguriert ist, einem zweiten Eingang, der zum Empfangen des Abschaltsignals konfiguriert ist, und einem Ausgang, der mit dem ersten Eingang des zweiten NOR-Gates gekoppelt ist.

11. Netzschalter-Steuerschaltung nach Anspruch 7, die ferner Folgendes umfasst:

ein drittes AND-Gate mit einem ersten Eingang, der dazu konfiguriert ist, ein komplementäres Signal zum zweiten Steuersignal zu empfangen, einem zweiten Eingang, der dazu konfiguriert ist, das Abschaltsignal zu empfangen, und einem Ausgang, der mit einem dritten Eingang des ersten NOR-Gates gekoppelt ist; ein viertes AND-Gate mit einem ersten Eingang, der dazu konfiguriert ist, ein komplementäres Signal zum ersten Steuersignal zu empfangen, einem zweiten Eingang, der dazu konfiguriert ist, das Abschaltsignal zu empfangen, und einem Ausgang, der mit einem dritten Eingang des zweiten NOR-Gates gekoppelt ist.

12. Netzschalter-Steuerschaltung nach Anspruch 7, wobei das erste AND-Gate einen dritten Eingang aufweist, der zum Empfangen des Abschaltsignals konfiguriert ist, und das zweite AND-Gate einen dritten Eingang aufweist, der zum Empfangen des Abschaltsignals konfiguriert ist.

13. Speichervorrichtung, die Folgendes umfasst:

eine Bitzellenanordnung, die dazu konfiguriert ist, in einem ersten Leistungsbereich oder einem zweiten Leistungsbereich zu arbeiten;

einen Wortleitungstreiber, der mit der Bitzellenanordnung gekoppelt ist;

eine Ein-/Ausgabeschaltung, die mit der Bitzellenanordnung gekoppelt ist;

eine Versorgungsschiene, die mit der Bitzellenanordnung gekoppelt ist;

einen ersten Header-Schalter zum Koppeln der Versorgungsschiene mit einer ersten Stromversorgung, die dem ersten Leistungsbereich entspricht;

einen zweiten Header-Schalter zum Koppeln der Versorgungsschiene mit einer zweiten Stromversorgung, die dem zweiten Leistungsbereich entspricht;

eine Steuerschaltung, die dazu konfiguriert ist, ein Auswahlsignal und ein Abschaltsignal zu empfangen, wobei die Steuerschaltung Folgendes umfasst:

eine erste Latch-Schaltung, die dazu konfiguriert ist, Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um den ersten und den zweiten Header-Schalter selektiv mit der ersten bzw. zweiten Stromversorgung in Reaktion auf das Auswahlsignal und das Abschaltsignal zu koppeln; und eine zweite Latch-Schaltung, die das erste und zweite Steuersignal empfängt und dazu konfiguriert ist, das Auswahlsignal in Reaktion auf das Abschaltsignal zu speichern.

14. Speichervorrichtung nach Anspruch 13, wobei die erste Latch-Schaltung dazu konfiguriert ist, die Steuersignale an den ersten und den zweiten Header-Schalter auszugeben, um sowohl den ersten als auch den zweiten Header-Schalter in Reaktion auf das Abschaltsignal und unabhängig vom Auswahlsignal von der ersten und der zweiten Stromversorgung zu trennen.

15. Speichervorrichtung nach Anspruch 13 oder 14, wobei die erste Latch-Schaltung dazu konfiguriert ist, das Auswahlsignal in Reaktion auf das Abschaltsignal und das Auswahlsignal zu speichern.

16. Speichervorrichtung nach einem der Ansprüche 13 bis 15, die ferner einen Pegelumsetzer umfasst, der dazu konfiguriert ist, das Auswahlsignal und das Abschaltsignal in dem ersten Leistungsbereich zu empfangen und das Auswahlsignal und das Abschaltsignal in einem dritten Leistungsbereich auszugeben.

17. Die Speichervorrichtung nach einem der Ansprüche 13 bis 16, wobei die zweite Latch-Schaltung dazu konfiguriert ist, das gelatchte Auswahlsignal im ersten Leistungsbereich auszugeben.

18. Verfahren, das Folgendes umfasst: Empfangen eines Leistungsbereich-Auswahlsignals bei einem ersten Spannungspegel;

Umsetzen des Auswahlsignals auf einen höheren Spannungspegel;
Ausgeben von Steuersignalen bei dem höheren Spannungspegel an einen ersten und einen zweiten Header-Schalter, um eine Speicheranordnung selektiv mit einer ersten bzw. zweiten Stromversorgung in Reaktion auf das Auswahlsignal während einer Funktionsperiode zu koppeln;
Ausgeben der Steuersignale bei dem höheren Spannungspegel an den ersten und den zweiten Header-Schalter, um die Speicheranordnung sowohl von der ersten als auch von der zweiten Stromversorgung während einer Abschaltperiode zu trennen; und
Latching des ersten und des zweiten Steuersignals während der Funktionsperiode.

19. Verfahren nach Anspruch 18, wobei das erste und das zweite Steuersignal während der Funktionsperiode durch eine erste Latch-Schaltung gelatcht werden, wobei das Verfahren ferner das Latching des Auswahlsignals bei dem ersten Spannungspegel durch eine zweite Latch-Schaltung umfasst.

20. Verfahren nach Anspruch 18 oder 19, ferner umfassend das Variieren des gelatchten Auswahlsignals in Reaktion auf Schwankungen des empfangenen Auswahlsignals während des Abschaltmodus.

Es folgen 11 Seiten Zeichnungen

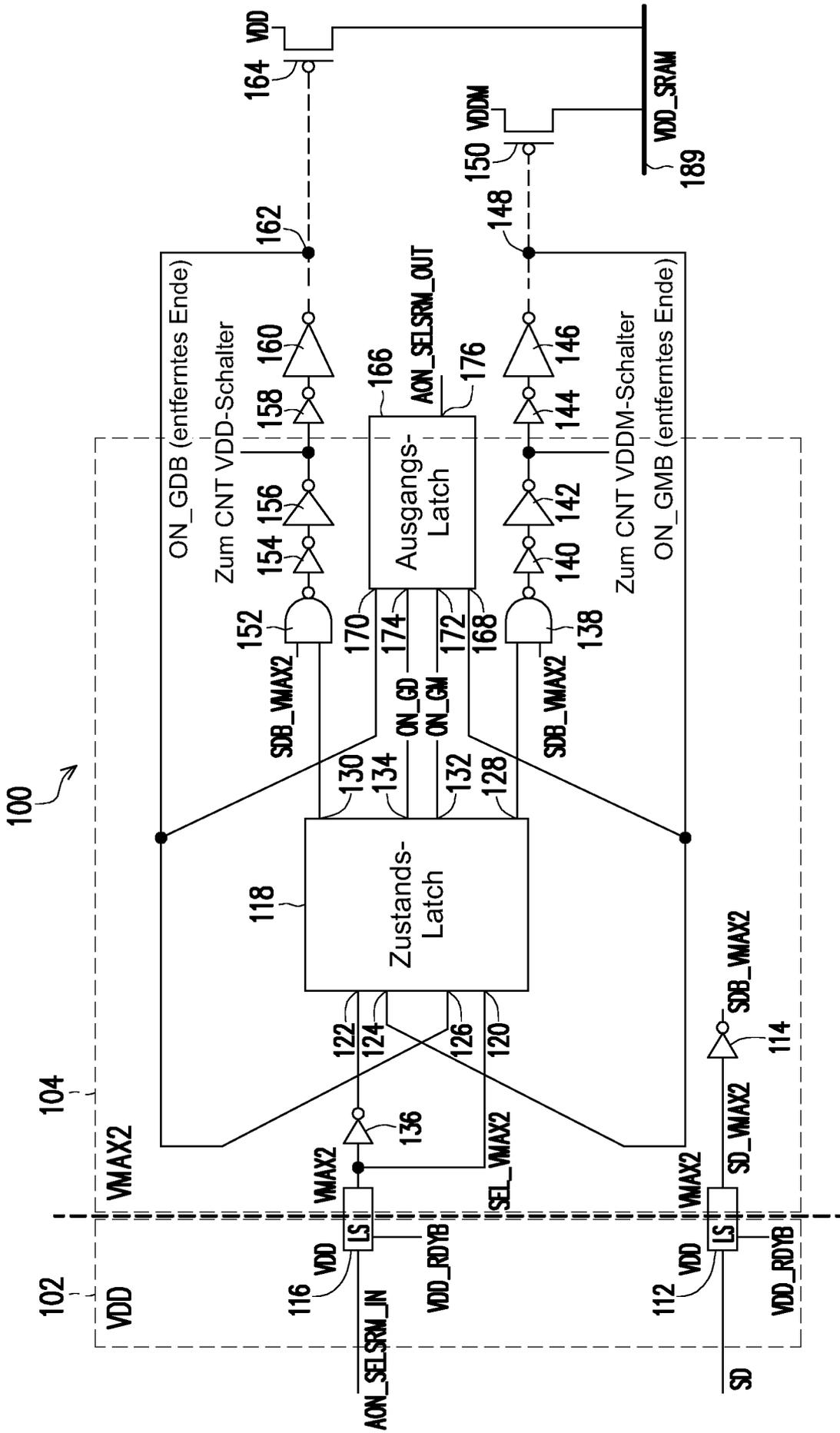


FIG. 2

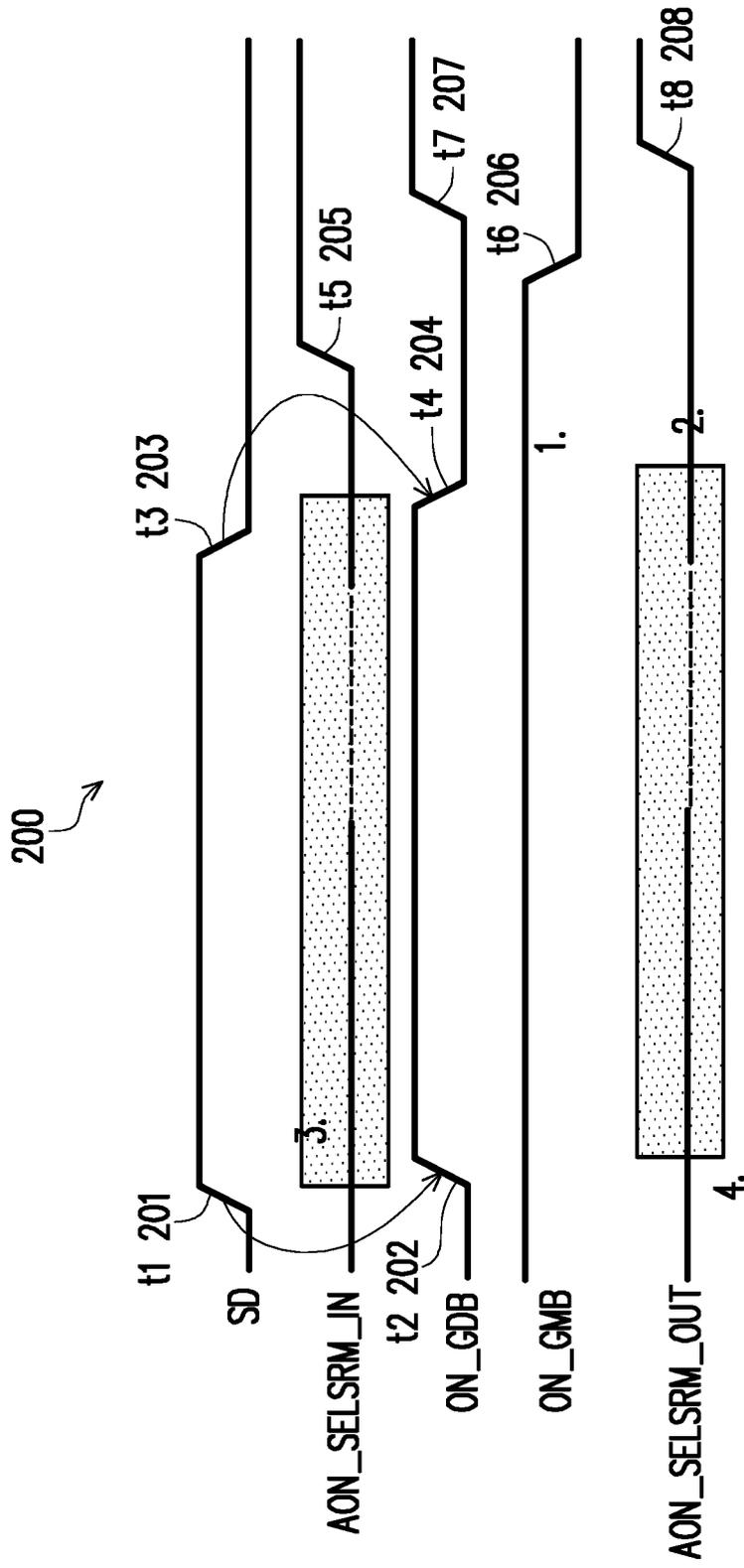


FIG. 3

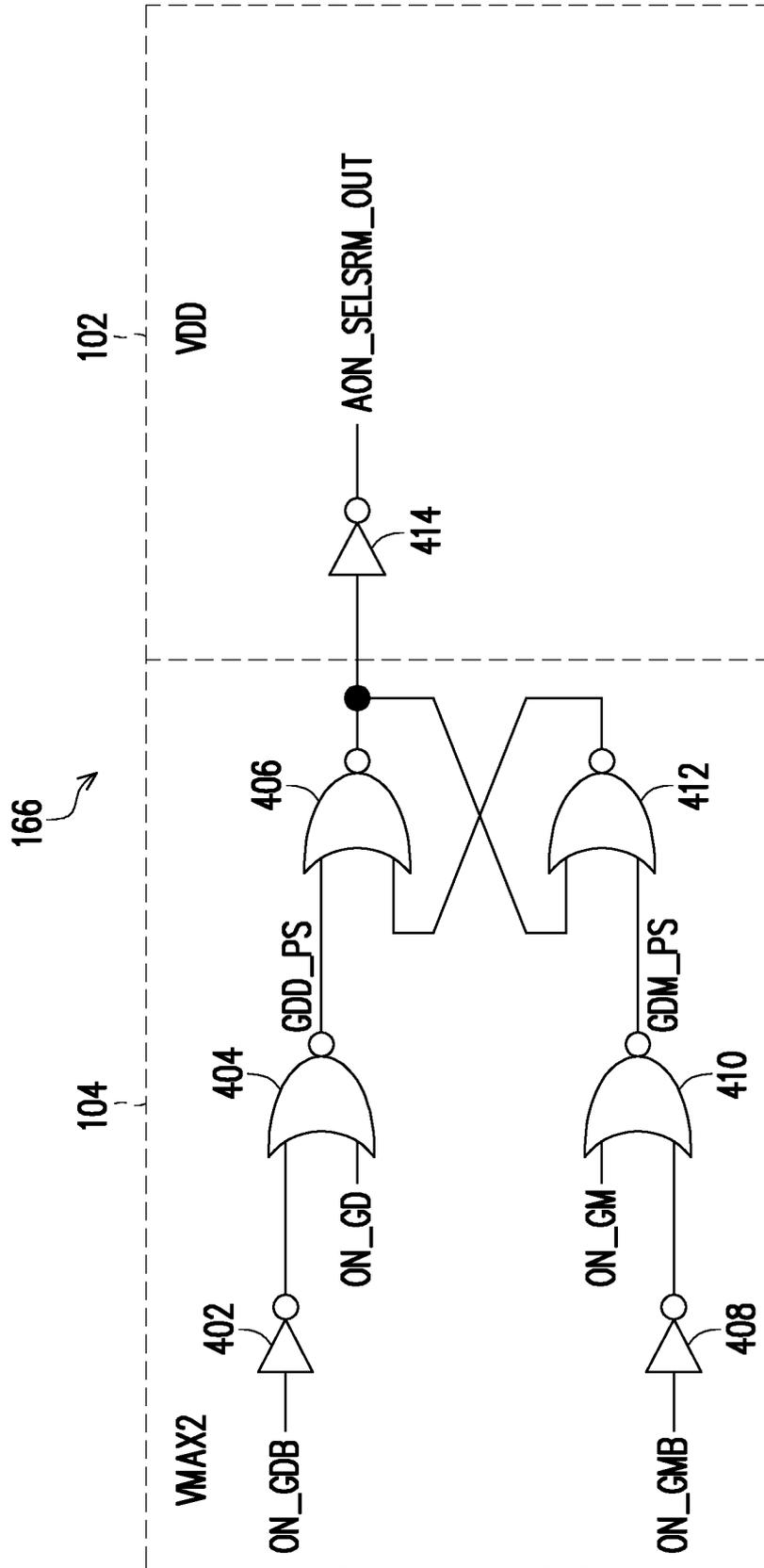


FIG. 5

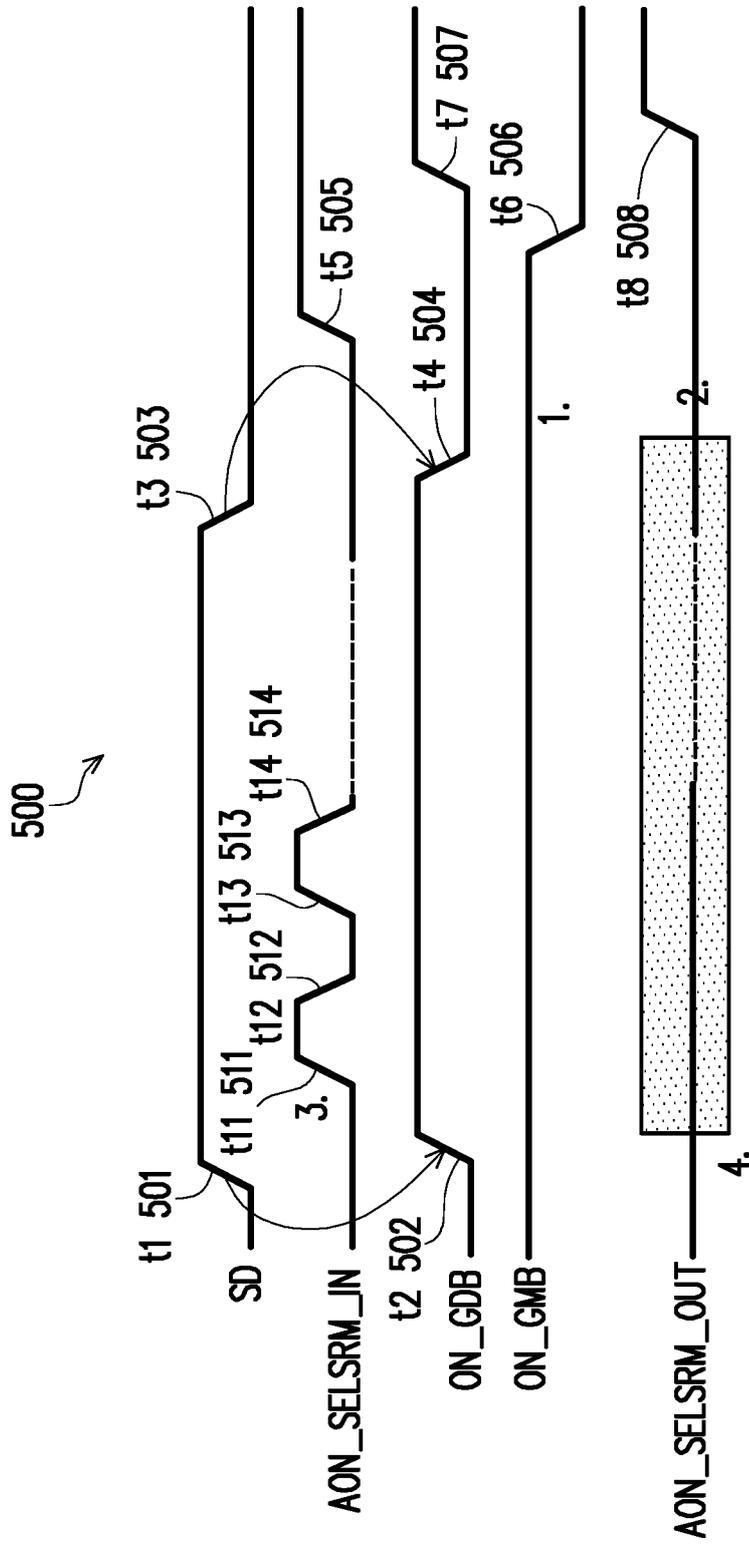


FIG. 6

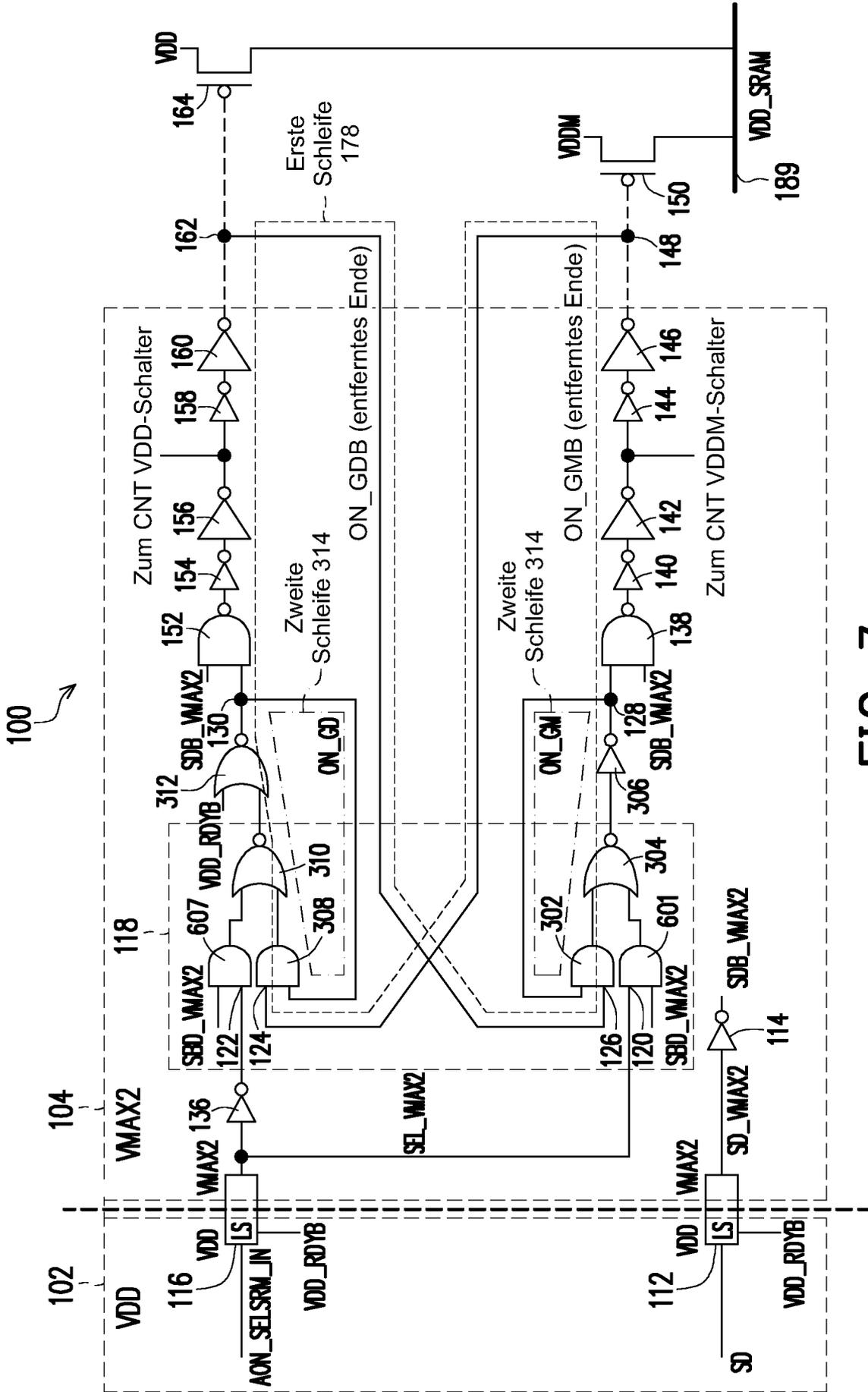


FIG. 7

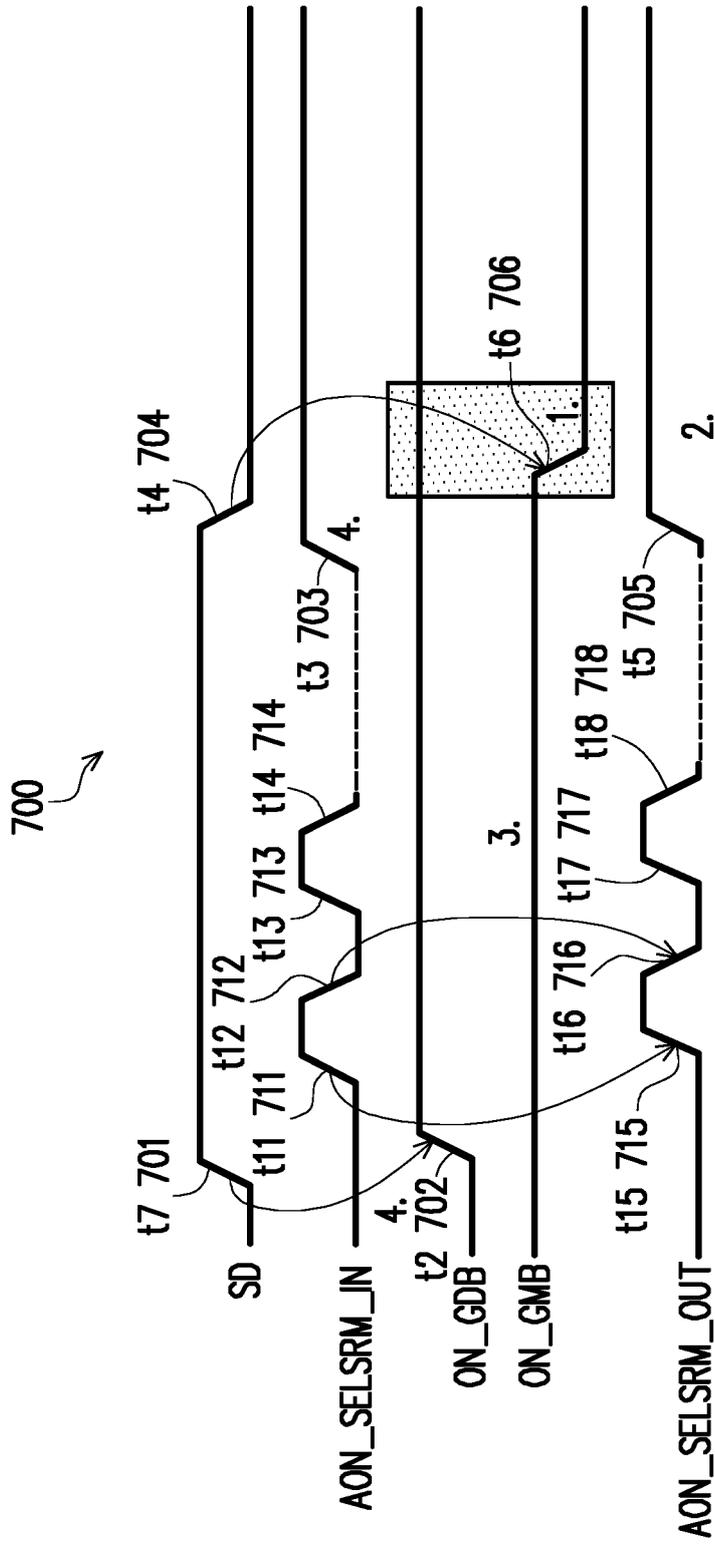


FIG. 8

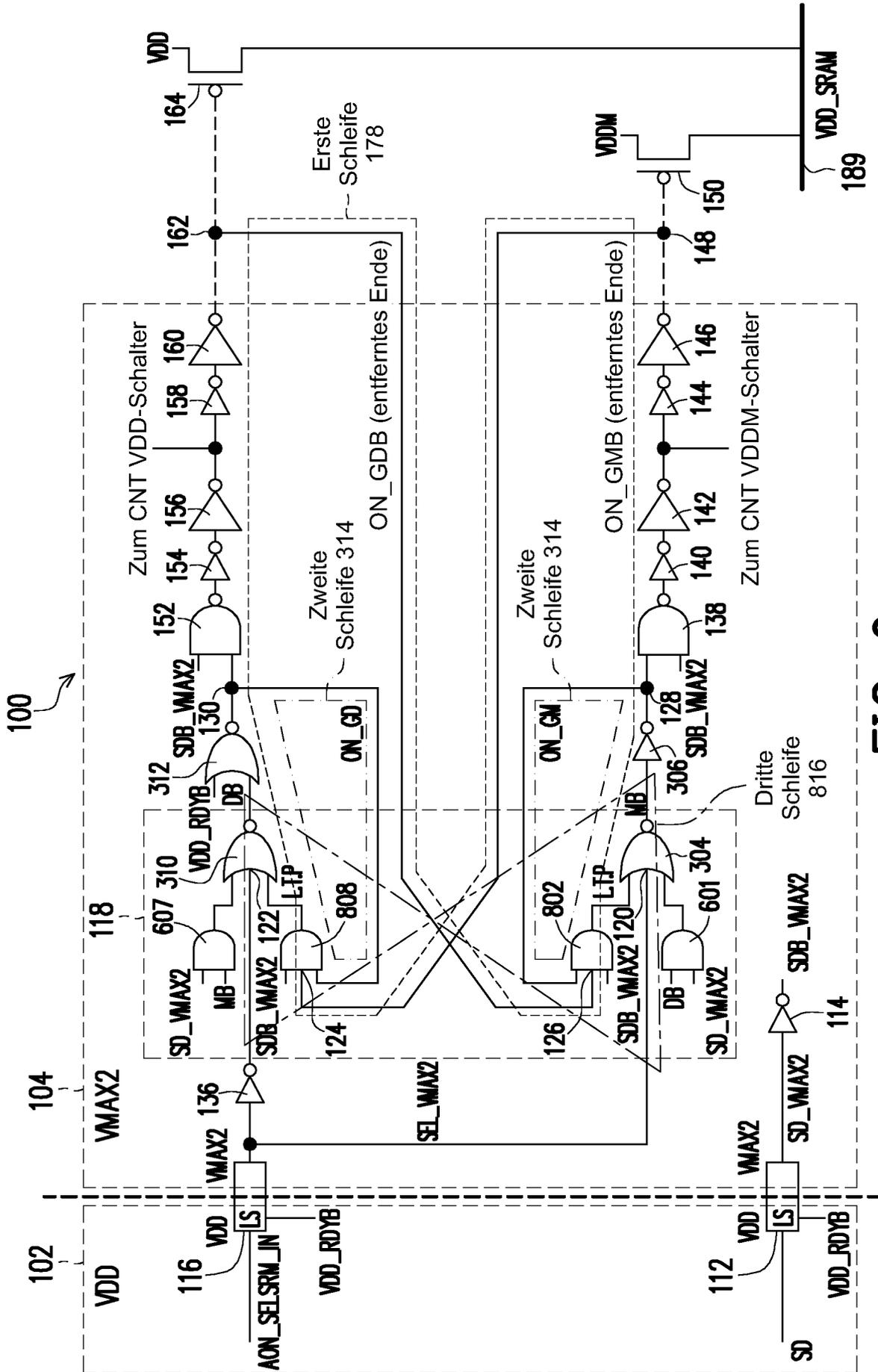


FIG. 9

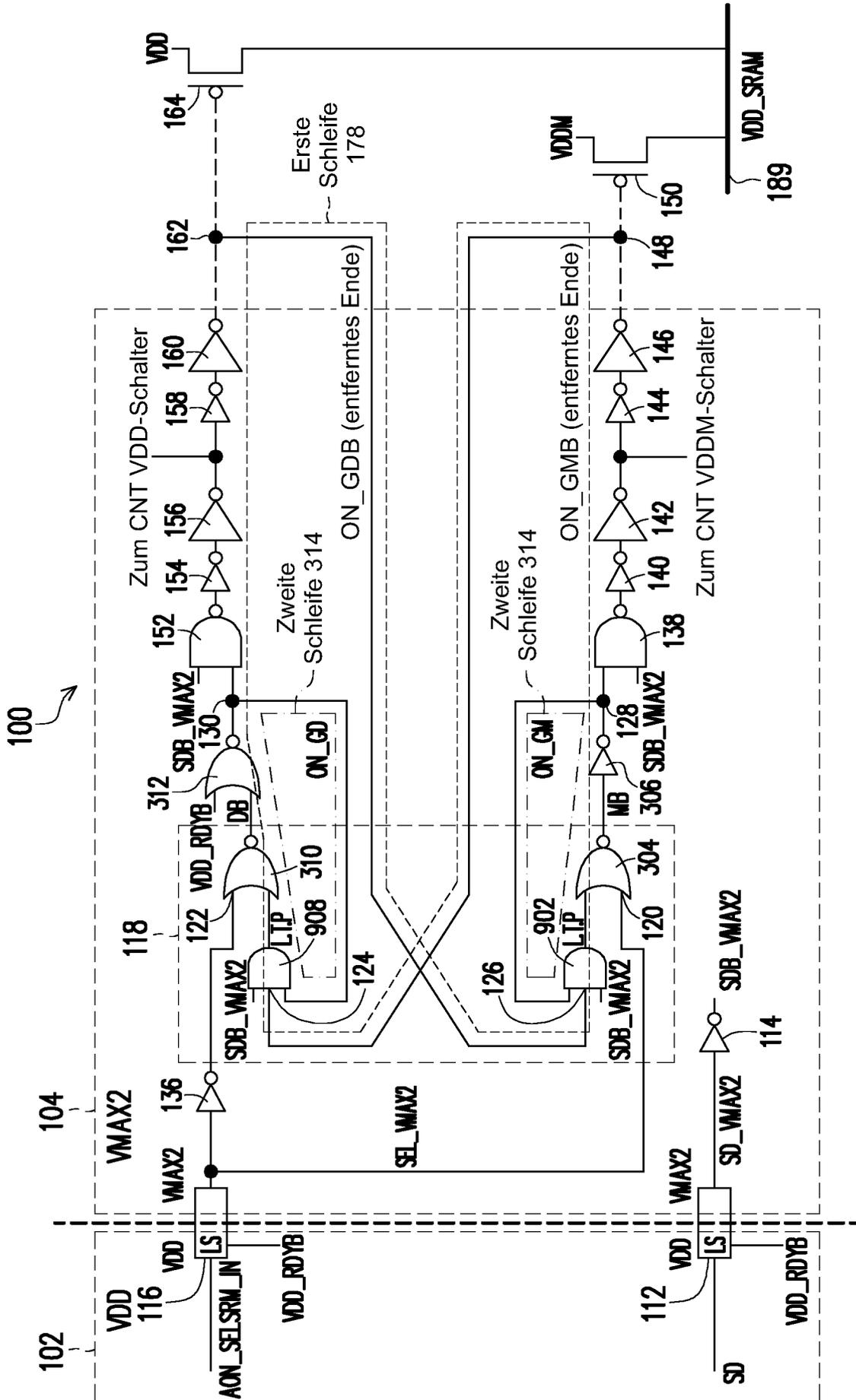


FIG. 10

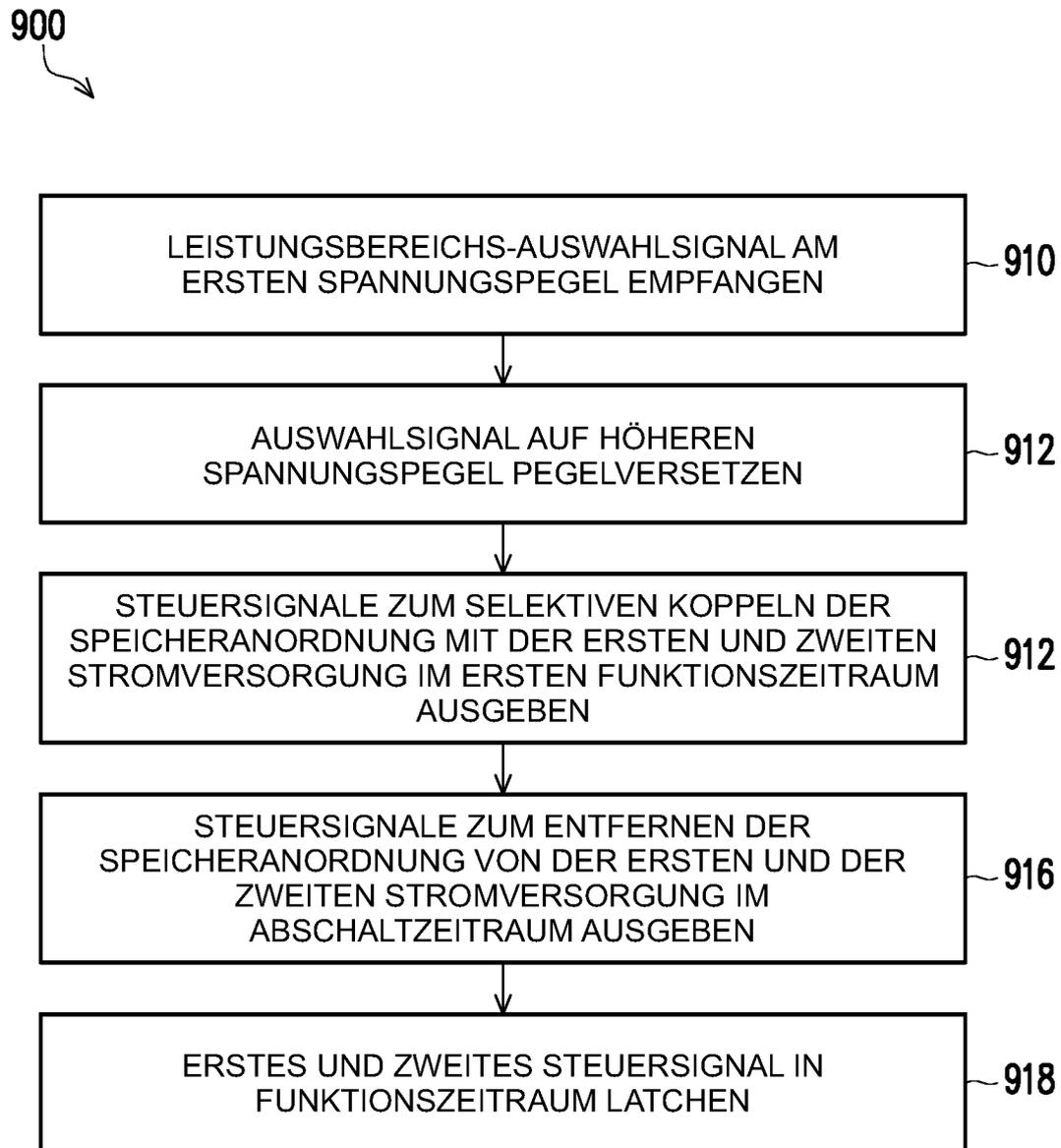


FIG. 11