



# [12] 发明专利申请公开说明书

[21] 申请号 200510081024.5

[43] 公开日 2005年12月28日

[11] 公开号 CN 1713380A

[22] 申请日 2005.6.27

[21] 申请号 200510081024.5

[30] 优先权

[32] 2004.6.25 [33] US [31] 10/876,980

[71] 申请人 台湾积体电路制造股份有限公司

地址 台湾新竹科学工业园区新竹市力行六路八号

[72] 发明人 游善谦

[74] 专利代理机构 隆天国际知识产权代理有限公司

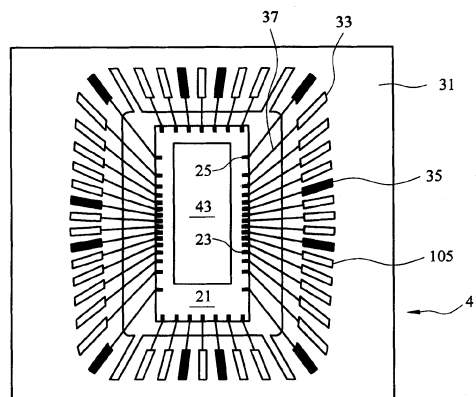
代理人 张龙哺 郑特强

权利要求书3页 说明书9页 附图2页

[54] 发明名称 集成电路封装的静电放电(ESD)防护

[57] 摘要

本发明提供一种集成电路封装的静电放电防护方法。该集成电路封装包括封装衬底，其具有多个引脚，连接到半导体芯片上的多个接合垫，其中一些与形成于半导体芯片上的集成电路的IC接合垫相连接，其它则与集成电路绝缘的浮动接合垫相连接。所述多个引脚包括连接到主动接合垫的主动引脚，以及连接到浮动接合垫的虚拟(非连接)引脚。这些由连接材料所形成的浮动接合垫同样可用来形成集成电路。可使用球格阵列(BGA)或倒装芯片的IC封装，以及一种提供形成IC封装的方法。由于此封装的邻接的非连接引脚易受静电放电所影响，故设计浮动接合垫以防止静电放电破坏主动组件。本发明通过将非连接型引脚与浮动接合垫相连接而提供ESD防护。



- 1.一种配件，至少包含一具有多个引脚连接到一半导芯片上的封装衬底，每一所述引脚连接至下列元件其中之一：
- 5        IC 接合垫，形成于该半导体芯片上并且连接到该半导体芯片的集成电路；以及
- 浮动接合垫，形成于该半导体芯片上并且与该半导体芯片的集成电路绝缘。
- 2.如权利要求 1 所述的配件，其中该浮动接合垫包括用于该集成电路中的至少一金属层的一部分。
- 10        3.如权利要求 2 所述的配件，其中该部分与该相关金属层的其它部分绝缘。
- 4.如权利要求 1 所述的配件，其中由多个金属层及该浮动接合垫所形成的该集成电路包括每一所述金属层的非连续部分，每一非连续部分与相对应的金属层绝缘，且所述相对应的非连续部分彼此对准和接触。
- 15        5.如权利要求 1 所述的配件，其中该半导体芯片包括硅衬底。
- 6.如权利要求 1 所述的配件，其中该封装衬底为金属导线架，并且所述多个引脚实质上围绕着该半导体芯片。
- 7.如权利要求 1 所述的配件，其中该封装衬底为球格阵列衬底，并且每一所述引脚利用焊线连接至一 IC 接合垫及一浮动接合垫的其中之一。
- 20        8.如权利要求 1 所述的配件，当人体模型的 ESD 加压至 4 千伏并且施加于所述多个引脚的任一引脚时，其中该配件可抵抗由静电放电所造成的破坏。
- 9.一配件，至少包含一具有多个接点连接到半导体芯片上的封装衬底，并且每一所述接点连接至下列元件其中之一：
- 25        IC 接合垫，形成于该半导体芯片上并且连接到该半导体芯片的集成电路；以及
- 浮动接合垫，形成于该半导体芯片上并且与该半导体芯片的集成电路绝缘。

10.如权利要求 9 所述的配件,其中每一所述接点利用倒装芯片装配技术以连接到 IC 接合垫及浮动接合垫的其中之一,并且还包含焊锡,形成于每一所述接点和该 IC 接合垫的其中之一和浮动接合垫间。

11.一配件,至少包含封装衬底,其具有多个接点,并且所述接点连接到包括集成电路的半导体芯片上,所述接点包括多个主动接点,其每一接点与连接到该集成电路的 IC 接合垫相连接,并且至少一虚拟接点与一形成于该半导体芯片上且与该集成电路绝缘的浮动接合垫相连接。

12.如权利要求 11 所述的配件,其中该封装衬底为 BGA 衬底,并且每一所述主动接点为可用焊线连接到该 IC 接合垫的引脚,以及每一该至少一虚拟接点为可用焊线来连接到该浮动接合垫的虚拟引脚。

13.如权利要求 11 所述的配件,其中该封装衬底为倒装芯片,并且每一该主动接点为倒装芯片,以焊接方式连接到该 IC 接合垫的其中之一,且每一该至少一虚拟接点为倒装芯片,以焊接方式连接到该浮动接合垫。

14.一种抑制集成电路封装中的静电放电破坏的方法,至少包含:  
15 提供具有多个引脚的封装衬底,所述多个引脚包括至少一非主动引脚;  
提供具有集成电路形成于其中的半导体芯片,该集成电路包括多个 IC 接合垫;

在该半导体芯片上形成至少一浮动接合垫,每一浮动接合垫与该集成电路绝缘;以及

20 连接该至少一非主动引脚的每一非主动引脚到该至少一浮动接合垫的一浮动接合垫。

15.如权利要求 14 所述的方法,还包含进一步连接所述多个引脚的每一其它引脚到所述多个 IC 接合垫的一 IC 接合垫。

16.如权利要求 15 所述的方法,其中每一该连接方式及该进一步的连接方式包含倒装芯片装配方式。

17.如权利要求 14 所述的方法,其中该连接方式包含焊线方式。

18.如权利要求 14 所述的方法,其中该连接方式包含焊接方式。

19.如权利要求 14 所述的方法,其中该形成至少一浮动接合垫发生于该半导体芯片上的该集成电路的形成期间中。

---

20.如权利要求 14 所述的方法，还包含利用人体模型的 ESD 加压至 4 千伏并且施加于该至少一非连接引脚的至少一引脚上来作测试，并且其中该测试不会破坏到该集成电路。

5

## 集成电路封装的静电放电(ESD)防护

### 5 技术领域

本发明涉及一种集成电路(integrated circuit, IC)封装中的静电放电(electrostatic discharg, ESD)保护, 且特别涉及一种将非连接型引脚与浮动接合垫连接以提供 ESD 防护的方法。

### 10 背景技术

静电放电(electrostatic discharg, ESD)是由一非传导表面瞬间所放的静态电流, 其将造成集成电路中半导体元件及其它电子元件的破坏。举例来说, 一个人在地毯上行走, 在高湿度的情况下所带的静电电荷为几千伏特的电压; 在低湿度的情况下所带的静电电荷则超过一万伏特的电压。当集成电路或集成电路(integrated circuit, IC)封装被一静电电荷源接触时, IC 封装中的集成电路将产生 ESD 现象, 其可能发生在元件在场中的组装或组装之后的期间。当“被电流摧毁”, 即受到静电放电的影响时, 瞬间的 ESD 电源等级将对集成电路造成严重的破坏。

一个典型的 IC 封装包括一连接于半导体芯片的金属导线架或其它封装衬底。此半导体芯片包括一具有多个主动接合垫与外部元件连接的集成电路。金属导线架或其它封装衬底包括多个引脚或其它接点, 此其它接点与形成于半导体芯片上的集成电路的个别接合垫相连接。举例来说, 此连接方式可利用焊线连接到金属导线架来完成, 或借由倒装芯片(flip-chip)封装技术来完成, 此倒装芯片封装技术包括利用焊料凸块(solder bumps)直接将封装衬底的接触区域与相对应的半导体芯片的接合垫相互连接。在典型的 IC 封装中, 金属导线架包括至少一没有连接至其相对应接合垫的引脚, 这种引脚称为无金属线型或非连接型引脚。

在图 1 所示的背景技术配置中, IC 封装 115 包括将半导体芯片 101 连接到导线架 103。此导线架 103 包括多个引脚, 此多个引脚包含连接型引脚 105

及非连接型引脚 107。利用焊线 111 将连接型引脚 105 连接到对应的接合垫 113，并且在半导体芯片 101 上形成一部分的集成电路。相反的，在传统设计中，金属导线架 103 的非连接型引脚 107 则没有与半导体芯片 101 相连接。

在场中的处理、安装、测试及使用期间中，连接式引脚及非连接式引脚都同样有可能受到静电放电所影响，即被电流摧毁。当非连接型的其中一引脚受到 ESD 影响时，将导致其邻接且未被电流摧毁的引脚造成 ESD 故障。更特别的是，当无金属线型的引脚受到 ESD 影响时，因耦合效应，此静电放电穿过邻接的连接型引脚到接合垫及其集成电路上，而破坏了集成电路的主动电路元件。

10 在一篇标题为“由于非连接型引脚受到 ESD 应力所造成的新故障机制”的报告中，详细讨论到 ESD 的破坏是由于一邻接引脚被电流摧毁所导致的。此报告为 1994 年，日本的一位松本先生于 EOS/ESD 90-95 专题论集的著作。此报告公开了一件事实，当人体模型(human body model, HBM) 的 ESD 脉冲重复地施加于一 IC 封装上的非连接型引脚时，假如以金属线连接到内部电路，则任两个相邻的引脚将难防 ESD 的破坏。这是因为静电电荷将累积于树脂当中并且环绕着非连接型引脚，导致非连接型引脚与其邻接引脚之间产生大的电位差，而严重地降低邻接引脚的 ESD 抵抗能力。

15 据此，存在一种需求，即降低因非连接型引脚受到静电放电影响而透过于一连接型引脚造成元件破坏的可能性。

20

### 发明内容

为达到上述和其它目的及其用途，本发明提供一种配件，至少包含一具有多个引脚连接到一半导芯片上的封装衬底，每一所述引脚连接至下列元件其中之一：IC 接合垫，形成于该半导体芯片上并且连接到该半导体芯片的集成电路；以及浮动接合垫，形成于该半导体芯片上并且与该半导体芯片的集成电路绝缘。

25 如上所述的配件，其中该浮动接合垫包括用于该集成电路中的至少一金属层的一部分。

如上所述的配件，其中该部分与该相关金属层的其它部分绝缘。

如上所述的配件，其中由多个金属层及该浮动接合垫所形成的该集成电路包括每一所述金属层的非连续部分，每一非连续部分与相对应的金属层绝缘，且所述相对应的非连续部分彼此对准和接触。

如上所述的配件，其中该半导体芯片包括硅衬底。

- 5 如上所述的配件，其中该封装衬底为金属导线架，并且所述多个引脚实质上围绕着该半导体芯片。

如上所述的配件，其中该封装衬底为球格阵列衬底，并且每一所述引脚利用焊线连接至一 IC 接合垫及一浮动接合垫的其中之一。

- 10 如上所述的配件，当人体模型的 ESD 加压至 4 千伏并且施加于所述多个引脚的任一引脚时，其中该配件可抵抗由静电放电所造成的破坏。

本发明还提供一种配件，至少包含一具有多个接点连接到半导体芯片上的封装衬底，并且每一所述接点连接至下列元件其中之一：IC 接合垫，形成于该半导体芯片上并且连接到该半导体芯片的集成电路；以及浮动接合垫，形成于该半导体芯片上并且与该半导体芯片的集成电路绝缘。

- 15 如上所述的配件，其中每一所述接点利用倒装芯片装配技术以连接到 IC 接合垫及浮动接合垫的其中之一，并且还包含焊锡，形成于每一所述接点和该 IC 接合垫的其中之一和浮动接合垫间。

- 20 本发明又提供一配件，至少包含封装衬底，其具有多个接点，并且所述接点连接到包括集成电路的半导体芯片上，所述接点包括多个主动接点，其每一接点与连接到该集成电路的 IC 接合垫相连接，并且至少一虚拟接点与一形成于该半导体芯片上且与该集成电路绝缘的浮动接合垫相连接。

如上所述的配件，其中该封装衬底为 BGA 衬底，并且每一所述主动接点为可用焊线连接到该 IC 接合垫的引脚，以及每一该至少一虚拟接点为可用焊线来连接到该浮动接合垫的虚拟引脚。

- 25 如上所述的配件，其中该封装衬底为倒装芯片，并且每一该主动接点为倒装芯片，以焊接方式连接到该 IC 接合垫的其中之一，且每一该至少一虚拟接点为倒装芯片，以焊接方式连接到该浮动接合垫。

本发明提供一种抑制集成电路封装中的静电放电破坏的方法，至少包含：提供具有多个引脚的封装衬底，所述多个引脚包括至少一非主动引脚；

提供具有集成电路形成于其中的半导体芯片，该集成电路包括多个 IC 接合垫；在该半导体芯片上形成至少一浮动接合垫，每一浮动接合垫与该集成电路绝缘；以及连接该至少一非主动引脚的每一非主动引脚到该至少一浮动接合垫的一浮动接合垫。

- 5 如上所述的方法，还包含进一步连接所述多个引脚的每一其它引脚到所述多个 IC 接合垫的一 IC 接合垫。

如上所述的方法，其中每一该连接方式及该进一步的连接方式包含倒装芯片装配方式。

如上所述的方法，其中该连接方式包含焊线方式。

- 10 如上所述的方法，其中该连接方式包含焊接方式。

如上所述的方法，其中该形成至少一浮动接合垫发生于该半导体芯片上的该集成电路的形成期间中。

如上所述的方法，还包含利用人体模型的 ESD 加压至 4 千伏并且施加于该至少一非连接引脚的至少一引脚上来作测试，并且其中该测试不会破坏到

- 15 该集成电路。

本发明用以抑制集成电路封装中的静电放电破坏的设备及方法，是借由焊线 (wire bonding)或倒装芯片(flip-chip)的接合技术来实现的。

### 附图说明

- 20 为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下：

图 1 是根据背景技术的集成电路封装平面图；

图 2 是根据本发明的示范 IC 封装平面图；

图 3 是本发明的示范浮动接合垫的横向剖面图；

- 25 图 4 是一示范浮动接合垫的平面图，此浮动接合垫有关于本发明的半导体芯片的其它特征；以及

图 5 是本发明的另一示范浮动接合垫的横向剖面图。

图中标号说明：

3：接合垫

5：接触表面



	7: 传导层	9: 传导层
	11: 传导层	7A: 非连续部分
	9A: 非连续部分	11A: 非连续部分
	7B: 其它部分	9B: 其它部分
5	11B: 其它部分	21: 半导体芯片
	23: 接合垫	25: 接合垫
	31: 封装衬底	33: 主动引脚
	35: 虚拟引脚	37: 焊线
	41: 集成电路封装	43: 集成电路
10	101: 半导体芯片	103: 导线架
	105: 连接型引脚	107: 非连接型引脚
	111: 焊线	113: 接合垫
	115: 集成电路封装	

## 15 具体实施方式

本发明直接在一包括集成电路的半导体芯片上提供浮动接合垫。这些浮动接合垫可由形成集成电路元件的相同材料所构成，并且在制造过程期间，用以形成半导体芯片上的集成电路，但此浮动接合垫将与集成电路电性上绝缘。这些集成电路典型地形成在许多的传导材料层上。所述每一浮动接合垫

20 可由一或多个传导层的非连续部分来形成，用以形成集成电路。此非连续部分由相同的传导材料层所形成，同样可用以形成主动集成电路的传导特性，以及利用相同的图案化操作(如光刻)和蚀刻操作予以完成。可使用表面或大马士革的图案化制造过程。本发明也提供形成一集成电路(integrated circuit, IC)封装，使每一 IC 封装引脚不是与集成电路的主动接合垫相连接，就是与

25 一浮动接合垫相连接。

图 2 是本发明的一示范设备的示范配置的平面图。此示范 IC 封装 41 包括一连接到半导体芯片 21 的封装衬底 31。此半导体芯片 21 包括一形成于其上方的集成电路 43。封装衬底 31 可为一导线架，像是金属导线架、球格阵列(ball grid array, BGA)封装、或用以连接半导体芯片 21 至外侧的其它衬底。

封装衬底的每一引脚 33 及 35 都连接到对应的半导体芯片 21 的接合垫 23 及 25。在图 2 的示范配置中，半导体芯片 21 被围绕着并且贴在封装衬底 31 上。其它结构及配置可用于其它示范实施例中。在一示范实施例中，封装衬底 31 可为一由金属所形成的导线架，以及在另一示范实施例中，仅有封装衬底 31 的 33 及 35 引脚可由金属形成，而封装衬底 31 的主体可由其它材料像是陶瓷或塑料所形成。本发明在半导体芯片的接合垫中也采用倒装芯片 (flip-chip) IC 封装，借由直接利用焊料凸块 (solder bumps) 将接合垫连接到封装衬底的对应引脚上。因此，此 IC 封装 41 的连接配置方式仅为一示范例。各种封装衬底可用以形成 IC 封装并且连接 IC 到外侧。

10 仍然参照图 2，封装衬底 31 包括多个引脚。所述多个引脚为多个主动引脚 33 及多个虚拟或无动作引脚 35。每一主动引脚 33 及虚拟引脚 35 利用焊线连接到一形成于半导体芯片 21 上的对应的接合垫。特别的是，每一主动引脚 33 连接到对应的主动接合垫 23，以及每一虚拟引脚 35 连接到对应的浮动接合垫 25。在图 2 的实施例中，每个连接方式可借由焊线 37 及传统技术  
15 来连接。在另一示范实施例中，可使用倒装芯片 (flip-chip) 焊料连结方式并且利用传统技术来完成。在封装衬底 31 的多个 33 及 35 引脚中的位置仅为一示范例。在其它示范实施例中，将可能有较多或较少的虚拟引脚并且可能形成于各种位置当中。此外，封装衬底 31 上的引脚 33 及 35 的配置方式，在其它示范实施例中可以不同。每一浮动接合垫 25 与一形成于半导体芯片 21  
20 上的集成电路 43 电性绝缘。相对的，每一主动接合垫 25 因被连接而在半导体芯片 21 上形成部分的集成电路 43，因此这些主动接合垫 25 也可称为 IC 接合垫。可利用传统方法 (未详细示出) 使集成电路 43 形成于半导体芯片 21 上，集成电路 43 可以内连接方式 (未示于图 2 中) 连接到主动接合垫 23。浮动垫 25 由相同材料所形成，并且在相同的制造过程操作期间，用以形成集  
25 成电路 43 的元件。此将示于图 3 至图 5 中。

图 3 是一示范浮动接合垫的横向剖面图。此浮动接合垫包括接触表面 5，并且由三个传导层 7、9、11 的非连续部分 7A、9A、11A 的堆叠所形成 (传导层 9 示于图 4 中)。在一示范实施例中，每一传导层可为一金属像是铝、铜或其合金。每一非连续部分 7A、9A、11A 可利用传统表面或大马士革的图

案化技术加以形成。利用图案化技术来形成一非连续隔离部分，像是非连续部分 7A，由同样被图案化而形成其它部分 7B 的传导层 7 来形成部分的集成电路，如示于图 2 中的集成电路 43。同样地，其它部分 11B 由相同的传导层 11 所形成，此传导层 11 也包含所形成的接合垫 3 的非连续部分 11A。每一非连续部分 7A、9A、11A 及其它部分 7B、11B 都形成于半导体芯片 21 上，并且浮动接合垫 3 与示于图 2 中的集成电路 43 的主动元件电性绝缘。图 3 的配置仅为示范例，并且在其它示范实施例中，少于三个传导层同样可用以形成浮动接合垫 3。在包括多于三个传导层的其它示范实施例中，浮动接合垫 3 可由一或多个传导层的非连续部分来形成。虽然未示出，这些相同的传导层同样可用以形成集成电路的 IC 接合垫。

图 4 是浮动接合垫 3 与其它部分 7B、9B、11B 电性绝缘的透视图。其它部分 7B、9B、11B 分别由相同的传导层 7、9、11 所形成，图案化这些传导层来形成 7A、9A、11A 并且结合形成浮动接合垫 3。每一浮动接合垫 3 及每一形成于其它部分 7B、9B、11B 的传导元件形成于半导体芯片 21 上，且每一形成于其它部分 7B、9B、11B 的传导元件则在半导体芯片 21 上形成部分的集成电路，如图 2 中的集成电路 43。

图 5 是一示范实施例的横向剖面图，其为一具有上表面 5 并且由个别的传导薄膜的非连续部分 7A、9A、11A 所形成的示范浮动接合垫 3。在图 5 的示范实施例中，非连续部分 7A、9A、11A 其相互间并非能绝对的对准，但仍有物理上及电性上的接触。图案化传导层 7 不但形成非连续部分 7A，而且也形成与非连续部分 7A 电性绝缘的其它部分 7B。同样地，图案化传导层 11 不但形成非连续部分 11A，而且也形成与非连续部分 11A 电性绝缘的其它部分 11B。

其它示范浮动接合垫可用于其它示范实施例中。各种安装及对准浮动接合垫可形成包含一或多个多路传导层的非连续部分，并用以形成集成电路元件。

请再参考到图 2，IC 封装 41 可抵抗 ESD 的破坏。更特别的是，当这些虚拟引脚 35 其中的一引脚，经由人体或场中的其它 ESD 来源或在装配、测试的期间受到 ESD 影响时，IC 封装 41 的集成电路 43 可抵抗 ESD 的破坏。

可以发现，当这些虚拟引脚 35 的任一引脚因受 ESD 影响而被电流摧毁，可借由将 ESD 转移到邻接引脚的方法或其它方法，则集成电路 43 的元件将不会被破坏。当人体模型(human body model, HBM)的 ESD 电压像 4000 V(伏)那么高并且施加于一虚拟引脚 35 时，IC 封装则可抵抗来自 ESD 的破坏。

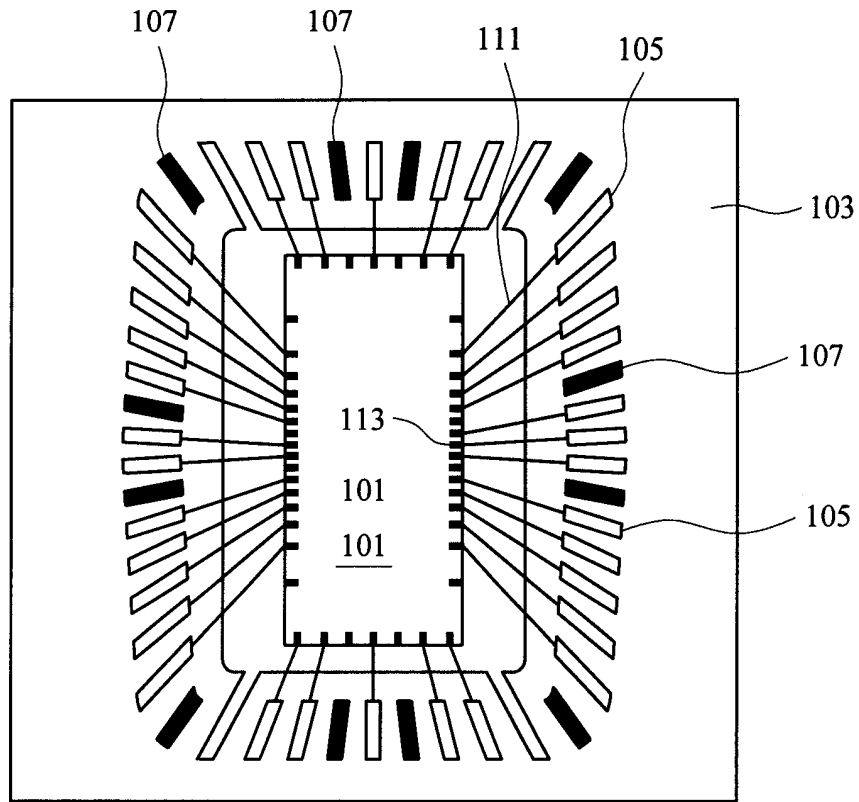
- 5 尽管到此为止的说明都是设备的关联性，本发明也同样针对一种抑制集成电路中的静电放电的方法加以详细说明。本方法包括提供一封装衬底，如前述的导线架及一包含集成电路的半导体芯片。本方法更提供借由形成传导层中的至少一非连续部分，来形成浮动接合垫，此传导层可用来形成集成电路元件的主动传导元件。这些非连续部分较佳地可在半导体元件的形成期间
- 10 中来形成。本方法也提供利用焊线或倒装芯片来连接封装衬底的非主动引脚与半导体芯片的浮动接合垫，此倒装芯片式需利用焊接直接将引脚或导线架的传导部分连接到半导体芯片上对应的接合垫上。封装衬底的主动引脚可连接到集成电路的主动或 IC 接合垫。

- 15 前述仅说明本发明的原理。尽管未明白的说明或在此示出，在不脱离本发明的精神和范围下，仍可借由那些技术中的技巧来设计出各种配置方式来将本发明的原理予以具体化。举例来说，虽然在图 2 中说明一种封装衬底的结合，根据本发明的观点也可采用相似的其它封装衬底，用以形成一 IC 封装并且连接 IC 至外侧。此外，所有列举于此的例子及条件语言主要是想达到教学目的，以及有助于读者能了解本发明的原理和发明人更深一层技术所
- 20 提供的观点，并且这种特别说明的例子及条件可推断为不受限制。此外，所有的说明在此不但陈述了本发明的原理、观点以及实施例，而且还包括其特定范例，想要用以包含结构上及功能上与其均等的事物。同时，此均等物旨在用以包括现在已知的均等物及未来所发展出来的均等物，即所开发的任何元件，即不管结构如何而执行相同的功能。

- 25 此示范实施例的说明旨在使人理解所附图示的关联性，可视为完整说明书的一部分。在说明书中，关系措辞不但有低、高、水平、垂直、上面、下面、上、下、上方以及底部，而且还包括其衍生用语(即水平地、向下地等等)，可参照图中所描述或展示的方位来加以理解。这些关系措辞为了说明上的方便，并不要求将设备建构在特有的定位中。有关“连接”的一些措辞，如连

结以及相互连接可为一种结构上、不是直接就是通过一中间结构间接的彼此黏接或贴附，以及包括可移动或坚固的附着或是除了特别说明以外的关系。

虽然本发明已以一些较佳实施例公开如上，然而其并非用以限定本发明，任何熟习此技术的人，在不脱离本发明的精神和范围内，可以作各种的更动与润饰，因此本发明的保护范围应视后附权利要求所界定的范围为准。



115 ↗

图1

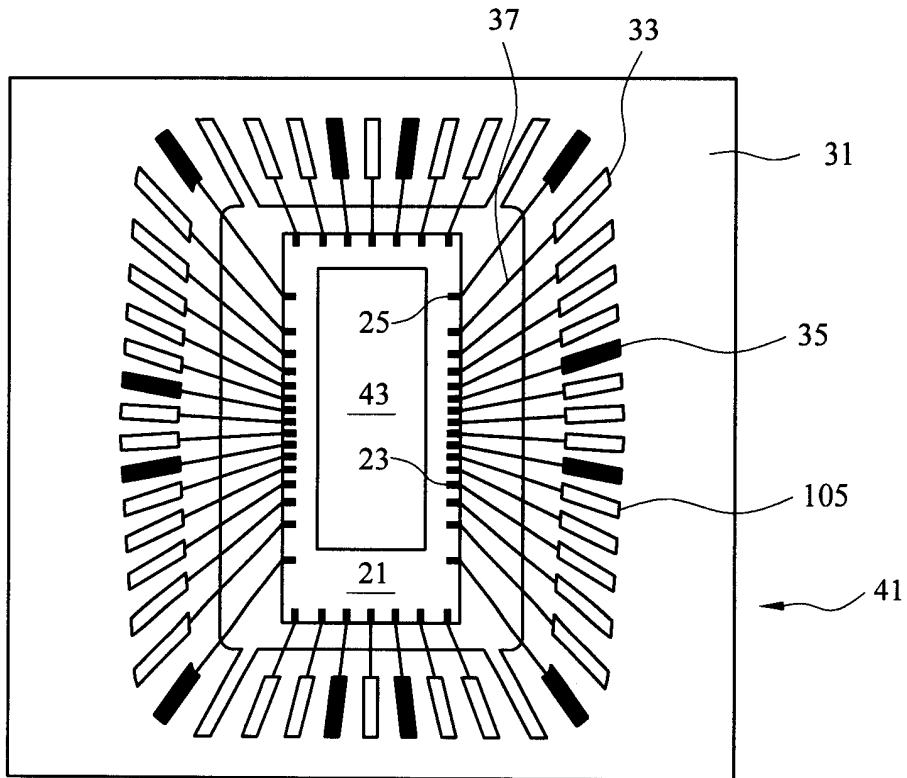


图2

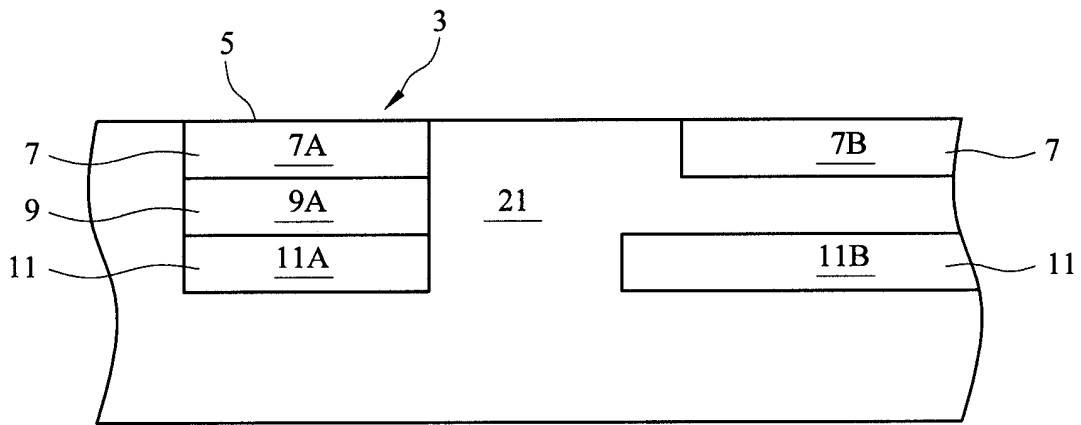


图3

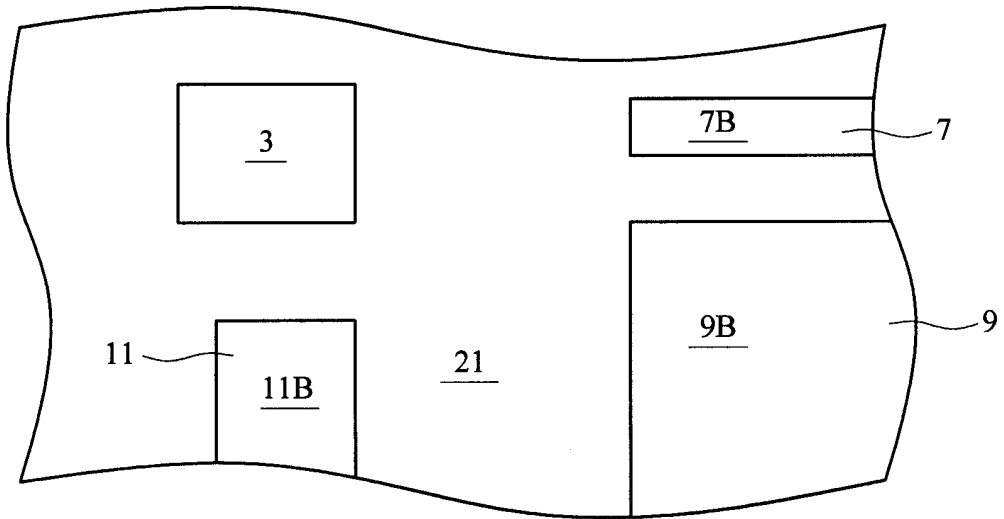


图4

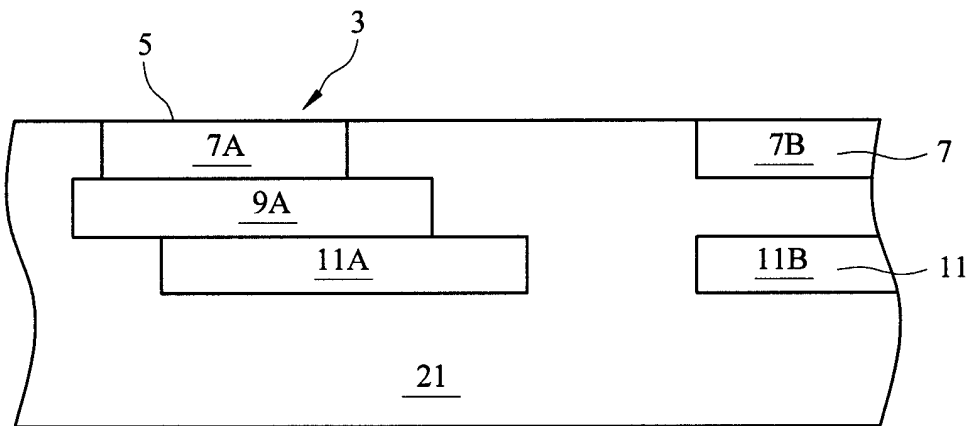


图5