

公告本

399203

399203

申請日期	87. 6. 17
案 號	87109634
類 別	911C "34

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有用於放大位元線電荷之電荷放大器之半導體裝置
	英 文	A Semiconductor Device Having a Electric Charge Amplifier for Amplifying Bit Line Electric Charge
二、發明 創作人	姓 名	徐 禎 源
	國 籍	韓 國
	住、居所	韓國京畿道利川市夫鉢邑牙美里山136之1
三、申請人	姓 名 (名稱)	現代電子產業股份有限公司
	國 籍	韓 國
	住、居所 (事務所)	韓國京畿道利川市夫鉢邑牙美里山136之1
	代 表 人 名 姓 名	鄭 東 洙

裝

訂

線

經濟部中央標準局員工消費合作社印製

399203

A6
B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

韓國(地區) 申請專利，申請日期 1997.06.20 案號 KR 97-26187，有 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之背景

發明領域

本發明一般相關於一種動態隨機存取記憶體(DRAM)，其係於一個低電源供應電壓操作。更特殊的是，其相關於一個位元線感測放大器，用以放大一個電荷，其在感測位元線感測放大器裡之單元電荷以前先放大施加到一個位元線一個單元電荷，以充分之電位差，因此可以穩定且快速地執行一個感測的操作。

相關技術之描述

一般來說，當動態隨機存取記憶體(DRAM)的整合度提高，內在電源供應電壓即變低來減少電能消耗並保證記憶元件的可靠度。下面表格中列出使用於每一個動態隨機存取記憶體(DRAM)整合中電源供應電壓之趨勢。

動態隨機存取 記憶體整合度	64 百萬位元	256 百萬位元	10 億位元	40 億位元以上
電源供應電壓	3.3 伏特	2.5 伏特	1.5 伏特	1.2 伏特以下

因此，爲了使用一個低電源供應電壓並且減少晶片尺寸，在新的動態隨機存取記憶體中連接到位元線之記憶元數目增加了。於是當單元電荷被傳送到位元線時所產生之位元線信號電壓變低了。

五、發明說明(1)

發明之背景

發明領域

本發明一般相關於一種動態隨機存取記憶體(DRAM)，其係於一個低電源供應電壓操作。更特殊的是，其相關於一個位元線感測放大器，用以放大一個電荷，其在感測位元線感測放大器裡之單元電荷以前先放大施加到一個位元線一個單元電荷，以充分之電位差，因此可以穩定且快速地執行一個感測的操作。

相關技術之描述

一般來說，當動態隨機存取記憶體(DRAM)的整合度提高，內在電源供應電壓即變低來減少電能消耗並保證記憶元件的可靠度。下面表格中列出使用於每一個動態隨機存取記憶體(DRAM)整合中電源供應電壓之趨勢。

動態隨機存取 記憶體整合度	64 百萬位元	256 百萬位元	10 億位元	40 億位元以上
電源供應電壓	3.3 伏特	2.5 伏特	1.5 伏特	1.2 伏特以下

因此，爲了使用一個低電源供應電壓並且減少晶片尺寸，在新的動態隨機存取記憶體中連接到位元線之記憶元數目增加了。於是當單元電荷被傳送到位元線時所產生之位元線信號電壓變低了。

五、發明說明(一)

即使傳統動態隨機存取記憶體之位元線信號範圍自 200 毫伏特到 300 毫伏特，在 10 億位元動態隨機存取記憶體的位元線信號減少約 100 毫伏特左右。假若位元線信號太低，穩定操作將無法藉由感測放大器之補償電壓所確保。同時高速操作將受限制。

在本發明裡，被儲存在記憶元電容裡的電荷被傳送到一條位元線以致於一個電荷放大器中產生一個位元線信號，同時在放大此位元線信號後一個感測放大器可以被操作。因此本發明相對於一個適用於低電壓操作記憶體之位元線感測放大器。

動態隨機存取記憶體(DRAM)使用單一電晶體與單一電容為單元，位元線信號 (ΔVBL) 可以由下面的式子獲得：

$$\text{假設： } VBLP = V_{dd} / 2$$

$$\beta = CBL / CS \quad (\text{電容比})$$

$$\Delta VBL = V_{dd} / 2 \times (1 / (1 + \beta))$$

從以上的式子得知，位元線信號可由電源供應電壓 V_{dd} 與電容比 β 決定。於是，因為電源供應電壓 V_{dd} 於低電壓之動態隨機存取記憶體中為一個低值，電容比 β 應被降低以維持原先位元線信號的大小。

假如連接到位元線之單元數目維持隨著動態隨機存取記憶體整合度上升而增加，單元電容 CS 在無電荷情況下介於 20—25f 法拉，同時位元線電容 CBL 亦相對減少。因此，位元線信號的大小被維持。

然而，為了減少高整合動態隨機存取記憶體(DRAM)的

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明()

晶片大小，連接到位元線的記憶體數目必須增加，以致於當電源供應電壓大小下降時，位元線信號也變低。

假如位元線信號太低，就很難以位元線感測放大器之補償電壓完成穩定之感測操作。更甚的是，感測速度也減低了。

圖一為傳統位元線感測放大器之電路示意圖。假若儲存在單元電容 CS 裡之電荷以使字元線 WLi ($1 \leq i \leq n$) 致動方式而施加到位元線，則位元線信號 ΔVBL 之電壓差於位元線 BL 及 \bar{BL} 之間發生。在一預先決定之時間後，信號 SAP 將達到電壓 V_{dd} ，與信號 SAN 達到電壓 V_{ss} ，以致使感測與重寫之操作被執行。在預先充電操作情形中，位元線等化信號 BLEQ 被驅動，因此位元線以一個位元線預先充電電壓 $VBLP$ 被預先充電。因為傳統位元線感測放大器感測一位元線信號，在低位元線信號範圍裡可能發生故障。

本發明之概要

本發明係針對一種位元線感測放大器，用以放大電荷，其大體上排除上述因為相關技術的缺點與限制所造成之問題。

本發明之一個目的在於提供一種位元線感測放大器，在感測於一位元線感測放大器記憶元電荷之前先放大施加至一位元線之記憶元電荷到具充分電位差而用以放大電荷，因此可以穩定與快速地執行感測操作。

為了實現上述目的，提供一個半導體記憶裝置，其具

五、發明說明(4)

有複數個記憶元之一單元陣列方塊、與一個位元線感測放大器，其用以感測與放大被傳送到真實位元線或互補位元線之一單元電荷，位元線感測放大器放大被傳送到真實位元線與互補位元線之單元電荷以充分電位差而放大電荷，將此被放大之單元電荷傳送到位元線感測放大器。

更甚的是，在具有複數個記憶元之單元陣列方塊與一位元線感測放大器之半導體記憶裝置中，該位元線感測放大器係用以感測與放大被傳送到真實位元線或互補位元線之單元電荷，用以放大一個電荷之位元線感測放大器包括：

一個電荷放大器，其以充分電位能差放大被傳送到真實位元線與互補位元線之單元電荷，然後將此被放大之單元電荷傳送到位元線感測放大器；以及

一個切換元件，被連接到介於單元陣列方塊與電荷放大器之間之真實位元線與互補位元線，且切換介在單元陣列方塊與電荷放大器之間的連接。

附圖之簡略說明

圖一為傳統位元線感測放大器之電路示意圖；

圖二 A 為根據本發明之電荷放大器之概念示意圖；

圖二 B 為根據本發明之電荷放大器操作之波形示意圖；

圖三 A 為根據本發明之第一較佳實施例放大電荷之位元線感測放大器電路示意圖；

圖三 B 為根據本發明之第二較佳實施例放大電荷之位

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

元線感測放大器電路示意圖；

圖三 C 為根據本發明之第三較佳實施例放大電荷之位元線感測放大器電路示意圖；

圖四為根據本發明應用到圖三 A 到三 C 之時序圖；

圖五 A 為根據本發明之第四較佳實施例放大電荷之位元線感測放大器電路示意圖；

圖五 B 為根據本發明之第五較佳實施例放大電荷之位元線感測放大器電路示意圖；

圖五 C 為根據本發明之第六較佳實施例放大電荷之位元線感測放大器電路示意圖；

圖六為根據本發明應用到圖五 A 到五 C 之時序圖；及

圖七顯示根據本發明放大電荷之位元線感測放大器陣列結構。

較佳實施例之細節說明

現將參考本發明詳細之較佳實施例，其中的範例在伴隨之附圖中展列。

以下之簡稱被使用在本發明之圖式中。

M1、M2、M3 與 M4：金氧半電晶體，作成一電荷放大器；

CX：電容，作成一電荷放大器；

MX：金氧半電晶體，作成一電容；

CS：單元電容；

VBLP：位元線預充電荷電壓；

VCP：單元電容 CS 之平板電壓；

五、發明說明(b)

BLSA：位元線感測放大器；

BL 與 / BL：位元線；

CBL：單元電容 CS 之總電容；

SB 與 / SB：在位元線以切換開關分開情形下位元線感測放大器的兩個節點；

CSB：位元線感測放大器的兩個節點 SB 與 / SB 之電容；

WL：字元線 (WL1、WL2、...、WLn-1、WLn)；

Yj：共行解碼器之輸出，其選擇一個感測放大器並將它連接到資料匯流排；

BLEQ：位元線等化信號，其將位元線預充電到 VBLP 電壓準位；

SAN：N 型通道金氧半裝置門之源極節點，作成位元線感測放大器，由 VBLP 改變到 Vss，因此操作 N 型通道金氧半裝置門；

SAP：P 型通道金氧半裝置門之源極節點，作成位元線感測放大器，由 VBLP 改變到 Vss，因此操作 P 型通道金氧半裝置之門；

BLS：控制位元線切換開關 M3 與 M4 之信號；

QX：與金氧半電晶體 M1 與 M2 之源極節點 A (或 A1，A2) 耦合而成一個電荷放大器之電容 CX (或 MX) 平板信號。

圖二 A 為根據本發明電荷放大器之概念示意圖。

如圖二所示，有一個電荷放大器介於單元陣列與位元

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(7)

線感測放大器之間，此位元線感測放大器放大由一個單元電荷傳送到位元線所產生之位元線信號 ΔVBL 。電荷放大器由兩個電晶體 M1、M2 與一個電容 CX 所組成。電晶體 M1、M2 為交錯耦合栓鎖結構，共同源極節點 A 完成電板信號 QX 與電容 CX 之耦合。

假使儲存在單元電容 CS 之電荷藉著使字元線 WLi 驅動傳送到位元線 BL 則位元線原先預充電值“VBLP”將改變成“VBLP + ΔVBL ”。

同時，在節點 A 之下為一交錯耦合栓鎖以預先決定電壓介於“VBLP”與“Vss”以預充電狀態被預充電之共源極節點，假使位元線電壓改變至“VBLP + ΔVBL ”而高狀態 Vdd 的信號 QX 被改變到低信號 Vss，被電容 CX 耦合之節點 A 電壓掉下。結果，因為電晶體 M2 形成一個交錯耦合栓鎖首先被開啓，介於位元線 / BL 與節點 A 之間的電荷共用現象發生。因此可以放大位元線信號 ΔVBL 。假如位元線信號 ΔVBL 為一個負值(-)，則電晶體 M1 首先被開啓，以致於電荷共用現象在位元線 BL 與節點 A 之間發生。

圖二 B 為根據本發明之電荷放大器操作之波形示意圖。如圖二 B 所示，當節點 A 的電壓藉由節點 A 與信號 QX 之間的耦合減少，在節點 A 與位元線 / BL 之間發生電荷共用而位元線信號 ΔVBL 被放大成一個信號 $m\Delta VBL$ ($m > 1$)。

圖三 A 為根據本發明第一較佳實施例放大電荷之位元

五、發明說明(8)

線感測放大器的電路示意圖。

圖三 A 中之電路包含：

第一電晶體 M2，放於真實位元線 BL 與互補位元線 / BL 之間，其中每一個汲極、閘極與源極被連接到互補位元線 / BL、真實位元線 BL 與節點 A；

第二電晶體 M1，放於真實位元線 BL 與互補位元線 / BL 之間，其中每一個汲極、閘極與源極被連接到真實位元線 BL、互補位元線 / BL 與節點 A；及

一電容器 CX，在節點 A 與控制信號之間被耦合。

第一及第二電晶體 M2、M1 為 N 型通道金氧半電晶體。電容 CX 具有與單元電容相同結構，並且與單元電容同時形成。

控制信號自一個建立電壓 V_{pp} 使字元線驅動改變到電源供應電壓 V_{dd} ，因此放大了電荷。

根據本發明所述之第一較佳實施例中，電荷放大器 21 介於單元陣列 11 與位元線感測放大器 12 之間。電荷放大器 21 的電容 CX 與單元電容 CS 同時形成。

圖三 B 為根據本發明之第二較佳實施例放大電荷之位元線感測放大器的電路示意圖，一個金氧半電晶體 MX 之閘極電容取代了第一較佳實施例的電容 CX，因為此電容由金氧半電晶體製成，對於圖三 B 中電路的製造沒有困難。

圖三 C 為根據本發明之第三較佳實施例放大電荷之位元線感測放大器的電路示意圖。如圖三 C 中所示，此電路包含：

(請先閱讀背面之注意事項再填寫本頁)

長

訂

線

五、發明說明(9)

N 型通道金氧半電晶體 M2，放於真實位元線 BL 與互補位元線 /BL 之間，其中每一個汲極、閘極與源極被連接到互補位元線 /BL、真實位元線 BL 與節點 A2；

N 型通道金氧半電晶體 M1，放於真實位元線 BL 與互補位元線 /BL 之間，其中每一個汲極、閘極與源極被連接到真實位元線 BL、互補位元線 /BL 與節點 A1；及

一個 N 型通道金氧半電晶體 MX，其中每一個汲極、閘極與源極被連接到節點 A1、控制信號與節點 A2。

N 型通道金氧半電晶體 MX 的連接組成與圖三 B 不同電荷放大器 21 的電容。電晶體 M1、M2 的源極節點與電晶體 MX 的源極與汲極共用，因此減少了佈局的面積。

圖四為根據本發明應用到圖三 A 至三 C 之時序示意圖。參考圖四，假若字元線在位元線信號 BL 與 /BL 以位元線等化信號 BLEQ 預充電 'Vpp'，則位元線信號 BL 的電壓以單元電荷改變到如 ΔVBL 之多。

那麼，假使信號 QX 從 'Vss' 改變到 'Vdd'，一個電荷共用現象在位元線 /BL 與節點 A 之間發生，以致於位元線信號被放大到 $m\Delta VBL$ ，當信號 SAP 與 SAN 每一者被驅動到 'Vdd' 與 'Vss'，藉由位元線感測放大器之被放大位元線信號可執行感測與重寫操作。

如圖三 B 與三 C 所示，因為金氧半電容 MX 總是開啓著以達到節點 A 與信號 QX 之間的耦合，信號 QX 應從 'Vpp' 改變成 'Vdd' (或自 'Vdd' 到 'VBLP')。

圖五 A 為根據本發明第五較佳實施例放大電荷之位元

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(10)

線感測放大器的電路示意圖。

如圖五 A 所示，和圖三 A 到三 C 比較，有兩個位元線開關 M3，M4 介於單元陣列方塊 11 與電荷放大器 31 之間。當操作電荷放大器 31 時，在位元線與節點 A 之間的電荷共用現象發生，以致於電荷放大作用變得隨著位元線電容降低而增強。因此位元線信號 ΔV_{BL} 以單元電荷產生而電荷放大器 31 之後在位元線開關關閉之後被啟動，而一個電荷共用現象在信號 / SB 與節點 A 之間發生。此電荷共用現象對位元線信號之電荷放大作用是有效的，因為 $C / SB < C / BL$ 。電容 CX 可如同圖三 A 中單元電容 CS 一樣被製成。

圖五 B 為根據本發明第五較佳實施例放大電荷之位元線感測放大器的電路示意圖。如圖五 B 所示，一個以金氧半電晶體 MX's 閘極電容取代電荷放大器 31 的電容 CX。因為此電容是由金氧半電晶體製成，其製作可以輕易地被具體化而無任何困難。

圖五 C 為根據本發明第六較佳實施例放大電荷之位元線感測放大器的電路示意圖。金氧半電晶體 MX 之耦合結構造成不同於圖五 B 中電荷放大器 31 的電容 CX。電晶體 M1、M2 的源極節點與金氧半電晶體 MX 的源極與汲極共享，因此減少佈局面積。

圖六為根據本發明應用到圖五 A 到五 C 的時序圖。如果字元線被驅動到建立電壓 'Vpp' 而位元線 BL 及 / BL 以一個位元線等化信號 BLEQs 預充電到 'VBLP'，位元線 BL

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (11)

的電壓被改變了 ΔVBL 之多。

然後位元線開關 M3、M4 以信號 BLS 開關與信號 QX 自 'Vdd' 改變到 'Vss'，在信號 /SB 與節點 A 之間發生電荷共用現象，以致使位元線信號放大到 $m\Delta VBL$ ($m > 1$)。此被放大的位元線信號由位元線感測放大器當信號 SAP 與 SAN 每一個驅動成 'Vdd' 與 'Vss' 而被感測。之後位元線開關 M3，M4 以信號 BLS 開啓以致使重寫操作能在單元中執行。

如圖五 B 與五 C 所示，因為金氧半電晶體 MX 總是開啓來達成節點 A 與信號 QX 之間的耦合，信號 QX 應自 'Vpp' 改變到 'Vdd' (或自 'Vdd' 改變到 'VBLP')。

圖七為根據本發明所述放大電荷之位元線感測放大器的陣列結構。如圖七所示，電荷放大器與圖五 C 之結構相同。信號 BLS 與信號 QX 在感測放大器陣列被共用，而電荷放大器 31 與感測放大器陣列同時被操作。剩餘的部分可用與傳統位元線放大器 (BLSA) 陣列相同方式製成。更特別的是，為了減少電晶體之間不匹配所造成的影響，電荷放大器 31 需要小心地注意其佈局與製造過程的尺寸。

如上所述，根據本發明放大電荷之位元線感測放大器先在感測位元線感測放大器的單元電荷以足夠之電位差放大一個應到位元線之單元電荷，因此在低電源供應電壓時能穩定且快速執行感測操作。此外連接到位元線之單元數目可在本發明中增加，因此減少晶片大小。

可以了解其它不同之修正將明顯且不需偏離發明範疇

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明 (1>)

與精神地被熟悉此技術領域的工作者所作成。於是，不欲將附加之專利申請範圍受限於以上所述者，而申請專利範圍係構成以涵蓋存在於本發明之專利新穎處所有特點，包含所有被視為與本發明相關技術相等之特點。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

四、中文發明摘要 (發明之名稱:)

具有用於放大位元線電荷之電荷放大器之半導體裝置

在低電源供應電壓操作之動態隨機存取記憶體 (DRAM) 中，一用以放大電荷之位元線感測放大器首先在感測存於位元線感測放大器之單元電荷前以足夠電位差放大施加到位元線之單元電荷，因此可以穩定且迅速執行感測操作。一半導體記憶裝置中，其具有複數個記憶元之一單元陣列方塊、以及用以感測且放大傳送至一真實位元線或一互補位元線之一單元電荷的一位元線感測放大器，該用以放大電荷之位元線感測放大器包含：一個電荷放大器，以足夠之電位差放大被傳送到真實位元線以及互補位元線之單元

英文發明摘要 (發明之名稱: A Semiconductor Device Having a Electric Charge Amplifier for Amplifying Bit Line Electric Charge

In a dynamic random access memory (DRAM) being operated at a low power-supply voltage, a bit line sense-amplifier for amplifying the electric charge first amplifies a cell charge applied to a bit line with a sufficient potential difference, prior to sensing the cell charge in a bit line sense-amplifier, thereby stably and quickly performing a sensing operation. In a semiconductor memory device having a cell array block having a plurality of memory cells, and a bit line sense-amplifier for sensing and amplifying a cell charge transmitted to a true bit line or a complement bit line, a bit line sense-amplifier for amplifying the electric charge includes: an electric charge amplifier which amplifies the cell charge transmitted to the true bit line and the complement bit line with a sufficient potential difference, and then transmits the amplified cell charge to the bit line sense-amplifier; and a

四、中文發明摘要(發明之名稱:)

電荷，之後傳送被放大之單元電荷到位元線感測放大器；
及一個切換元件，被連接到介於單元陣列方塊與電荷放大器
之間的真實位元線以及互補位元線，並且切換介於單元
陣列方塊與電荷放大器之間的連接。

英文發明摘要(發明之名稱:)

switching element which is connected to the true bit line and the
complement bit line between the cell array block and the electric
charge amplifier, and switches a connection between the cell array
block and the electric charge amplifier.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體記憶裝置，其具有複數個記憶元之一單元陣列方塊、與一位元線感測放大器，其用以感測與放大被傳送到真實位元線與互補位元線之單元電荷，該種裝置更進一步包含：

一個電荷放大器，以充分電位差放大被傳送到真實位元線與互補位元線之單元電荷，然後將被放大之單元電荷傳送到位元線感測放大器。

2. 根據申請專利範圍第 1 項所述之半導體記憶裝置，更進一步包含：

一個切換元件，被連接到於單元陣列方塊與電荷放大器之間的一真實位元線與互補位元線，並且切換單元陣列方塊與電荷放大器之間的連接。

3. 根據申請專利範圍第 2 項所述之半導體記憶裝置，其中切換元件是以一個 N 型通道金氧半 (NMOS) 電晶體製成。

4. 根據申請專利範圍第 1 項所述之半導體記憶裝置，其中該用以放大電荷之位元線感測放大器包括：

一第一電晶體，放於真實位元線 BL 以及互補位元線之間，其每一汲極、閘極與源極被連接到互補位元線、真實位元線與第一節點；

一第二電晶體，放於真實位元線以及互補位元線之間，其每一汲極、閘極與源極被連接到真實位元線，互補位元線與第一節點；及

一電容器，係耦接在第一節點與一控制信號之間。

六、申請專利範圍

1. 一種半導體記憶裝置，其具有複數個記憶元之一單元陣列方塊、與一位元線感測放大器，其用以感測與放大被傳送到真實位元線與互補位元線之單元電荷，該種裝置更進一步包含：

一個電荷放大器，以充分電位差放大被傳送到真實位元線與互補位元線之單元電荷，然後將被放大之單元電荷傳送到位元線感測放大器。

2. 根據申請專利範圍第 1 項所述之半導體記憶裝置，更進一步包含：

一個切換元件，被連接到於單元陣列方塊與電荷放大器之間的一真實位元線與互補位元線，並且切換單元陣列方塊與電荷放大器之間的連接。

3. 根據申請專利範圍第 2 項所述之半導體記憶裝置，其中切換元件是以一個 N 型通道金氧半 (NMOS) 電晶體製成。

4. 根據申請專利範圍第 1 項所述之半導體記憶裝置，其中該用以放大電荷之位元線感測放大器包括：

一第一電晶體，放於真實位元線 BL 以及互補位元線之間，其每一汲極、閘極與源極被連接到互補位元線、真實位元線與第一節點；

一第二電晶體，放於真實位元線以及互補位元線之間，其每一汲極、閘極與源極被連接到真實位元線，互補位元線與第一節點；及

一電容器，係耦接在第一節點與一控制信號之間。

六、申請專利範圍

5. 根據申請專利範圍第 4 項所述之半導體記憶裝置，其中第一電晶體與第二電晶體是以一個 N 型通道金氧半（NMOS）電晶體製成。

6. 根據申請專利範圍第 4 項所述之半導體記憶裝置，其中該電容器具有與一單元電容器之相同結構並且與單元電容器同時被製成。

7. 根據申請專利範圍第 4 項所述之半導體記憶裝置，其中該控制信號自驅動字元線之一個建立電壓改變到一個電源電壓，因此執行一個電荷放大操作。

8. 根據申請專利範圍第 1 項所述之半導體記憶裝置，其中該用以放大電荷之位元線感測放大器包括：

一第一電晶體，放於真實位元線以及互補位元線之間，其每一汲極、閘極與源極被連接到互補位元線、真實位元線與第一節點；

一第二電晶體，放於真實位元線以及互補位元線之間，其每一汲極、閘極與源極被連接到真實位元線、互補位元線與第一節點；及

一第三電晶體，每一汲極、閘極與源極被連接到第一節點、控制信號與第一節點。

9. 根據申請專利範圍第 8 項所述之半導體記憶裝置，其中第一到第三電晶體是以 N 型通道金氧半（NMOS）電晶體製成。

10. 根據申請專利範圍第 8 項所述之半導體記憶裝置，其中該控制信號自驅動字元線之一個建立電壓改變到一

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

六、申請專利範圍

個電源電壓，因此執行一個電荷放大操作。

11. 根據申請專利範圍第 1 項所述之半導體記憶裝置，其中該用以放大電荷之位元線感測放大器包括：

一第一電晶體，放於真實位元線以及互補位元線之間，其每一汲極、閘極與源極被連接到互補位元線、真實位元線與第一節點；

一第二電晶體，放於真實位元線以及互補位元線之間，其每一汲極、閘極與源極被連接到真實位元線、互補位元線與第二節點；及

一第三電晶體，每一汲極，閘極與源極被連接到第二節點、控制信號與第一節點。

12. 根據申請專利範圍第 1 1 項所述之半導體記憶裝置，其中第一到第三電晶體是以 N 型通道金氧半 (NMOS) 電晶體製成的。

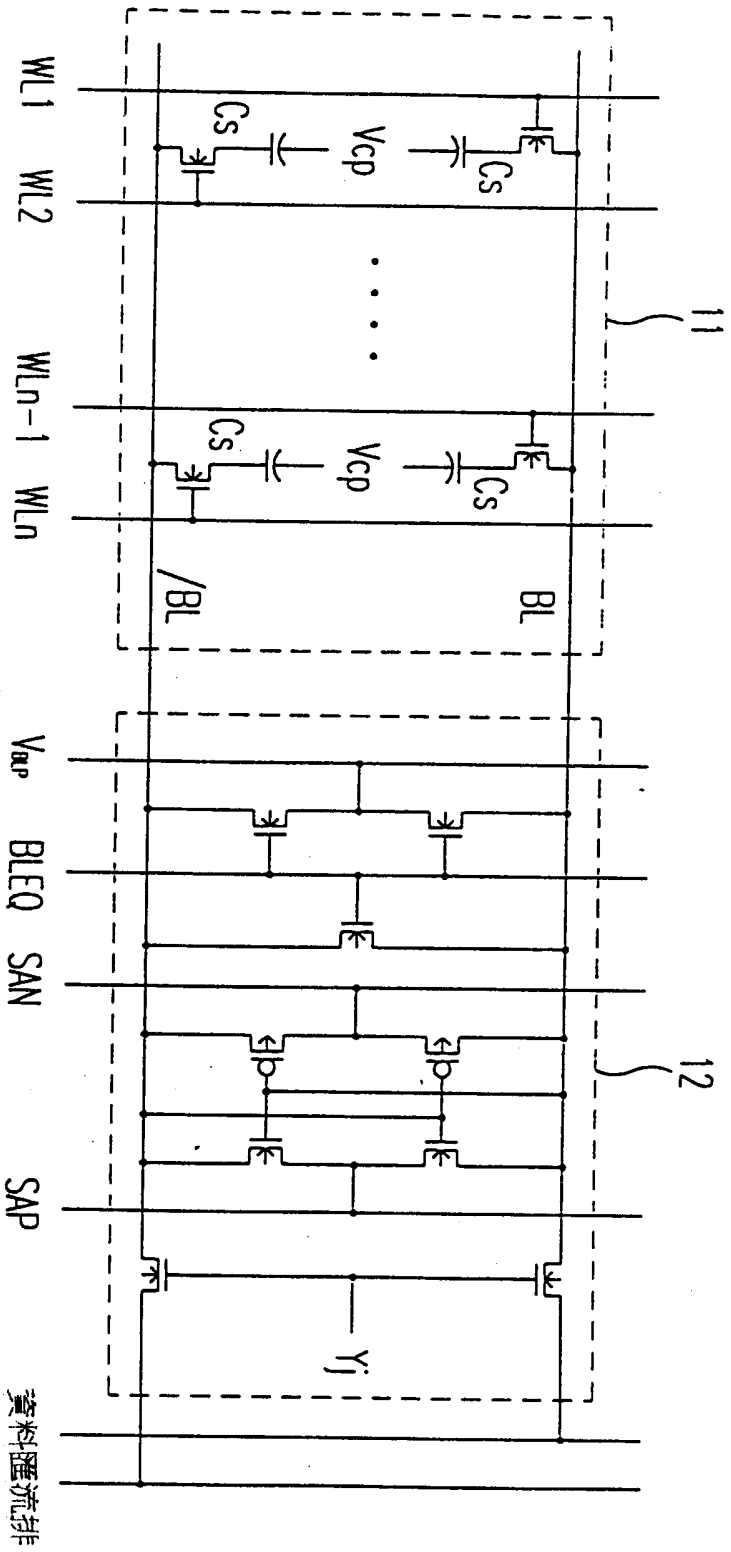
13. 根據申請專利範圍第 1 1 項所述之半導體記憶裝置，其中控制信號自驅動字元線之一個建立電壓改變到一個電源電壓，因此執行一個電荷放大操作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

修正
補充
年11月9日



圖一

資料匯流排

修正
 補充
 年11月9日

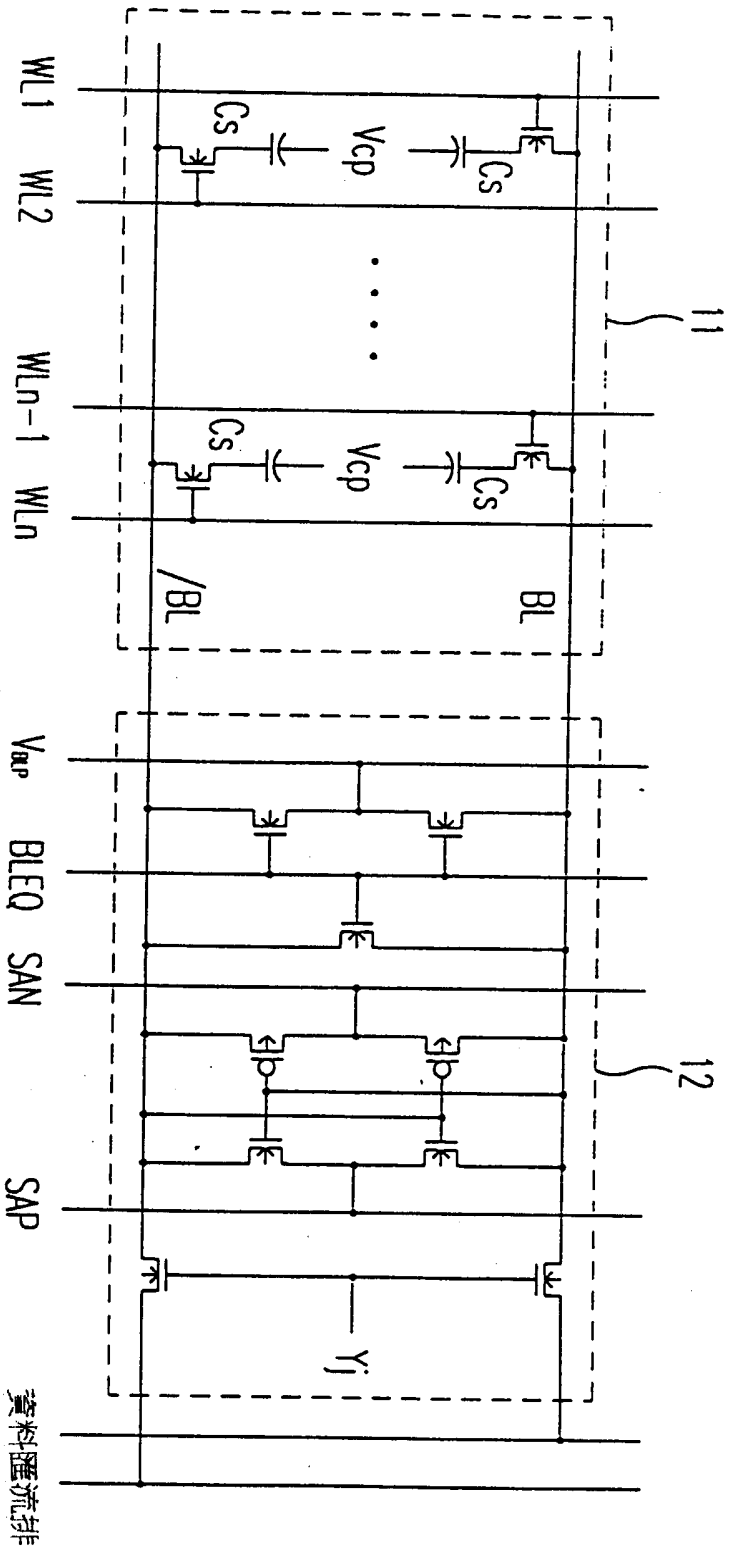


圖 一

資料匯流排

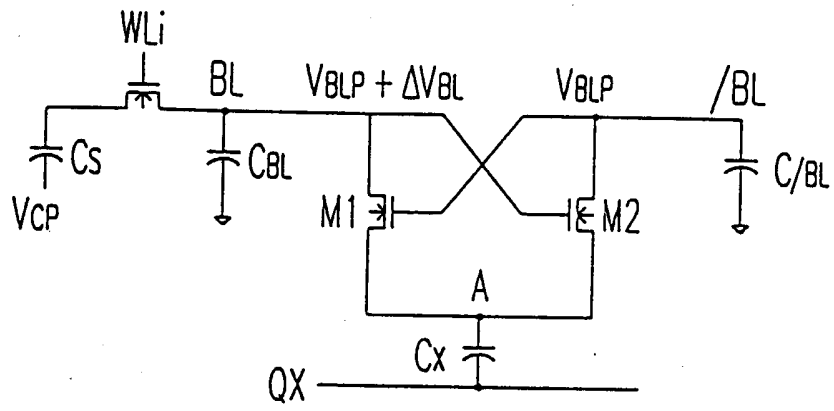


圖 = a

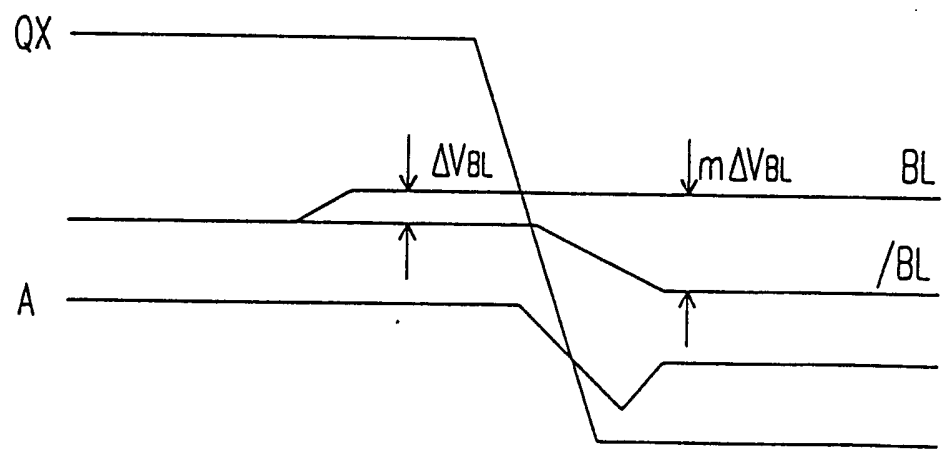


圖 = b

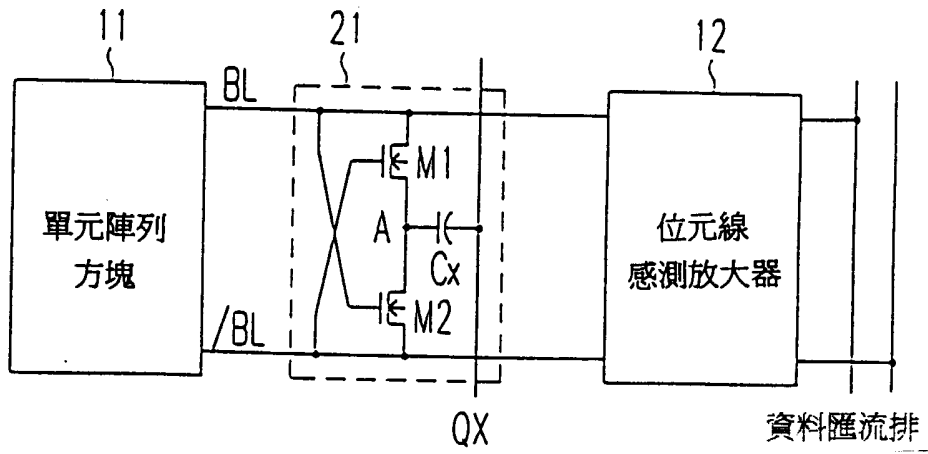


圖 三 a

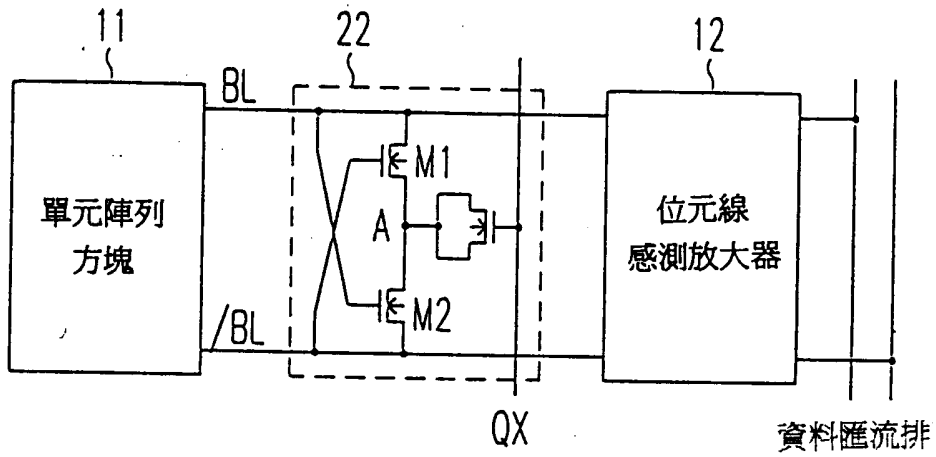


圖 三 b

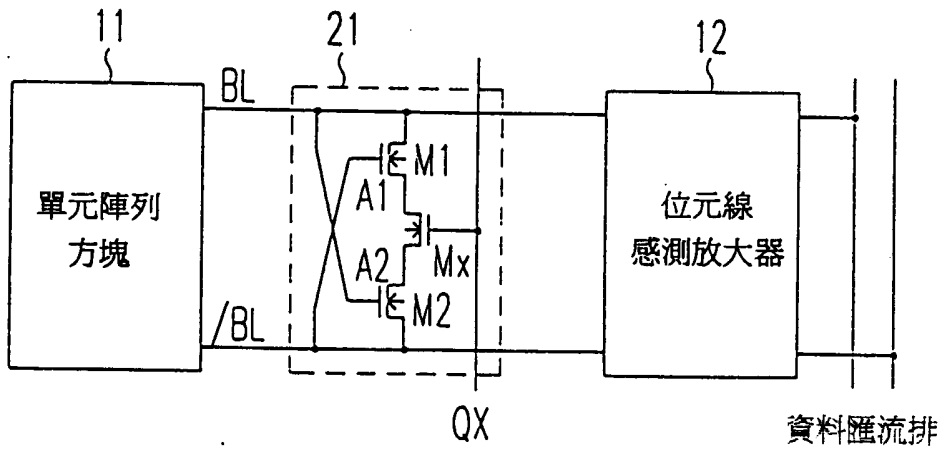


圖 三 c

399203

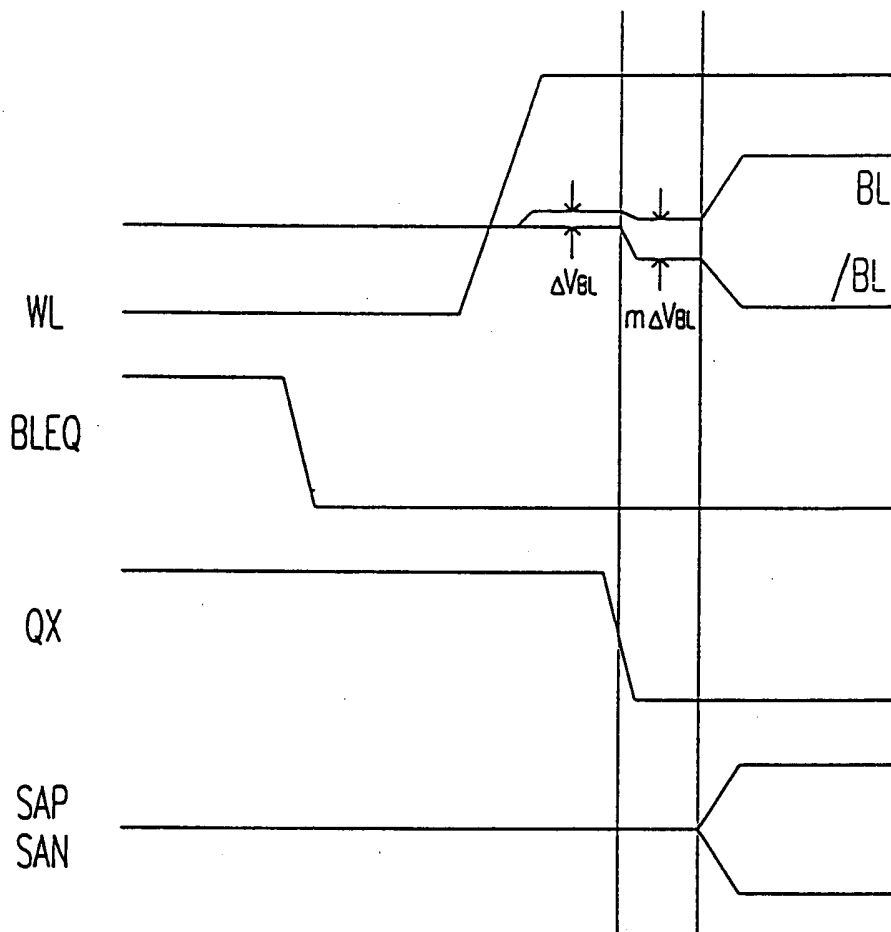


圖 四

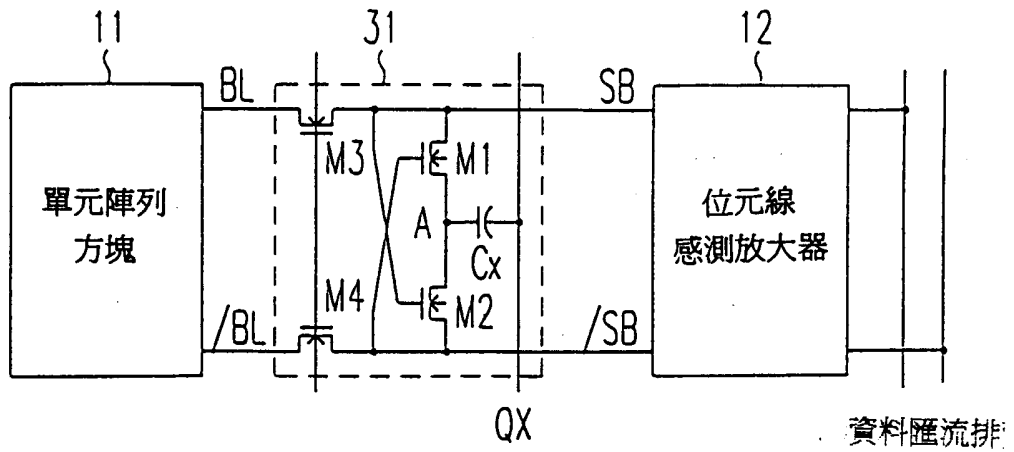


圖 五 a

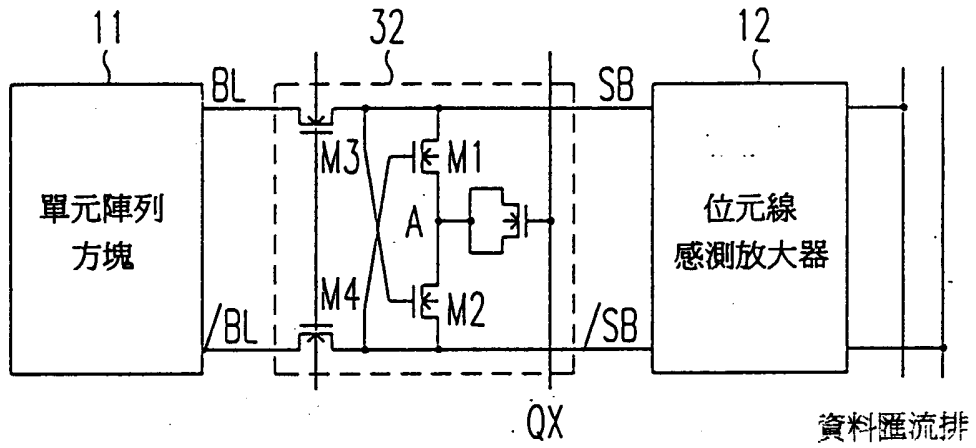


圖 五 b

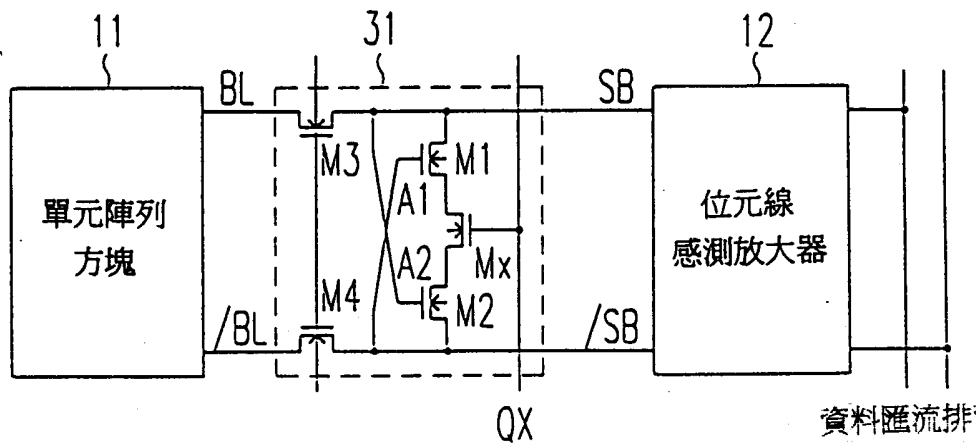


圖 五 c

399203

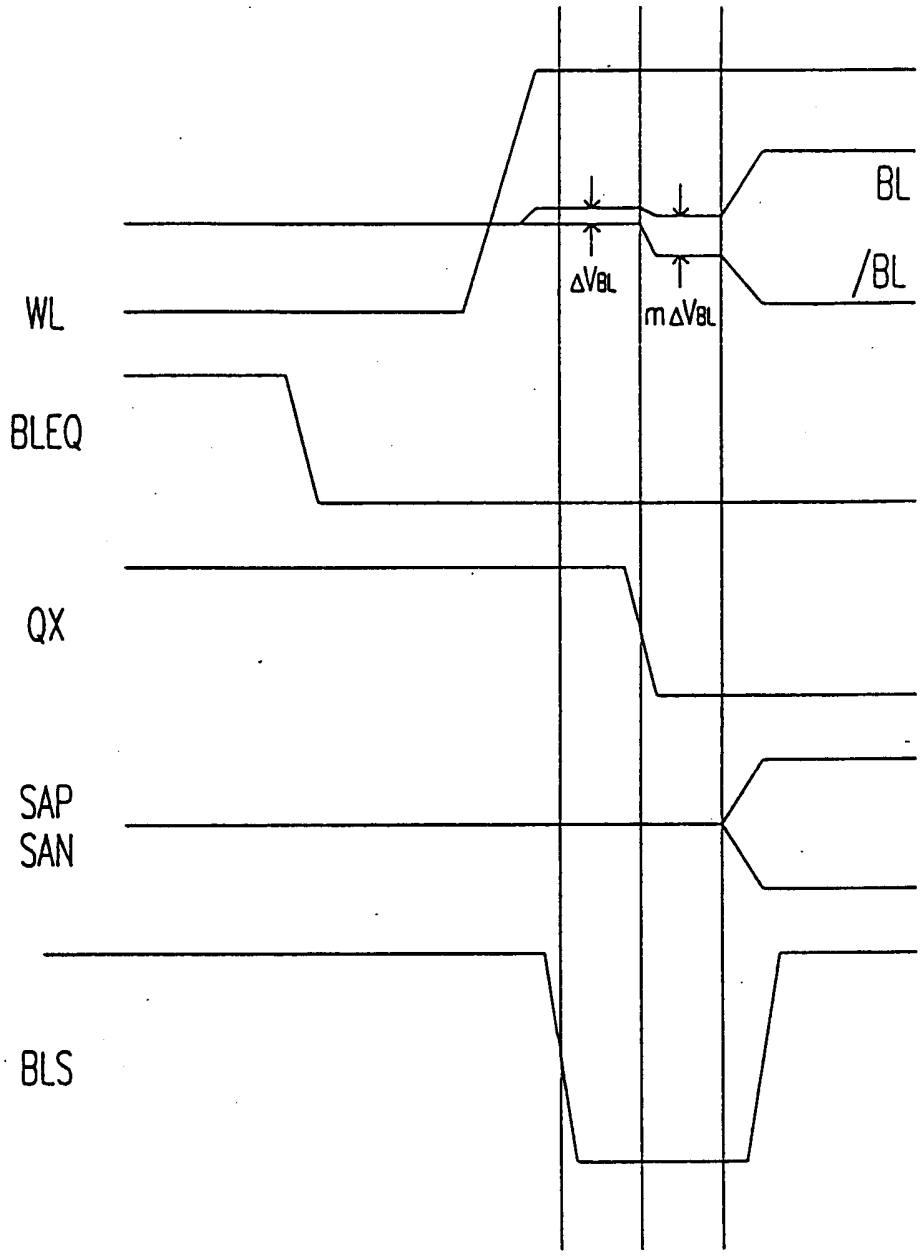
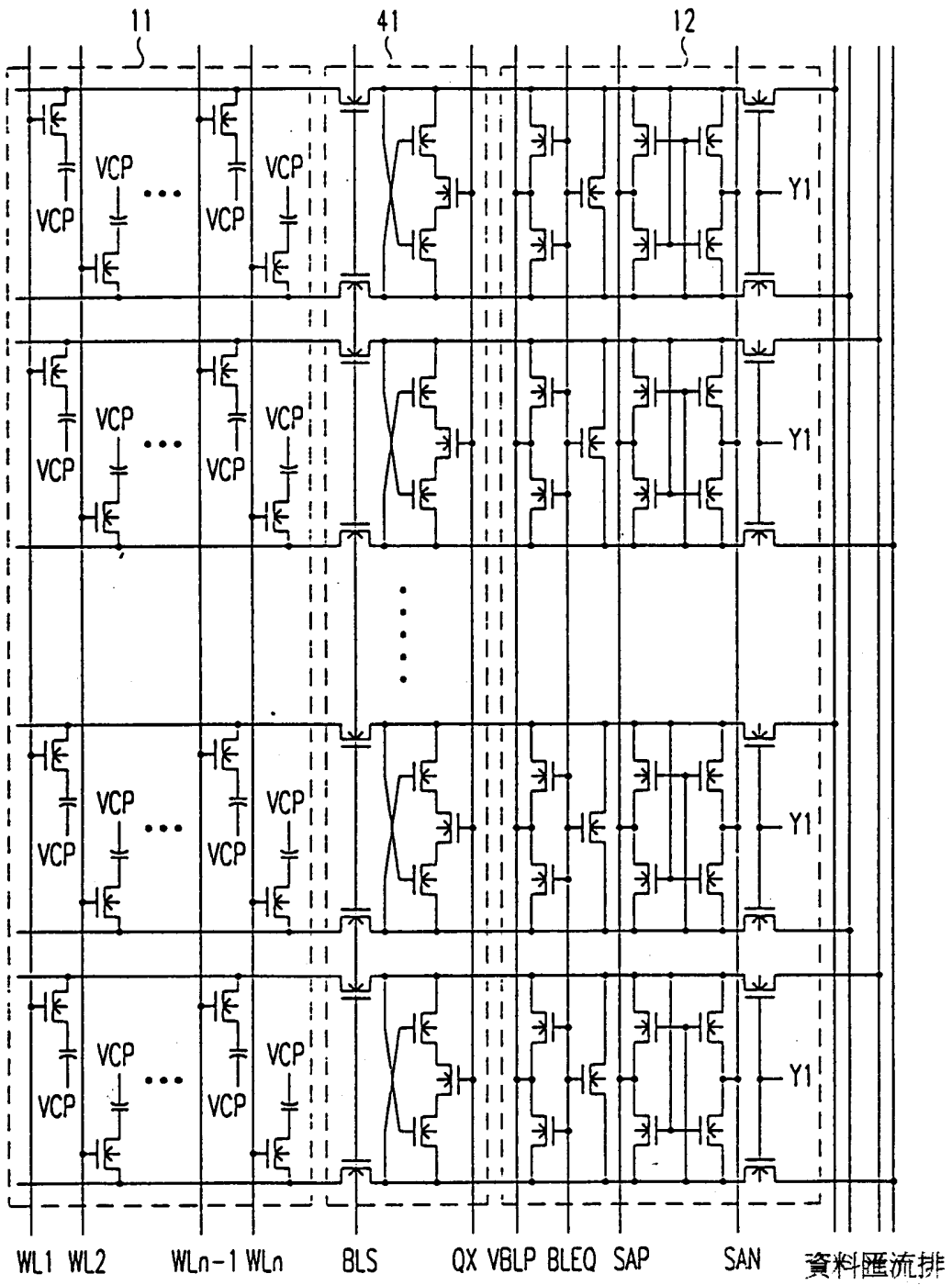


圖 六



圖七