

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4806696号
(P4806696)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月19日(2011.8.19)

(51) Int. Cl. F I
G06F 1/32 (2006.01) G O 6 F 1/00 3 3 2 Z
G06F 1/04 (2006.01) G O 6 F 1/04 3 0 1 C

請求項の数 2 (全 7 頁)

(21) 出願番号	特願2008-135708 (P2008-135708)	(73) 特許権者	000003562
(22) 出願日	平成20年5月23日 (2008. 5. 23)		東芝テック株式会社
(65) 公開番号	特開2009-282845 (P2009-282845A)		東京都品川区東五反田二丁目17番2号
(43) 公開日	平成21年12月3日 (2009. 12. 3)	(74) 代理人	100108855
審査請求日	平成20年9月12日 (2008. 9. 12)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 情報処理装置

(57) 【特許請求の範囲】

【請求項1】

マイクロプロセッサとメモリとの間で、メモリコントローラを介してデータの受渡しを行う情報処理装置において、

前記マイクロプロセッサと前記メモリコントローラとの間を接続するシステムバスに電源を供給する電源回路と、

前記マイクロプロセッサから出力されるバススピード選択信号で設定されるバス速度に応じた周波数のクロックパルスを、前記マイクロプロセッサと前記メモリコントローラとに共通に供給するクロック発生器と、

前記マイクロプロセッサから出力される前記バススピード選択信号を受信し、このバススピード選択信号に含まれるバス速度に対応したビット情報をデコードしてバス速度を取得し、このバス速度から前記システムバスに供給される電源電圧を決定するデコード回路と、

前記システムバスに供給される電源電圧が前記デコード回路で決定された値となるように前記電源回路の出力値を変更させる電圧可変手段と、

を具備したことを特徴とする情報処理装置。

【請求項2】

前記デコード回路は、前記クロックパルスの周波数が前回の設定より高く設定されるバススピード選択信号を受信した場合は前記システムバスに供給される電源電圧として前回より高い値を選択し、前記クロックパルスの周波数が前回の設定より低く設定されるバス

10

20

スピード選択信号を受信した場合は前記システムバスに供給される電源電圧として前回より低い値を選択することを特徴とする請求項1記載の情報処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、POS (Point Of Sales) 端末等の情報処理装置に関する。

【背景技術】

【0002】

POS 端末は、客の購買情報を処理することに特化した情報処理装置である。近年では、しばしば、汎用性のあるパーソナルコンピュータを利用して、POS 端末が構成される。

10

【0003】

パーソナルコンピュータ等のコンピュータシステムは、主としてその中枢を担うマイクロプロセッサと、プログラムが格納されるメインメモリとを搭載している。マイクロプロセッサとメインメモリとは、ノースブリッジ等と称されるメモリコントローラを介して接続されている。マイクロプロセッサとメモリコントローラとの間、及びメモリコントローラとメインメモリとの間は、システムバスで接続されている（例えば、特許文献1参照）。

【0004】

この種のコンピュータシステムは、マイクロプロセッサの処理速度を高めることにより、性能が向上する。ただし、マイクロプロセッサは、メモリコントローラを介してメインメモリから必要なデータを読み出す。このため、マイクロプロセッサのみ処理速度が速くなっても、メモリコントローラがメモリからデータを読み出す速度が遅いと、データが読み出されるまでマイクロプロセッサは処理を待つこととなる。そこで、性能の向上には、マイクロプロセッサだけでなくメモリコントローラの高速化も必要となる。

20

【0005】

マイクロプロセッサとメモリコントローラとの高速化を図るためには、各々に共通の動作周波数を高めればよい。しかし、動作周波数を高めると、メモリコントローラとマイクロプロセッサとの間で授受される信号は減衰する。信号が減衰すると、受信側は信号を受取ることができずエラーとなるおそれがある。信号の減衰は、システムバスの電圧を上げることで改善することができる。

30

【特許文献1】特表2006-505046号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

上述したように、コンピュータシステムを主体とした情報処理装置の場合、その性能の向上を図るためには、メモリコントローラとマイクロプロセッサとを結ぶシステムバスの電圧を上げる必要がある。しかし、システムバスに供給される電圧の値は常に一定である。このため、性能の向上を図るためにシステムバスへの供給電圧の値を上げると、常に高い電圧がシステムバスに供給されるためシステム全体の消費電力が大幅に増大し、発熱量が増加する。発熱量が増加する場合には、放熱のための仕組みが必要となり、システムの大規模化及び高コスト化を招く。また、放熱のための仕組みが不十分であった場合には、高温環境で使用した場合に、マイクロプロセッサやメモリコントローラ等のIC部品の熱暴走あるいは熱的破壊が起こる可能性もある。

40

【0007】

それに加え、システムバスの電圧を上げると、信号の振幅が大きくなるので、基板からの放射ノイズが大きくなる。機器から放射されるノイズのレベルについては、法により規定されているため、規定をオーバーする場合は設計時に対策が必要となり、さらなるコストアップの懸念がある。

【0008】

50

このような問題は、システムバスに供給される電圧を可変とし、高速処理を必要としないときには供給電圧を低下させて、無駄な放熱や放射ノイズを抑制することで解決できる。

【 0 0 0 9 】

本発明はこのような事情に基づいてなされたもので、その目的とするところは、システムバスに供給される電圧を可変にすることで、無駄な発熱や放射ノイズの抑制を図ることができる情報処理装置を提供しようとするものである。

【課題を解決するための手段】

【 0 0 1 0 】

本発明は、マイクロプロセッサとメモリとの間で、メモリコントローラを介してデータの受渡しを行う情報処理装置において、マイクロプロセッサとメモリコントローラとの間を接続するシステムバスに電源を供給する電源回路と、マイクロプロセッサから出力されるバススピード選択信号で設定されるバス速度に応じた周波数のクロックパルスと、マイクロプロセッサとメモリコントローラとに共通に供給するクロック発生器と、マイクロプロセッサから出力される前記バススピード選択信号を受信し、このバススピード選択信号に含まれるバス速度に対応したビット情報をデコードしてバス速度を取得し、このバス速度からシステムバスに供給される電源電圧を決定するデコード回路と、システムバスに供給される電源電圧がデコード回路で決定された値となるように電源回路の出力値を変更させる電圧可変手段とを備える。

【発明の効果】

【 0 0 1 1 】

かかる手段を講じた本発明によれば、システムバスに供給される電圧を可変にすることができ、無駄な発熱や放射ノイズの抑制を図ることができる情報処理装置を提供できる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、本発明を実施するための最良の形態について、図面を用いて説明する。

本実施の形態における情報処理装置 1 の要部構成を、図 1 のブロック図で示す。図示するように、情報処理装置 1 は、マイクロプロセッサ 1 1、メインメモリ 1 2、メモリコントローラ 1 3、I/O (Input/Output) コントローラ 1 4、クロック発生器 1 5、電源回路 1 6 及びデコード回路 1 7 で構成されている。

【 0 0 1 3 】

マイクロプロセッサ 1 1 とメモリコントローラ 1 3 との間、メモリコントローラ 1 3 とメインメモリ 1 2 との間、メモリコントローラ 1 3 と I/O コントローラ 1 4 との間、及びマイクロプロセッサ 1 1 とクロック発生器 1 5 との間は、それぞれシステムバス 2 1, 2 2, 2 3, 2 4 で接続されている。各システムバス 2 1 ~ 2 4 のうち、マイクロプロセッサ 1 1 とメモリコントローラ 1 3 とを結ぶシステムバス 2 1 には、フロントサイド・バス (Front Side Bus) を用いている。マイクロプロセッサ 1 1 とクロック発生器 1 5 とを結ぶシステムバス 2 4 は、デコード回路 1 7 にも接続されている。

【 0 0 1 4 】

CPU (Central Processing Unit) を主体に構成されるマイクロプロセッサ 1 1 は、情報処理装置 1 の中枢を担う。ROM (Read Only Memory) 及び RAM (Random Access Memory) で構成されるメインメモリ 1 2 は、プログラムやデータを記憶する。

【 0 0 1 5 】

ノースブリッジ等と称されるメモリコントローラ 1 3 は、マイクロプロセッサ 1 1 からの指令により、メインメモリ 1 2 からデータを読み出したり、データを書き込んだりする。また、メモリコントローラ 1 3 は、表示器 2 を接続している。

【 0 0 1 6 】

サウスブリッジ等と称される I/O コントローラ 1 4 は、メモリコントローラ 1 3 を介してマイクロプロセッサ 1 1 に接続されている。I/O コントローラ 1 4 は、マイクロプロセッサ 1 1 の制御により、ハードディスク等の補助記憶装置や、キーボード、マウス、

プリンタ等の入出力デバイスと、データを授受する。

【0017】

クロック発生器15は、マイクロプロセッサ11とメモリコントローラ13とに対してクロックパルスCLKを供給する。電源回路16は、システムバス21~24を含む各部に電源電圧を供給する(電源供給手段)。デコード回路17については、後述する。

【0018】

かかる構成の情報処理装置1は、動作モードとしてアクティブモードとスリープモードとがある。アクティブモードは、処理実行中のモードである。スリープモードは、処理休止中のモードである。

【0019】

マイクロプロセッサ11は、立ち上がり時や動作モードの変更時等に、フロントサイド・バス21の速度を設定するためのバススピード選択信号BSELを、システムバス24を介してクロック発生器15に出力する。一般的なバス速度としては、68MHz、100MHz、133MHz、400MHz、533MHzなどがある。

【0020】

クロック発生器15は、バススピード選択信号BSELで設定されるバス速度に応じた周波数のクロックパルスCLKを生成する。そして、このクロックパルスCLKを、マイクロプロセッサ11とメモリコントローラ13に供給する。上記クロックパルスCLKを受信したマイクロプロセッサ11及びメモリコントローラ13は、バス速度の数倍の動作周波数で動作する。

【0021】

例えば、バススピード選択信号BSELによって設定されるバス速度が133MHzであり、倍率が23.0倍とすると、

$$\begin{aligned} 133\text{MHz} \times 23.0 &= 3066.99\text{MHz} \\ &= 3.06\text{GHz} \end{aligned}$$

となる。すなわち、マイクロプロセッサ11及びメモリコントローラ13は、3.06GHzの動作周波数で動作する。

【0022】

デコード回路17の機能について、図2の流れ図を用いて説明する。デコード回路17は、マイクロプロセッサ11から出力されるバススピード選択信号BSELを待機している(P1)。バススピード選択信号BSELを受信すると、デコード回路17は、バススピード選択信号BSELの値をデコードする(P2)。バススピード選択信号BSELは、バス速度に対応した数ビットの情報を含む。デコード回路17は、バススピード選択信号BSELに含まれる数ビットの情報をデコードすることで、フロントサイド・バス21のバス速度を取得する。バス速度は、マイクロプロセッサ11またはメモリコントローラ13の動作周波数に関わる(動作周波数取得手段)。

【0023】

バススピード選択信号BSELからバス速度が得られると、デコード回路17は、そのバス速度からフロントサイド・バス21用の電源電圧を決定する(P3)。

例えば、バス速度が200MHzのときには電源電圧として1.2Vを選択し、バス速度が133MHzのときには1.05Vを選択する。バス速度200MHzとバス速度133MHzとを比較すると、前者(200MHz)の方が後者(133MHz)よりもマイクロプロセッサ11またはメモリコントローラ13の動作周波数が高速となる。すなわち、デコード回路17は、マイクロプロセッサ11またはメモリコントローラ13の動作周波数が高く設定されるバススピード選択信号BSELが入力された場合は、フロントサイド・バス21用の電源電圧として高い値を選択し、動作周波数が低く設定されるバススピード選択信号BSELが入力された場合は、低い値を選択する。

【0024】

こうして、フロントサイド・バス21用の電源電圧を決定したならば、デコード回路17は、フロントサイド・バス21の電源電圧が決定された値となるように、電源回路16

10

20

30

40

50

の出力電圧値を変更させる（P4：電圧可変手段）。

【0025】

このように、本実施の形態においては、マイクロプロセッサ11またはメモリコントローラ13の動作周波数が高いとき、すなわち高速処理が要求されているときには高い値となり、動作周波数が低いとき、すなわち高速処理が要求されていないときには低い値となるように、フロントサイド・バス21に対して供給される電源の電圧を可変している。

【0026】

したがって、動作周波数が高いときには、メモリコントローラ13とマイクロプロセッサ11との間で授受される信号の減衰が抑制されるので、安定に動作することができる。その一方で、動作周波数が低いときには、フロントサイド・バス21に対して供給される電源の電圧が低電圧となるので、消費電力を低減せしめることができる。その結果、無駄な発熱や放射ノイズが抑制されるので、放熱のための仕組みや放射ノイズを抑制する仕組みにかかるコストを低減できるとともに、システムの小型化を図ることができる。さらには、高温環境で使用した場合でも、マイクロプロセッサ11やメモリコントローラ13等のIC部品の熱暴走あるいは熱的破壊が起こる可能性をきわめて少なくすることができる。

【0027】

なお、この発明は前記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。

【0028】

例えば前記実施の形態では、マイクロプロセッサ11またはメモリコントローラ13の動作周波数に関する情報を、マイクロプロセッサから出力されるバススピード選択信号を出コードすることによって取得したが、当該情報を取得する手段はこれに限定されるものではない。例えば、クロック発生器15から発生されるクロックパルスCLKの周波数を検出し、その周波数からマイクロプロセッサ11またはメモリコントローラ13の動作周波数を取得して、フロントサイド・バス21に対して供給される電源電圧を可変するようにしてもよい。

【0029】

この他、前記実施形態に開示されている複数の構成要素の適宜な組合せにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態に亘る構成要素を組み合わせてもよい。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

〔付記1〕

マイクロプロセッサとメモリとの間で、メモリコントローラを介してデータの受渡しを行う情報処理装置において、

前記マイクロプロセッサと前記メモリコントローラとの間を接続するシステムバスに電源を供給する電源供給手段と、

前記マイクロプロセッサまたは前記メモリコントローラの動作周波数に関する情報を取得する動作周波数取得手段と、

この動作周波数取得手段により得られた情報に基づく動作周波数に応じて、前記電源供給手段により前記システムバスに供給される電源の電圧を可変させる電圧可変手段と、を具備したことを特徴とする情報処理装置。

〔付記2〕

前記電圧可変手段は、前記動作周波数が低下した場合に、前記システムバスに供給される電源の電圧を低下させることを特徴とする請求項1記載の情報処理装置。

〔付記3〕

マイクロプロセッサとメモリとの間で、メモリコントローラを介してデータの受渡しを行う情報処理装置において、

前記マイクロプロセッサと前記メモリコントローラとの間を接続するシステムバスに電源を供給する電源回路と、

前記マイクロプロセッサから出力されるバススピード選択信号に応じた周波数のクロックパルスを、前記マイクロプロセッサと前記メモリコントローラとに共通に供給するクロック発生器と、

前記バススピード選択信号をデコードし、そのデコードされた値から前記電源回路より前記システムバスに供給される電源の電圧を可変させるデコード回路と、を具備したことを特徴とする情報処理装置。

【付記4】

前記デコード回路は、前記クロックパルスの周波数を低下せしめるバススピード選択信号が入力された場合に、前記システムバスに供給される電源の電圧を低下させることを特徴とする請求項3記載の情報処理装置。

10

【図面の簡単な説明】

【0030】

【図1】本発明の一実施の形態である情報処理装置の要部構成を示すブロック図。

【図2】同実施の形態の情報処理装置に設けられるデコード回路の機能説明に用いられる流れ図。

【符号の説明】

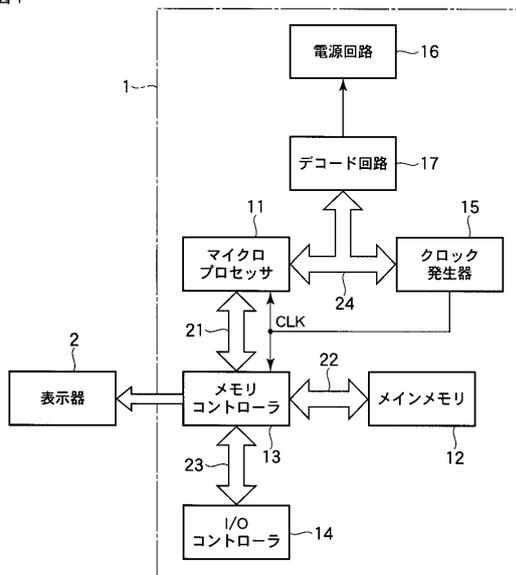
【0031】

1...情報処理装置、2...表示器、11...マイクロプロセッサ、12...メインメモリ、13...メモリコントローラ、14...I/Oコントローラ、15...クロック発生器、16...電源回路、17...デコード回路、21~24...システムバス。

20

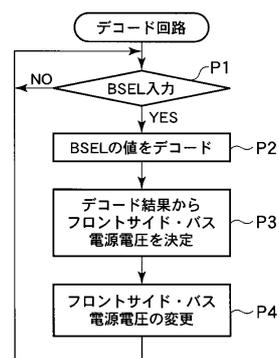
【図1】

図1



【図2】

図2



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 油谷 祐介
東京都品川区東五反田二丁目17番2号 東芝テック株式会社内

審査官 内田 正和

- (56)参考文献 特表2008-501197(JP,A)
特開2006-318380(JP,A)
特開平08-249083(JP,A)
特開2000-347763(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G06F 1/32
G06F 1/04