

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公开说明书

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

[21] 申请号 200510119177.4

[43] 公开日 2006年9月6日

[11] 公开号 CN 1828936A

[22] 申请日 2005.10.27

[21] 申请号 200510119177.4

[30] 优先权

[32] 2004.10.27 [33] KR [31] 86262/04

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 康美铉 辛和叔 李孟烈

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

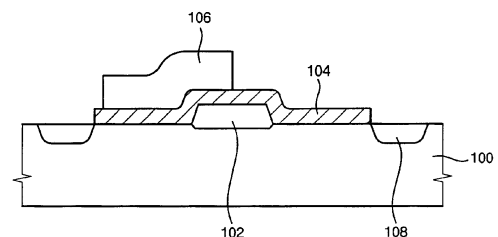
权利要求书 5 页 说明书 20 页 附图 20 页

[54] 发明名称

高电压晶体管及其制造方法

[57] 摘要

在具有高击穿电压的 HV 晶体管及其制造方法中，通过氧化一部分衬底使第一绝缘图案形成在半导体衬底上，并且形成第二绝缘图案，使得第一绝缘图案的至少一部分覆盖有第二绝缘图案。通过淀积导电材料到衬底上，在衬底上形成栅电极，栅电极含有第一末端部分和与第一末端部分相对的第二末端部分。第一末端部分形成在第一绝缘图案上，而第二末端部分形成在第二绝缘图案上。通过注入杂质到衬底上，在衬底的表面部分处形成源/漏区。减少了在栅电极的边缘部分处的电场强度，并且 HV 晶体管具有高击穿电压。



- 1、一种高电压晶体管，包括：  
半导体衬底；  
在所述衬底上的第一绝缘图案；  
覆盖所述第一绝缘图案的至少一部分的第二绝缘图案；  
包括第一末端部分和与该第一末端部分相对的第二末端部分的栅电极，  
所述第一末端部分形成在所述第一绝缘图案上，而所述第二末端部分形成在  
所述第二绝缘图案上；以及  
在所述衬底的表面部分处形成的源/漏区。
- 2、如权利要求 1 的晶体管，其中第一和第二绝缘图案由氧化物构成。
- 3、如权利要求 2 的晶体管，其中第一绝缘图案的氧化物具有与第二绝  
缘图案的氧化物不同的物理特性。
- 4、如权利要求 1 的晶体管，其中第二绝缘图案覆盖第一绝缘图案的整  
个表面。
- 5、如权利要求 4 的晶体管，其中栅电极的第一末端部分形成在其下面  
形成了所述第一绝缘图案的所述第二绝缘图案上。
- 6、如权利要求 1 的晶体管，其中第二绝缘图案接触第一绝缘图案的侧  
壁。
- 7、如权利要求 1 的晶体管，其中栅电极由多晶硅构成。
- 8、如权利要求 1 的晶体管，其中源/漏区掺杂有 P 型杂质。
- 9、如权利要求 1 的晶体管，其中源/漏区与第一绝缘图案间隔分开预定  
距离。
- 10、如权利要求 9 的晶体管，其中所述距离在大约  $2\mu\text{m}$  和大约  $8\mu\text{m}$   
之间的范围内。
- 11、如权利要求 1 的晶体管，其中第一绝缘图案具有大约  $1\mu\text{m}$  和大约  
 $5\mu\text{m}$  之间的长度。
- 12、如权利要求 1 的晶体管，其中第一绝缘图案具有约  $4,000\text{\AA}$  至约  
 $10,000\text{\AA}$  的厚度，而第二绝缘图案具有约  $5,000\text{\AA}$  至约  $15,000\text{\AA}$  的厚度。
- 13、一种高电压晶体管，包括：  
半导体衬底；

在所述衬底上的热氧化物图案;

覆盖所述热氧化物图案的化学汽相淀积氧化物图案;

包括第一末端部分和与所述第一末端部分相对的第二末端部分的栅电极, 所述第一末端部分形成在所述热氧化物图案上, 所述第二末端部分形成在所述化学汽相淀积氧化物图案上; 以及

在所述衬底的表面部分处形成的源/漏区。

14、如权利要求 13 的晶体管, 进一步包括在衬底上所形成的并且包括源区或漏区的阱区, 所述阱区与一部分所述化学汽相淀积氧化物图案重叠。

15、如权利要求 14 的晶体管, 其中所述阱区与一部分所述热氧化物图案重叠。

16、如权利要求 14 的晶体管, 其中阱区掺杂有 P 型杂质或 N 型杂质。

17、如权利要求 16 的晶体管, 其中阱区的杂质浓度低于源/漏区的杂质浓度。

18、一种高电压晶体管, 包括:

半导体衬底;

在所述衬底的表面部分处所形成的并包括第一杂质的第一阱区;

邻近所述第一阱区并包括第二杂质的第二阱区;

在所述第一和第二阱区之间的所述衬底上形成的热氧化物图案;

覆盖所述热氧化物图案并与部分所述第一和第二阱区重叠的化学汽相淀积氧化物图案;

包括第一末端部分和与所述第一末端部分相对的第二末端部分的栅电极, 所述第一末端部分形成在热氧化物图案上, 所述第二末端部分形成在所述化学汽相淀积氧化物图案上; 以及

在所述衬底的表面部分处所形成的源/漏区, 所述源/漏区分别形成在所述第一和第二阱区中。

19、如权利要求 18 的晶体管, 其中所述第一杂质包括 P 型杂质, 而所述第二杂质包括 N 型杂质。

20、一种高电压晶体管的制造方法, 包括:

在半导体衬底上形成第一和第二绝缘图案, 所述第一绝缘图案包括衬底的被氧化部分, 所述第二绝缘图案覆盖所述第一绝缘图案的至少一部分;

通过淀积导电材料到所述衬底上, 在衬底上形成栅电极, 所述栅电极的

第一末端部分形成在所述第一绝缘图案上，而所述栅电极的第二末端部分形成在所述第二绝缘图案上；以及

通过注入杂质到所述衬底的表面部分上，在衬底的表面部分处形成源/漏区。

21、如权利要求 20 的方法，其中形成第一和第二绝缘图案包括：

通过氧化一部分衬底形成所述第一绝缘图案；以及

通过化学汽相淀积工艺形成所述第二绝缘图案。

22、如权利要求 21 的方法，其中第二绝缘图案覆盖第一绝缘图案的整个表面。

23、如权利要求 20 的方法，其中第二绝缘图案接触第一绝缘图案的侧壁。

24、如权利要求 23 的方法，其中形成第一和第二绝缘图案包括：

通过化学汽相沉积工艺在衬底上形成所述第二绝缘图案；

在所述第二绝缘图案上形成氮化物图案；

通过氧化经由所述第二绝缘图案露出的衬底形成所述第一绝缘图案；及从所述衬底除去所述氮化物图案。

25、如权利要求 23 的方法，其中形成第一和第二绝缘图案包括：

通过氧化一部分衬底，在衬底上形成所述第一绝缘图案；

通过化学汽相淀积工艺形成所述第二绝缘图案，使得该第二绝缘图案覆盖所述第一绝缘图案的整个表面；以及

从衬底除去一部分所述第二绝缘图案。

26、如权利要求 20 的方法，其中形成第一绝缘图案包括：

在衬底上依序形成缓冲氧化物层和氮化物层；

局部蚀刻所述氮化物层，由此形成通过其局部露出所述缓冲氧化物层的氮化物图案；

通过对经由所述氮化物层露出的所述缓冲氧化物层进行热氧化工艺，形成由氧化物构成的第一绝缘图案；以及

除去所述缓冲氧化物层和所述氮化物层。

27、如权利要求 26 的方法，其中在大约 700°C 至大约 1,400°C 的温度下进行热氧化工艺。

28、如权利要求 20 的方法，其中形成第二绝缘图案包括：

通过化学汽相淀积工艺，在衬底上形成由氧化物构成的绝缘层；以及局部蚀刻所述绝缘层，由此形成所述第二绝缘图案。

29、如权利要求 28 的方法，其中通过湿法蚀刻工艺蚀刻所述绝缘层。

30、如权利要求 20 的方法，其中所述杂质包括 P 型杂质。

31、一种高电压晶体管的制造方法，包括：

通过氧化一部分衬底在半导体衬底上形成热氧化物图案；

形成覆盖所述热氧化物图案的化学汽相淀积氧化物图案；

通过淀积导电材料，在所述衬底上形成栅电极，该栅电极包括第一末端部分和与所述第一末端部分相对的第二末端部分，栅电极的所述第一末端部分形成在其下部表面与所述热氧化物图案接触的所述化学汽相淀积氧化物图案的第一部分上，而栅电极的所述第二末端部分形成在其下部表面与所述衬底接触的所述化学汽相淀积氧化物图案的第二部分上；以及

通过注入第一杂质到衬底的第一表面部分上，在衬底的所述第一表面部分处形成源/漏区。

32、如权利要求 31 的方法，在形成热氧化物图案之前，进一步包括：通过注入第二杂质到衬底的第二表面部分上，在衬底的所述第二表面部分处形成阱区。

33、如权利要求 32 的方法，其中所述阱区包括用于所述源/漏区的衬底的所述第一表面部分，并且与所述化学汽相淀积氧化物图案的一部分重叠。

34、如权利要求 33 的方法，其中所述阱区与所述热氧化物图案重叠。

35、如权利要求 32 的方法，其中所述第二杂质包括 N 型杂质或 P 型杂质。

36、一种高电压晶体管的制造方法，包括：

通过注入第一和第二杂质到衬底上，在半导体衬底的第一和第二表面部分处分别形成第一和第二阱区，所述第二表面部分邻近衬底的所述第一表面部分；

通过氧化所述第一和第二阱区之间的一部分衬底在衬底上形成热氧化物图案；

形成覆盖所述热氧化物图案的化学汽相淀积氧化物图案；

通过淀积导电材料，在衬底上形成栅电极，该栅电极包括第一末端部分和与所述第一末端部分相对的第二末端部分，栅电极的所述第一末端部分形

成在其下部表面与所述热氧化物图案接触的所述化学汽相淀积氧化物图案的第一部分上，而栅电极的所述第二末端部分形成在其下部表面与所述衬底接触的所述化学汽相淀积氧化物图案的第二部分上；以及

通过注入第三杂质到衬底上，在衬底的第三表面部分处形成源/漏区。

37、如权利要求 36 的方法，其中所述第一杂质包括 P 型杂质，所述第二杂质包括 N 型杂质。

38、如权利要求 36 的方法，其中所述第三杂质包括 P 型杂质。

## 高电压晶体管及其制造方法

### 技术领域

本发明涉及一种高电压晶体管及其制造方法。更具体地，本发明涉及一种击穿电压高的高电压晶体管及其制造方法。

### 背景技术

通常，金属氧化物半导体场效应晶体管（下文中简称为 MOSFET）包括三个不同的工作区。

图 1 是 N 沟道增强型 MOSFET 中漏区的电特性的示例图。

如图 1 中所示，在 N 沟道增强型 MOSFET 中，在晶体管中为导电沟道的反型层形成在 MOSFET 的一部分沟道中，并且在阈值电压  $V_t$  为正以及 MOSFET 的栅极和源极之间的电压  $V_{gs}$  高于阈值电压  $V_t$  的条件下，使 MOSFET 工作。

当电压  $V_{gs}$  小于阈值电压  $V_t$  时，不形成反型层，并且电流不会穿通 MOSFET。其中电压  $V_{gs}$  小于阈值电压  $V_t$  的区域简称为截止区。

当电压  $V_{gs}$  大于阈值电压  $V_t$  并且 MOSFET 工作时，根据源和漏之间的电压差  $V_{ds}$  来判断穿通 MOSFET 的电流量。在电压差  $V_{ds}$  相对低的情况下，电流与电压差  $V_{ds}$  成线性比例。其中电流与电压差  $V_{ds}$  成线性比例的区域简称为三极管区。

随着电压差  $V_{ds}$  增加，漏区周围的沟道深度逐渐减小。最后，当电压差  $V_{ds}$  大于对应于电压  $V_{gs}$  和阈值电压  $V_t$  之间的电压差的饱和电压  $V_s$  时，夹断了漏区周围的沟道。结果，在沟道中形成了取代反型层的耗尽区，并且通过施加到耗尽层上的电压，使电子移动通过耗尽区。此外，通过增加电压差  $V_{ds}$  不会影响穿过 MOSFET 的电流量，并且 MOSFET 正像静态电流源一样工作。其中通过增加  $V_{ds}$  而不会影响电流量的区域称为饱和区。

当  $V_{ds}$  增加到饱和区以外时，逐步扩大了沟道的夹断区，从而缩短了沟道。沟道的缩短一般称为沟道长度调制。随着沟道缩短，沟道和漏区之间的耗尽区扩大，并且穿过沟道的电流  $I_{ds}$  随着电压  $V_{ds}$  的增加而略微增加。

在电压  $V_{ds}$  大于预定电压  $V_b$  的情况下，反型层消失，而仅在 MOSFET 的源和漏区之间形成耗尽区，从而由于在 MOSFET 漏区处的泄漏电流，而使漏区的电流超过饱和电流  $I_{ds}$ 。MOSFET 的漏和源区之间的耗尽区减少了能量位垒 (energy barrier) 并使电子固定不动。从而，电流从漏区泄漏。当沟道长度小于或等于大约  $2\ \mu\text{m}$  时，来自漏区的泄漏电流更加有优势了。随着电压  $V_{ds}$  增加，能量位垒也减少，由此增加了泄漏电流。然而，泄漏电流基本上与电压  $V_{ds}$  的增加不成比例。这种现象称为穿通或软击穿。

当电压  $V_{ds}$  增加超过软击穿时，由于雪崩效应而使沟道击穿。随着电压  $V_{ds}$  增加，MOSFET 中的电场强度在漏区的拐角周围比在沟道的中心部分处变得更高。电场的高强度使电荷载流子的动能增加到比在室温下的动能高得多的程度。高动能的电荷载流子通常称为热载流子。当一些热载流子接触衬底表面并且撞击衬底的原子时，产生了许多电子空穴对。这种现象简称为雪崩效应。

在 N 型 MOSFET 的情况下，在 P 型衬底上累积的空穴在源区和衬底之间产生了正向偏置电压。当源区和衬底之间的正向偏置电压大约为  $0.6\text{V}$  时，电子从源区移动到衬底。电子从源区到衬底的移动引起了与平行于 MOSFET 的双极 npn 晶体管相同的结果。因此，给对应于晶体管基极的衬底施加至少量的空穴引起了发射极和集电极之间的大量电流，其称为双极结型晶体管的常规操作。以相同的方式，在漏区和源区之间电压的少量增加，却在沟道中产生了大量的电流，其称为沟道击穿。

如上所述，用于沟道击穿的电压的增加需要沟道长度的增加。然而，由于扩大了晶体管所占用的面积，根据半导体器件中高集成度的技术趋势，沟道长度增加是不理想的。此外，在传统的 MOS 晶体管中，因为漏区拐角部分的电场强度一般高于沟道中心部分的电场强度，所以需要具有高击穿电压的晶体管结构来降低在漏区拐角部分处的电场强度并最小化或阻止热载流子。

例如，韩国特开公开号 No.1999-51079 公开了一种利用对着绝缘层倾斜进行的蚀刻工艺来制造半导体器件的方法。具体地，在用于 N 沟道横向扩散的金属-氧化物-硅 (LDMOS) 晶体管的扩大的栅极区上，形成薄栅极氧化物层，并且在栅极氧化物层上形成低温氧化物层用作绝缘层。然后，湿法蚀刻栅极氧化物层，由此使由用于 LDMOS 晶体管的扩大栅极区处的高电场强度



引起的绝缘失效最小化。

然而，LDMOS 晶体管的场氧化物层延伸至衬底中的整个 P 漂移区，使得存在 P 漂移区中的杂质没有被耗尽的问题。

### 发明内容

根据本发明一个示范性实施例，提供一种高电压晶体管，包括：半导体衬底、在衬底上的第一绝缘图案、覆盖第一绝缘图案的至少一部分的第二绝缘图案、含有第一末端部分和与第一末端部分相对的第二末端部分的栅电极、以及在衬底的表面部分处所形成的源/漏区。对应于第一绝缘图案形成第一末端部分，对应于第二绝缘图案形成第二末端部分。

根据本发明的另一个示范性实施例，提供一种高电压晶体管，包括半导体衬底、在衬底上的热氧化物图案、覆盖热氧化物图案的至少一部分的化学汽相淀积（CVD）氧化物图案、含有第一末端部分和与第一末端部分相对的第二末端部分的栅电极、以及在衬底的表面部分处所形成的源/漏区。第一末端部分形成在热氧化物图案上，第二末端部分形成在 CVD 氧化物图案上。

根据本发明的另一个示范性实施例，提供一种高电压晶体管，包括半导体衬底、在衬底的第一部分上所形成的并含有第一杂质的第一阱区、邻近第一阱区并含有第二杂质的第二阱区、在第一和第二阱区之间的衬底上所形成的热氧化物图案、覆盖热氧化物图案并与部分第一和第二阱区重叠的化学汽相淀积（CVD）氧化物图案、含有第一末端部分和与第一末端部分相对的第二末端部分的栅电极、以及在衬底的表面部分处所形成的源/漏区。第一末端部分形成在热氧化物图案上，第二末端部分形成在 CVD 氧化物图案上。源/漏区分别形成在第一和第二阱区中。

根据本发明的另一个示范性实施例，提供一种高电压晶体管的制造方法。通过氧化一部分衬底在半导体衬底上形成第一绝缘图案，第二绝缘图案覆盖第一绝缘图案的至少一部分。通过淀积导电材料到衬底上，在衬底上形成栅电极。对应于第一绝缘图案形成栅电极的第一末端部分，对应于第二绝缘图案形成栅电极的第二末端部分。通过注入杂质到衬底上，在衬底的表面部分处形成源/漏区。

根据本发明的另一个示范性实施例，提供一种高电压晶体管的制造方法。通过氧化一部分衬底在半导体衬底上形成热氧化物图案。在衬底上形成

化学汽相淀积 (CVD) 氧化物图案, 使得热氧化物图案覆盖有 CVD 氧化物图案。通过淀积导电材料, 在衬底上形成栅电极, 栅电极包括第一末端部分和与第一末端部分相对的第二末端部分。栅电极的第一末端部分形成在其下部表面与热氧化物图案接触的 CVD 氧化物图案的第一部分上, 而栅电极的第二末端部分形成在其下部表面与衬底接触的 CVD 氧化物图案的第二部分上。通过注入第一杂质到衬底上, 在衬底的第一表面部分处形成源/漏区。

根据本发明的另一个示范性实施例, 提供一种高电压晶体管的制造方法。通过注入第一和第二杂质到衬底上, 在半导体衬底的第一和第二表面部分处分别形成第一和第二阱区。第二表面部分邻近衬底的第一表面部分。通过氧化第一和第二阱区之间的一部分衬底在衬底上形成热氧化物图案, 并且形成化学汽相淀积 (CVD) 氧化物图案, 使得热氧化物图案覆盖有 CVD 氧化物图案。通过淀积导电材料, 在衬底上形成栅电极, 并且栅电极包括第一末端部分和与第一末端部分相对的第二末端部分。栅电极的第一末端部分形成在其下部表面与热氧化物图案接触的 CVD 氧化物图案的第一部分上, 而栅电极的第二末端部分形成在其下部表面与衬底接触的 CVD 氧化物图案的第二部分上。通过注入第三杂质到衬底上, 在衬底的第三表面部分处形成源/漏区。

根据本发明的至少一个示范性实施例, 高电压 (HV) 晶体管的栅电极的边缘部分由热氧化物构成, 从而在栅电极的边缘部分处充分地减少了电场强度。使由高电场强度引起的热载流子最小化, 并且示范性实施例的 HV 晶体管具有高击穿电压。此外, 本发明示范性实施例的 HV 晶体管的栅极氧化物层包含热氧化物图案和 CVD 氧化物图案, 使得在本发明示范性实施例的 HV 晶体管中、尤其是在 LDMOS 晶体管中, 可以充分改善电流和开态电阻特性。

#### 附图说明

通过参考结合附图的下列详细说明, 本发明示范性实施例的上述及其它特征和优点将容易变得显而易见, 其中:

图 1 是 N 沟道增强型 MOSFET 中漏区的电特性的示例图;

图 2 示例了根据本发明第一示范性实施例的高电压晶体管的截面图;

图 3 至 7 示例了用于制造图 2 中所示的高电压晶体管的方法的工艺步骤

的截面图；

图 8 示例了根据本发明第二示范性实施例的高电压晶体管的截面图；

图 9 至 14 示例了用于制造图 8 中所示的高电压晶体管的方法的工艺步骤的截面图；

图 15 示例了根据本发明第三示范性实施例的高电压晶体管的截面图；

图 16 至 20 示例了用于制造图 15 中所示的高电压晶体管的方法的工艺步骤的截面图；

图 21 示例了根据本发明第四示范性实施例的高电压晶体管的截面图；

图 22 至 27 示例了用于制造图 21 中所示的高电压晶体管的方法的工艺步骤的截面图；

图 28 示例了按照与实施例 2 中相同的方法制造的样品晶体管的截面图；

图 29 示例了其中仅通过热氧化工艺形成栅极氧化物图案的第一比较晶体管的截面图；

图 30 示例了其中仅通过 CVD 工艺形成栅极氧化物图案的第二比较晶体管的截面图；

图 31 是样品晶体管和第一比较晶体管的电场强度随距离函数变化的示例图；

图 32 是样品晶体管的电压分布的示例图；

图 33 是第一比较晶体管的电压分布的示例图；以及

图 34 是第二比较晶体管的电压分布的示例图。

### 具体实施方式

现在，将在下文中参考示出了本发明实施例的附图，更加充分地说明本发明的示范性实施例。然而，本发明可以按许多不同形式来举例说明并不应被构造为限制于此处所提到的实施例。相对，提供这些实施例，使得本公开将更彻底和完整，并充分把本发明的范围传达给本领域的技术人员。在图中，为了清楚明了，可以放大层和区域的尺寸和相对尺寸。

应明白，当一元件或层被称为“在其它元件或层上”、“连接”或“耦合到”其它元件或层时，其可以直接在其它元件或层上、直接连接或耦合到其它元件或层，或者可以存在插入元件或层。相对，当一元件被称为“直接在其它元件或层上”、“直接连接”或“直接耦合到”其它元件或层时，则不存

在插入元件或层。相同的数字始终指代相同的元件。如此处所利用的，术语“和/或”包括相关所列出项目中至少一个的任何和全部结合。

应明白，尽管术语第一、第二、第三等此处可以用于描述各种元件、部件、区、层和/或部分，但这些元件、部件、区、层和/或部分不应限制于这些术语。这些术语仅用于把一个元件、部件、区、层或部分和另一个区、层或部分区别开。从而，在不脱离本发明教导的情况下，下面所讨论的第一元件、部件、区、层或部分可以称为第二元件、部件、区、层或部分。

为易于说明此处可以使用有关空间的相关术语、例如“下面”、“下方”、“下部”、“上方”、“上部”之类的以介绍图中所示例的一个元件或特征与另一元件或特征的关系。应明白，有关空间的相关术语试图要包含除图中所描绘的方位以外器件在使用或操作时的不同方位。例如，如果图中的器件翻转，那么描述如“在其它元件或特征下方”或“在其它元件或特征下面”的元件将定位为“在其它元件或特征上方”。从而，示范性术语“下方”可以都包含上方和下方的方位。此外，可以其它方式定位器件（旋转 90 度或在其它方位），由此相应地解释此处所用的有关空间的相关描述词。

此处所用的术语是为了仅仅说明具体的实施例，而不意图限制本发明。如此处所使用的，单数形式不定冠词和定冠词意图又包括复数形式，除非上下文清楚指出其它方式。此外应明白，术语“包括”在用于本说明书中时，具体说明所述特征、整体、步骤、操作、元件和/或部件的存在，但不排除至少一种其它特征、整体、步骤、操作、元件、部件和/或其组合的存在或添加。

此处参考作为本发明理想化实施例（以及中间结构）的示意性示例的截面示意图，来说明本发明的示范性实施例。同样地，要预料到例如由制造技术和/或误差所导致的例示的形狀的改变。从而，本发明的示范性实施例不应被构造为限制于此处示例的区域的特定形状，而是要包括例如由制造产生的形状上的偏差。例如，示例为矩形的注入区一般将具有圆形或弯曲的特征和/或在其边缘处注入浓度的梯度，而不是从注入到非注入区的二元改变。同样地，通过注入形成的掩埋区可以导致一些注入位于掩埋区和通过其发生注入的表面之间的区域中。从而，图中所示例的区域实际上是示意性的，并且它们的形状不意图示例器件的区域的实际形状以及不意图限制本发明的范围。

### 实施例 1

图 2 示例了根据本发明第一实例实施例的高电压晶体管的截面图。

参考图 2，根据本发明第一示范性实施例的高电压晶体管（下文简称为 HV 晶体管）包括半导体衬底 100、在衬底 100 上的第一绝缘图案 102、局部覆盖第一绝缘图案 102 的第二绝缘图案 104、在第一和第二绝缘图案 102 和 104 上所形成的栅电极 106 以及在衬底 100 的表面部分处形成的源/漏区。栅电极 106 的第一末端部分形成在第一绝缘图案 102 上，而与栅电极 106 的第一末端部分相对的栅电极 106 的第二末端部分形成在第二绝缘图案 104 上。

第一和第二绝缘图案 102 和 104 由例如氧化硅的氧化物构成。氧化硅的一个例子包括二氧化硅 ( $\text{SiO}_2$ )。在本示范性实施例中，第一绝缘图案 102 包括通过热氧化工艺所形成的热氧化物，第二绝缘图案 104 包括通过 CVD 工艺所形成的化学汽相淀积 (CVD) 氧化物。因此，第一绝缘图案 102 具有与第二绝缘图案 104 的物理特性不同的物理特性。例如，热氧化物图案具有比 CVD 氧化物图案的晶体结构更致密的晶体结构，使得即使对热氧化物图案施加更高强度的电场，也会使热氧化物图案的绝缘特性恶化小于 CVD 氧化物图案。

第二绝缘图案 104 覆盖第一绝缘图案 102 的至少一部分，以便第二绝缘图案 104 可以覆盖整个第一绝缘图案 102 或可以覆盖第一绝缘图案 102 的一侧部分。第二绝缘图案 104 还可以形成这样一种结构，使第一绝缘图案 102 的一侧部分与之接触。按照用于形成第一和第二绝缘图案 102 和 104 的工艺、如本领域普通技术人员所周知的，可以改变第一和第二绝缘图案 102 和 104 之间的结构。

第一绝缘图案 102 形成为大约  $4,000\text{\AA}$  至大约  $10,000\text{\AA}$  的厚度，并优选形成为大约  $6,000\text{\AA}$  至大约  $8,000\text{\AA}$  的厚度。当第一绝缘图案 102 的厚度小于大约  $4,000\text{\AA}$  时，不能充分减少在栅电极 106 的拐角部分处的电场强度，以及当第一绝缘图案 102 的厚度大于大约  $10,000\text{\AA}$  时，就会显著增加用于晶体管的加工时间和制造成本。

第二绝缘图案 104 形成为大约  $5,000\text{\AA}$  至大约  $15,000\text{\AA}$  的厚度，并优选形成为大约  $8,000\text{\AA}$  至大约  $12,000\text{\AA}$  的厚度。当第二绝缘图案 104 的厚度小于大约  $5,000\text{\AA}$  时，栅电极 106 与源/漏区 108 不会充分地电绝缘，使得栅电极 106 和源/漏区 108 相互可以具有短路。当第二绝缘图案 104 的厚度大于大约  $15,000\text{\AA}$  时，栅电极 106 和源/漏区 108 之间的台阶差大得使后序工艺很难进行。第一和第二绝缘图案 102 和 104 的厚度不限制于上述示例范围，而是

通过本领域普通技术人员根据施加给晶体管的电源电压可以作出各种改变。

栅电极 106 的第一末端部分形成在包含热氧化物层的第一绝缘图案上，而与栅电极 106 的第一末端部分相对的栅电极 106 的第二末端部分形成在包含 CVD 氧化物层的第二绝缘图案 104 上。具体地，当第二绝缘图案 104 覆盖第一绝缘图案 102 的全部时，栅电极 106 的第一末端部分形成在与第一绝缘图案 102 接触的第二绝缘图案 104 的第一部分上，以及栅电极 106 的第二末端部分形成在与衬底 100 接触的第二绝缘图案 104 的第二部分上。当第二绝缘图案 104 接触第一绝缘图案 102 的一侧部分时，栅电极 106 的第一部分形成在第一绝缘图案 102 上，而栅电极 106 的第二部分形成在第二绝缘图案 104 上。栅电极 106 由导电材料构成、例如多晶硅，其中安置了大量电子或空穴作为电荷载流子的沟道区（未示出）形成在栅电极 106 下面的衬底中。根据 HV 晶体管的类型来判断电荷载流子的极性。当 HV 晶体管包括 n 沟道 MOS 晶体管时，电子用作电荷载流子，而当 HV 晶体管包括 p 沟道 MOS 晶体管时，空穴用作电荷载流子。

在本示范性实施例中，栅电极 106 的第一末端部分形成在由热氧化工艺所形成的第一绝缘图案 102 上，使得充分减少了在栅电极 106 的边缘部分处的电场强度并最小化或阻止了热载流子，由此形成具有高击穿电压的 HV 晶体管。

源/漏区 108 形成在衬底 100 的表面部分处。当 HV 晶体管为 n 沟道 MOS 晶体管时，源/漏区 108 含有 N 型杂质、例如砷 (As)、磷 (P) 和锑 (Sb)。当 HV 晶体为 p 沟道 MOS 晶体管时，源/漏区 108 含有 P 型杂质、例如硼 (B)、铝 (Al)、镉 (In) 和镓 (Ga)。

源/漏区 108 形成在通过预定距离与第一绝缘图案 102 间隔分开的位置处。例如，源/漏区 108 与第一绝缘图案 102 间隔分开大约  $2\mu\text{m}$  至大约  $8\mu\text{m}$  的距离，优选大约  $3\mu\text{m}$  至大约  $6\mu\text{m}$  的距离。在这种情况下，第一绝缘图案 102 具有大约  $1\mu\text{m}$  至大约  $5\mu\text{m}$  的长度。第一绝缘图案 102 和源/漏区 108 之间的间隔以及第一绝缘图案 102 的长度不限制于上述示例范围，而是通过本领域普通技术人员根据晶体管的设计规则可以作出各种改变。

HV 晶体管进一步包括在衬底 100 的上部部分上所形成的阱区（未示出）。阱区包括源区或漏区 108。阱区可以与包括 CVD 氧化物层的一部分第二绝缘图案 104 重叠，或可以与一部分第二绝缘图案 104 和一部分第一绝缘

图案 102 都重叠。即使施加不小于大约 100V 的高电压给 HV 晶体管的源/漏区 108，阱区也会防止热载流子产生，以便阱区能充分地防止栅电极 106 和源/漏区 108 之间电短路。把晶体管的源电极和漏电极之间的电压施加给晶体管的漏电极，使得阱区包括衬底的漏区。当 HV 晶体管为 n 沟道 MOS 晶体管时，阱区含有 N 型杂质、例如砷 (As) 和磷 (P)。当 HV 晶体管为 p 沟道 MOS 晶体管时，阱区含有 P 型杂质、例如硼 (B)。在本示范性实施例中，阱区的杂质浓度小于源/漏区 108 的杂质浓度。

下文中，参考附图公开了图 2 中所示的上述 HV 晶体管的制造方法。

图 3 至 7 示例了用于制造图 2 中所示的高电压晶体管的方法的工艺步骤的截面图。

参考图 3，缓冲氧化物层 110 形成在衬底 100 上，氮化物层 (未示出) 形成在缓冲氧化物层 110 上。缓冲氧化物层 110 防止由于衬底 100 和氮化物层之间的热膨胀差所引起的应力使衬底受到损坏，以便缓冲氧化物层 110 用作衬底 100 的应力缓冲层。光刻胶层 (未示出) 形成在氮化物层上并构图成通过其局部露出氮化物层的光刻胶图案 (未示出)。然后，利用光刻胶图案作为蚀刻掩模局部蚀刻掉氮化物层，由此形成通过其局部露出缓冲氧化物层 110 的氮化物图案 112。

参考图 4，在露出的缓冲氧化物层 110 上进行热氧化工艺，由此形成第一绝缘图案 102。例如，优选在大约 700°C 至大约 1,400°C 的温度下和氧化气氛中进行热氧化工艺，这是因为当在低于大约 700°C 的温度下进行热氧化工艺时，不可能充分地进行热氧化工艺，以及当在高于大约 1,400°C 的温度下进行热氧化工艺时，由于热度可能使晶体管恶化。此后，从衬底 100 除去缓冲氧化物层 110 和氮化物图案 112，由此形成第一绝缘图案 102。

参考图 5，通过 CVD 工艺形成第二绝缘图案 104。通过 CVD 工艺在衬底 100 上形成第二绝缘层 (未示出) 为足够的厚度以覆盖第一绝缘图案 102，并在第二绝缘层上形成光刻胶图案 (未示出)。利用光刻胶图案作为蚀刻掩模局部蚀刻掉第二绝缘层，由此形成覆盖第一绝缘图案 102 的第二绝缘图案 104。利用含有氢氟酸 (HF) 的蚀刻剂来蚀刻第二绝缘层，以便在蚀刻工艺期间保护衬底 100。

参考图 6，把例如多晶硅的导电材料淀积到第二绝缘图案 104 的预定部分上，由此在衬底 100 上所形成的最终结构上形成栅极导电层 (未示出)。

在栅极导电层上形成光刻胶图案（未示出），并利用光刻胶图案作为蚀刻掩模来蚀刻栅极导电层，由此形成栅电极 106。栅电极 106 的第一末端部分形成在与第一绝缘图案 102 接触的第二绝缘图案 104 的第一部分上，而与栅电极 106 的第一末端部分相对的栅电极 106 的第二末端部分形成在与衬底 100 接触的第二绝缘图案 104 的第二部分上。因此，用于 HV 晶体管的栅电极 106 的末端部分之一形成在由热氧化工艺所形成的第一绝缘图案 102 上，使得充分减少了栅电极 106 的边缘部分处的电场强度。结果，抑制了由高电场强度引起的热载流子，由此增加了本实施例的 HV 晶体管的击穿电压。

参考图 7，在衬底 100 的表面部分处注入杂质，由此形成源/漏区 108。当 HV 晶体管为 n 沟道 MOS 晶体管时，源/漏区 108 含有 N 型杂质、例如砷（As）、磷（P）和锑（Sb）。当 HV 晶体为 p 沟道 MOS 晶体管时，源/漏区 108 含有 P 型杂质、例如硼（B）、铝（Al）、镧（In）和镓（Ga）。此后，在衬底 100 上所形成的最终结构上进行各种后序工艺，由此形成其击穿电压高的 HV 晶体管。

## 实施例 2

图 8 示例了根据本发明第二示范性实施例的高电压晶体管的截面图。

参考图 8，根据本发明第二示范性实施例的高电压晶体管包括半导体衬底 200、在衬底 200 处所形成的并含有第一杂质的第一阱区 210、邻近第一阱区 210 并含有第二杂质的第二阱区 212、在第一和第二阱区 210 和 212 之间的衬底 200 上的热氧化物图案 202、覆盖热氧化物图案 202 的 CVD 氧化物图案 204、在热氧化物图案 202 和 CVD 氧化物图案 204 上的栅电极以及在衬底 200 的表面部分处所形成的源/漏区 208。

第一阱区 210 形成在衬底 200 的上部部分处并包含源/漏区 208。第一阱区 210 与 CVD 氧化物图案 204 和/或热氧化物图案 202 的预定部分重叠。第一阱区 210 控制 HV 晶体管的阈值电压，以便因为施加电源给 HV 晶体管的漏极，而使第一阱区 210 包含与漏区相对的源区。因此，控制源区处的杂质浓度来决定 HV 晶体管的阈值电压。当 HV 晶体管为 n 沟道 MOS 晶体管时，第一阱区 210 含有 P 型杂质、例如硼（B）。当 HV 晶体为 p 沟道 MOS 晶体管时，第一阱区 210 含有 N 型杂质、例如砷（As）和磷（P）。

第二阱区 212 也形成在衬底 200 的上部部分处邻近第一阱区 210，并包含源/漏区 208。具体地，第二阱区 212 关于栅电极 206 与第一阱区 210 相对，



并与 CVD 图案 204 的预定部分或与 CVD 氧化物图案 204 及热氧化物图案 202 的预定部分重叠。即使施加不小于大约 100V 的高电压功率给 HV 晶体管的源/漏区 208，第二阱区 212 也会防止热载流子产生，以便第一阱区 210 能充分地防止栅电极 206 和源/漏区 208 之间电短路。源电极和漏电极之间的电压施加给 HV 晶体管的漏电极，使得第二阱区 212 包括衬底 200 的漏区。当 HV 晶体管为 n 沟道 MOS 晶体管时，第二阱区 212 含有 N 型杂质、例如砷 (As)、磷 (P) 和锑 (Sb)。当 HV 晶体管为 p 沟道 MOS 晶体管时，第二阱区 212 含有 P 型杂质、例如硼 (B)、铝 (Al)、镧 (In) 和镓 (Ga)。在本示范性实施例中，第二阱区 212 的杂质浓度小于源/漏区 208 的杂质浓度。

热氧化物图案 202 充分覆盖有 CVD 氧化物图案 204。特别是，在第一和第二阱区 210 和 212 之间的衬底 200 上进行热氧化工艺，由此形成热氧化物图案 202。然后，在热氧化图案 202 上进行化学汽相淀积 (CVD) 工艺，由此形成充分覆盖热氧化物图案 202 的 CVD 氧化物图案 204。热氧化物图案 202 和 CVD 氧化物图案 204 分别与第一绝缘图案和第二绝缘图案相同，因此下文中将省略关于热氧化物图案 202 和 CVD 氧化物图案 204 的任何额外说明。

栅电极 206 包括第一末端部分和第二末端部分，第一末端部分形成在与热氧化物图案 202 接触的 CVD 氧化物图案 204 的第一部分上，第二末端部分形成在与 CVD 氧化物图案的第一部分相对并与衬底 200 接触的 CVD 氧化物图案 204 的第二部分上。因此，栅电极 206 的第一末端部分形成在 CVD 氧化物图案 204 的第一部分的顶部表面上，栅电极 206 的第二末端部分形成在 CVD 氧化物图案 204 的第二部分的顶部表面上。

含有作为电荷载流子的大量电子或空穴的沟道区 (未示出) 形成在位于栅电极 206 下面的衬底 200 中。根据 HV 晶体管的类型来判断电荷载流子的极性。栅电极 206 的第一末端部分形成在热氧化物图案 202 上，使得充分减少了在栅电极 206 的边缘部分处的电场强度并最小化或阻止了由高电场强度引起的热载流子，由此形成具有高击穿电压的 HV 晶体管。

源/漏区 208 形成在衬底 200 的表面部分处，并分别内置于第一和第二阱区 210 和 212 中。在本示范性实施例中，第一阱区 210 包含源区，第二阱区 212 包含漏区。

下文中，参考附图公开了图 8 中所示的上述 HV 晶体管的制造方法。

图 9 至 14 示例了用于制造图 8 中所示的高电压晶体管的方法的工艺步骤的截面图。

参考图 9, 在衬底 200 的预定表面部分处注入第一杂质, 并通过光刻工艺、离子注入工艺和在高温下的热处理在衬底 200 上形成第一阱区 210。第一阱区 210 包含在后序工艺中所形成的源/漏区, 并控制 HV 晶体管的阈值电压。施加电源给 HV 晶体管的漏电极, 使得第一阱区 210 包含与漏区相对的源区。因此, 控制在源区处的杂质浓度来判定 HV 晶体管的阈值电压。当 HV 晶体管为 n 沟道 MOS 晶体管时, 第一阱区 210 含有 P 型杂质、例如硼 (B)。当 HV 晶体管为 p 沟道 MOS 晶体管时, 第一阱区 210 含有 N 型杂质、例如砷 (As) 和磷 (P)。第一阱区 210 可以与要在后序工艺中形成的一部分 CVD 氧化物图案重叠, 或可以与要在后序工艺中形成的 CVD 氧化物图案及一部分热氧化物图案重叠。

在邻近第一阱区 210 的衬底 200 的表面部分处注入第二杂质, 并通过光刻工艺、离子注入工艺和在高温下的热处理在衬底 200 上形成第二阱区 212。第二阱区 212 也包含要在后序工艺中所形成的源/漏区 208。由于把 HV 晶体管中的源电极和漏电极之间的电压施加给漏电极, 所以第二阱区 212 包含衬底 200 的漏区。即使施加不小于大约 100V 的高电压功率给 HV 晶体管的源/漏区 208, 第二阱区 212 也会防止热载流子产生, 以便第一阱区 210 能充分地防止栅电极 206 和源/漏区 208 之间电短路。第二阱区 212 与要在后序工艺中形成的预定部分的 CVD 图案 204 重叠, 或与 CVD 氧化物图案 204 及预定部分的热氧化物图案 202 重叠。当 HV 晶体管为 n 沟道 MOS 晶体管时, 第二阱区 212 含有 N 型杂质、例如砷 (As) 和磷 (P)。当 HV 晶体管为 p 沟道 MOS 晶体管时, 第二阱区 212 含有 P 型杂质、例如硼 (B)。在本示范性实施例中, 第二阱区 212 的杂质浓度小于源/漏区 208 的杂质浓度。

如本领域普通技术人员所周知的, 可以在第二阱区 212 之前形成第一阱区 210, 或可以在第一阱区 210 之前形成第二阱区 212。

参考图 10 和 11, 在第一和第二阱区 210 和 212 之间的衬底表面上进行热氧化工艺, 由此形成热氧化物图案 202。

缓冲氧化物层 214 形成在衬底 200 上, 以及氮化物层 216 局部形成在缓冲氧化物层 214 上, 如图 10 中所示。此外, 在通过氮化物层 216 露出的缓冲氧化物层 214 上进行热氧化工艺, 并使露出的缓冲氧化物层 214 转变成热

氧化物层(未示出)。然后,从衬底 200 除去缓冲氧化物层 214 和氮化物层 216,由此形成热氧化物图案 202,如图 11 中所示。上面介绍了用于形成热氧化物图案的工艺,因此将省略任何额外的说明。

参考图 12,通过 CVD 工艺在衬底 200 和热氧化物图案 202 上形成 CVD 氧化物图案 204。具体地,通过 CVD 工艺在热氧化物图案 202 和衬底 200 上形成 CVD 氧化物层(未示出),并通过蚀刻工艺局部蚀刻,由此形成 CVD 氧化物图案 204。上面也介绍了用于形成 CVD 氧化物图案的工艺,因此将省略任何额外说明以避免任何的重复。

参考图 13,把导电材料淀积到 CVD 氧化物图案 204 的预定部分上,由此在衬底 200 上所形成的最终结构上形成栅极导电层(未示出)。在栅极导电层上形成光刻胶图案(未示出),并利用光刻胶图案作为蚀刻掩模来蚀刻栅极导电层,由此在 CVD 氧化物图案 204 上形成栅电极 206。栅电极 206 的第一末端部分形成在与热氧化物图案 202 接触的 CVD 氧化物图案 204 的第一部分上,而与栅电极 206 的第一末端部分相对的栅电极 206 的第二末端部分形成在与衬底 200 接触的 CVD 氧化物图案 204 的第二部分上。因此,用于 HV 晶体管的栅电极 206 的末端部分之一形成在由热氧化工艺所形成的热氧化物图案 202 上,使得充分减少了栅电极 206 的边缘部分处的电场强度。结果,最小化或抑制了由高电场强度引起的热载流子,由此形成具有高击穿电压的 HV 晶体管。

参考图 14,在第一和第二阱区 210 和 212 中的衬底 200 的表面部分处注入第三杂质,由此在第一和第二阱区 210 和 212 中形成源/漏区 208。此后,在衬底 200 上所形成的最终结构上进行各种后序工艺,由此形成其击穿电压高的 HV 晶体管。

### 实施例 3

图 15 示例了根据本发明第三示范性实施例的高电压晶体管的截面图。

参考图 15, HV 晶体管包括半导体衬底 300、在衬底 300 处所形成的并含有第一杂质的第一阱区 310、邻近第一阱区 310 并含有第二杂质的第二阱区 312、在第一和第二阱区 310 和 312 之间的衬底 300 上的热氧化物图案 302、覆盖热氧化物图案 302 的 CVD 氧化物图案 304、在热氧化物图案 302 和 CVD 氧化物图案 304 上的栅电极 306 以及在衬底 300 的表面部分处所形成的源/漏区 308。

通过热氧化工艺形成热氧化物图案 302，通过 CVD 工艺形成 CVD 氧化物图案 304。具体地，通过 CVD 工艺在衬底 300 上依序形成 CVD 氧化物层（未示出）和氮化物层（未示出），并通过光刻工艺在氮化物层上形成光刻胶图案（未示出）。然后，利用光刻胶图案作为蚀刻掩模局部蚀刻掉 CVD 氧化物层和氮化物层，由此形成通过其局部露出衬底 300 的 CVD 氧化物图案 304 和氮化物图案（未示出）。接着，在露出的衬底 300 上进行热氧化工艺，由此在衬底 300 上形成热氧化物图案 302。然后，从衬底 300 除去氮化物图案。因此，CVD 氧化物图案 304 在其侧壁处与热氧化物图案 302 接触。

栅电极 306 包括第一末端部分和第二末端部分，第一末端部分形成在热氧化物图案 302 上，第二末端部分形成在与 CVD 氧化物部分的第一部分相对的 CVD 氧化物图案 304 上。因此，栅电极 306 的第一末端部分形成在热氧化物图案 302 上，使得充分减少了在栅电极 306 的边缘部分处的电场强度并最小化或阻止了由高电场强度引起的热载流子。结果，形成具有高击穿电压的 HV 晶体管。

下文中，参考附图公开了图 15 中所示的上述 HV 晶体管的制造方法。

图 16 至 20 示例了用于制造图 15 中所示的高电压晶体管的方法的工艺步骤的截面图。

参考图 16，在衬底 300 上形成第一和第二阱区 310 和 312。具体地，在衬底 300 的第一表面部分处注入第一杂质，由此在衬底 300 上形成第一阱区 310，并在邻近第一表面部分的衬底 300 的第二表面部分处注入第二杂质，由此形成第二阱区 312。在示范性实施例 2 中介绍了用于形成第一和第二阱区 310 和 312 的工艺，因此将省略任何额外说明以避免重复。

参考图 17，在含有第一和第二阱区 310 和 312 的衬底 300 上形成 CVD 氧化物图案 304。具体地，通过 CVD 工艺在衬底 300 上依序形成氧化物层（未示出）和氮化物层（未示出），并在氮化物层上形成光刻胶图案（未示出）。利用光刻胶图案作为蚀刻掩模，通过湿法蚀刻或干法蚀刻工艺依序蚀刻掉 CVD 氧化物层和氮化物层，由此形成通过其局部露出衬底 300 的 CVD 氧化物图案 304 和氮化物图案 305。

参考图 18，在通过 CVD 氧化物图案 304 露出的衬底 300 上进行热氧化工艺，由此在衬底 300 上形成热氧化物图案 302。在本实施例中，在氧化气氛中以大约 700°C 至大约 1,400°C 的温度进行热氧化工艺。此后，从衬底 300

除去氮化物图案。在示范性实施例 1 和 2 中也介绍了利用热氧化工艺用于形成热氧化物图案 302 的工艺，因此将省略对用于热氧化物图案 302 的形成工艺的任何额外说明以避免任何的重复。

参考图 19，把例如多晶硅的导电材料淀积到热氧化物图案 302 和 CVD 氧化物图案 304 的预定部分上，由此在热氧化物图案 302 和 CVD 氧化物图案 304 上形成栅极导电层（未示出）。在栅极导电层上形成光刻胶图案（未示出），并利用光刻胶图案作为蚀刻掩模来蚀刻栅极导电层，由此在热氧化物图案 302 和 CVD 氧化物图案 304 上形成栅电极 306。栅电极 306 的第一末端部分形成在热氧化物图案 302 上，而栅电极 306 的第二末端部分形成在 CVD 氧化物图案 304 上。因此，用于 HV 晶体管的栅电极 306 的末端部分之一形成在由热氧化工艺所形成的热氧化物图案 302 上，使得充分减少了栅电极 306 的边缘部分处的电场强度。结果，最小化或抑制了由高电场强度引起的热载流子，由此形成具有高击穿电压的 HV 晶体管。

参考图 20，在第一和第二阱区 310 和 312 中的衬底 300 的表面部分处注入第三杂质，由此在第一和第二阱区 310 和 312 中形成源/漏区 308。此后，在衬底 300 上所形成的最终结构上进行各种后序工艺，由此形成其击穿电压高的 HV 晶体管。

#### 实施例 4

图 21 示例了根据本发明第四示范性实施例的高电压晶体管的截面图。

参考图 21，HV 晶体管包括半导体衬底 400、在衬底 400 处所形成的并含有第一杂质的第一阱区 410、邻近第一阱区 410 并含有第二杂质的第二阱区 412、在第一和第二阱区 410 和 412 之间的衬底 400 上的热氧化物图案 402、覆盖热氧化物图案 402 的 CVD 氧化物图案 404、在热氧化物图案 402 和 CVD 氧化物图案 404 上的栅电极 406 以及在衬底 400 的表面部分处所形成的源/漏区 408。

通过热氧化工艺形成热氧化物图案 402，通过 CVD 工艺形成 CVD 氧化物图案 404。具体地，通过 CVD 工艺在衬底 400 上依序形成 CVD 氧化物层（未示出）和氮化物层（未示出），并通过光刻工艺在氮化物层上形成光刻胶图案（未示出）。然后，利用光刻胶图案作为蚀刻掩模局部蚀刻掉 CVD 氧化物层和氮化物层，由此形成通过其局部露出衬底 400 的 CVD 氧化物图案 404 和氮化物图案（未示出）。接着，在露出的衬底 400 上进行热氧化工艺，

由此在衬底 400 上形成热氧化物图案 402。然后，从衬底 400 中除去氮化物图案。因此，CVD 氧化物图案 404 在其侧壁处与热氧化物图案 402 接触。

栅电极 406 包括第一末端部分和第二末端部分，第一末端部分形成在热氧化物图案 402 上，第二末端部分形成在与 CVD 氧化物图案 404 的第一部分相对的 CVD 氧化物图案 404 上。因此，栅电极 406 的第一末端部分形成在热氧化物图案 402 上，使得充分减少了在栅电极 406 的边缘部分处的电场强度并最小化或阻止了由高电场强度引起的热载流子。结果，形成具有高击穿电压的 HV 晶体管。

下文中，参考附图公开了图 21 中所示的上述 HV 晶体管的制造方法。

图 22 至 27 示例了用于制造图 21 中所示的高电压晶体管的方法的工艺步骤的截面图。

参考图 22，在衬底 400 上形成第一和第二阱区 410 和 412。具体地，在衬底 400 的第一表面部分处注入第一杂质，由此在衬底 400 上形成第一阱区 410，并在邻近第一表面部分的衬底 400 的第二表面部分处注入第二杂质，由此在衬底 400 上形成第二阱区 412。在上述示范性实施例中介绍了用于形成第一和第二阱区 410 和 412 的工艺，因此将省略任何额外说明以避免重复。

参考图 23 和 24，在第一和第二阱区 410 和 412 之间的衬底 400 的表面上进行热氧化工艺，从而在衬底 400 上形成热氧化物图案 402。

缓冲氧化物层 414 形成在衬底 400 上，以及氮化物层 416 局部形成在缓冲氧化物层 414 上，如图 23 中所示。在通过氮化物层 416 露出的缓冲氧化物层 414 上进行热氧化工艺，并使露出的缓冲氧化物层 414 转变成热氧化物层（未示出）。然后，从衬底 400 除去缓冲氧化物层 414 和氮化物层 416，由此形成热氧化物图案 402，如图 24 中所示。上述示范性实施例介绍了用于形成热氧化物图案的工艺，因此将省略任何额外的说明。

参考图 25，通过 CVD 工艺在热氧化物图案 402 和衬底 400 上形成氧化物层 403。

参考图 26，通过光刻工艺在氧化物层 403 上形成光刻胶图案（未示出），并利用光刻胶图案作为蚀刻掩模通过湿法蚀刻或干法蚀刻工艺选择性地除去氧化物层 403，由此在热氧化物图案 402 上形成 CVD 氧化物图案 404。

参考图 27，把导电材料淀积到热氧化物图案 402 和 CVD 氧化物图案 404 的预定部分上，由此在热氧化物图案 402 和 CVD 氧化物图案 404 上形成栅

极导电层（未示出）。光刻胶层（未示出）形成在栅极导电层上，并通过光刻工艺构图成通过其局部露出栅极导电层的光刻胶图案（未示出）。利用光刻胶图案作为蚀刻掩模来蚀刻栅极导电层，由此在热氧化物图案 402 和 CVD 氧化物图案 404 上形成栅电极 406。栅电极 406 的第一末端部分形成在热氧化物图案 402 上，而栅电极 406 的第二末端部分形成在 CVD 氧化物图案 404 上。因此，用于 HV 晶体管的栅电极 406 的末端部分之一形成在由热氧化工艺所形成的热氧化物图案 402 上，使得充分减少了栅电极 406 的边缘部分处的电场强度。结果，最小化或抑制了由高电场强度引起的热载流子，由此形成具有高击穿电压的 HV 晶体管。

然后，在第一和第二阱区 410 和 412 中的衬底 400 的表面部分处注入第三杂质，由此在第一和第二阱区 410 和 412 中形成源/漏区 408。此后，在衬底 400 上所形成的最终结构上进行各种后序工艺，从而形成其击穿电压高的 HV 晶体管。

### 关于晶体管特性的实验

利用根据本发明示范性实施例的样品晶体管和两个比较晶体管，用实验方法测定典型的晶体管特性。

#### 〈样品晶体管〉

根据与示范性实施例 2 相同的方法制造了 p 沟道 MOS 晶体管来作为样品晶体管。图 28 示例了按照与示范性实施例 2 中相同的方法所制造的样品晶体管的截面图。如图 28 中所示，通过热氧化工艺在衬底 500 上形成热氧化物图案到大约 7,000Å 的厚度，并通过 CVD 工艺在热氧化物图案和衬底 500 上形成 CVD 氧化物图案到大约 10,000 Å 的厚度。结果，在衬底 500 上形成了含有热氧化物图案和 CVD 氧化物图案的栅极氧化物图案 502。然后，通过与示范性实施例 2 相同的工艺，在栅极氧化物图案 502 上形成了栅电极 504，并在栅电极 504 上和栅极氧化物图案 502 上形成了用于保护栅电极 504 的钝化层。把硼（B）离子注入在衬底 500 的表面部分处，由此形成源/漏区 508。样品晶体管的源电极 514 形成在源区中，样品晶体管的漏电极 516 形成在漏区中。在下列表 1 中列出了处理条件。

#### 〈比较晶体管 1〉

通过第一比较工艺制造了 p 沟道 MOS 晶体管来作为第一比较晶体管，其中晶体管的栅极氧化物图案仅通过热氧化工艺来形成。图 29 示例了其中

仅通过热氧化工艺形成栅极氧化物图案的第一比较晶体管的截面图。如图 29 中所示, 仅通过热氧化工艺在衬底 600 上形成栅极氧化物图案 602 到大约 7,000Å 的厚度, 并且在衬底 600 上进行与示范性实施例 2 相同的用于制造晶体管的处理步骤, 由此形成第一比较晶体管。在下列表 1 中也列出了用于第一比较晶体管的处理条件。

#### 〈比较晶体管 2〉

通过第二比较工艺制造了 p 沟道 MOS 晶体管来作为第二比较晶体管, 其中晶体管的栅极氧化物图案仅通过 CVD 工艺来形成。图 30 示例了其中仅通过 CVD 工艺形成栅极氧化物图案的第二比较晶体管的截面图。如图 30 中所示, 仅通过 CVD 工艺在衬底 700 上形成栅极氧化物图案 702 到大约 10,000Å 的厚度, 并且在衬底 700 上进行与示范性实施例 2 相同的用于制造晶体管的处理步骤, 由此形成第二比较晶体管。在下列表 1 中也列出了用于第二比较晶体管的处理条件。

表 1

	样品晶体管	比较晶体管 1	比较晶体管 2
	热氧化物图案 /CVD 氧化物图案	热氧化物图案	CVD 氧化物图案
单元间距 (Pitch)	19mm	21mm	19mm
用于 P 阱的剂量 (B, 100KeV)	$4.9 \times 10^{12}$	$3.7 \times 10^{12}$	$4.9 \times 10^{12}$
氧化物层厚度	7,000Å/10,000Å	7,000Å	10,000Å
阈值电压	30V	30V	20V

#### 〈晶体管的电场强度的测定〉

针对样品晶体管和第一比较晶体管来测定电场强度。图 31 是样品晶体管和第一比较晶体管的电场强度随距离函数变化的示例图。在图 31 中, 电场强度按 V/cm 为单位表示, 距离按  $\mu\text{m}$  为单位表示。

参考图 31, 样品晶体管的电场强度比第一比较晶体管的电场强度低多达大约 50,000V/cm。也就是, 上述实验结果显示, 当栅极氧化物图案包含热



氧化物图案和 CVD 氧化物图案时与栅极氧化物图案仅包含热氧化物图案时相比，减少了电场强度。因此，由于电场强度的减少，其中栅极氧化物图案包含热氧化物图案和 CVD 氧化物图案的本发明示范性实施例的晶体管具有更高的击穿电压。

#### 〈晶体管的电场线分布的测定〉

在样品晶体管和比较晶体管的源和漏电极之间施加大约-180V 的漏电压  $V_{ds}$ ，并且分别针对样品晶体管和比较晶体管来测定电场线分布。图 32 是样品晶体管的电压分布的示例图，图 33 是第一比较晶体管的电压分布的示例图。图 34 是第二比较晶体管的电压分布的示例图。电场线分布指示出晶体管的电特性、例如沟道电流与漏电压和击穿电压之间的关系。

参考图 32 至 34，电场线密度在邻近漏区的栅电极 504、604 和 704 的边缘部分处比在晶体管中任何其他的部分高。然而，实验结果表明，在栅电极的边缘部分处，第一和第二比较晶体管的电场线密度比样品晶体管的电场线密度更高。也就是说，与第一和第二比较晶体管相比，样品晶体管的电场线密度更低，使得在栅电极的边缘部分处更加减少了样品晶体管的电场强度。当在栅电极的边缘部分处电场强度高时，从栅电极中产生了大量的热载流子，使得严重恶化了栅极氧化物图案的绝缘性能。因此，上述实验结果证实，由于充分减少了电场强度，即使对其施加高电压电源，也可以在不恶化绝缘性能的情况下使本发明示范性实施例的 HV 晶体管工作。

#### 〈晶体管的击穿电压的测定〉

针对样品晶体管和比较晶体管来测定晶体管的击穿电压，实验结果列在下列表 2 中。

表 2

	样品晶体管	第一比较晶体管	第二比较晶体管
击穿电压	195V	188V	170V

如表 2 中所示，因为热氧化物图案具有比 CVD 氧化物图案优良的绝缘特性，所以第一比较晶体管的击穿电压比第二比较晶体管的击穿电压高。此外，由于样品晶体管的栅电极的边缘部分由热氧化物构成、而样品晶体管的栅电极的任何其它部分由 CVD 氧化物构成，所以样品晶体管的击穿电压比

第一比较晶体管的击穿电压更高。在栅电极的边缘部分处的热氧化物减少了电场强度,使得防止了在栅电极边缘部分处的高电场强度引起的热载流子的产生。结果,充分防止了源和漏电极之间电短路,从而当对其施加大约190V的高电源时,在不击穿的情况下也可以使本示范性实施例的HV晶体管工作。

#### 〈晶体管的开态电阻的测定〉

在样品晶体管和比较晶体管的源和栅极之间施加了大约-130V的栅电压 $V_{gs}$ ,并在样品晶体管和比较晶体管的沟道的每个表面处测定饱和电流( $I_{dsat}$ )。实验结果列在下列表3中。大饱和电流表示晶体管的开态电阻小,而小饱和电流表示晶体管的开态电阻大。晶体管的“开态电阻”表示对其施加电源时晶体管的电阻。

表3

	样品晶体管	第一比较晶体管	第二比较晶体管
饱和电流	137 $\mu A/\mu m$	130 $\mu A/\mu m$	137 $\mu A/\mu m$

如表3中所示,由于当栅电极由CVD氧化物构成时比栅电极由热氧化物构成时更少地耗尽阱区中的杂质,所以样品晶体管和第二比较晶体管的饱和电流比第一比较晶体管的饱和电流大。因此,本发明示范性实施例的HV晶体管可以具有更低的开态电阻以及更高的击穿电压。

根据本发明的示范性实施例,HV晶体管的栅电极的边缘部分由热氧化物构成,从而在栅电极的边缘部分处充分地减少了电场强度。最小化或阻止了由高电场强度引起的热载流子,并且所形成的HV晶体管具有高击穿电压。此外,HV晶体管的栅极氧化物层包含热氧化物图案和CVD氧化物图案,使得在本发明示范性实施例的HV晶体管中、尤其是在LDMOS晶体管中,可以充分改善电流和开态电阻特性。

已介绍了本发明的示范性实施例,另外应注意,对于本领域普通技术人员来说显而易见的是,在不脱离由附加权利要求的界限和边界所限定的本发明的精神和范围的情况下,可以做出各种修改。

本申请要求于2004年10月27日申请的韩国专利申请No.2004-86262的优先权,这里引入其全部内容供参考。

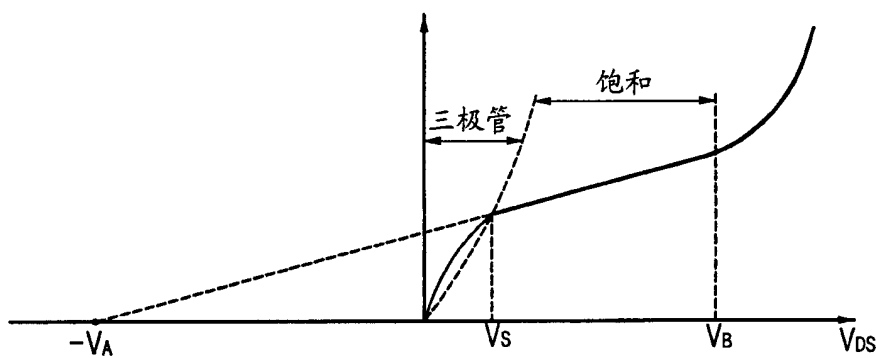


图 1

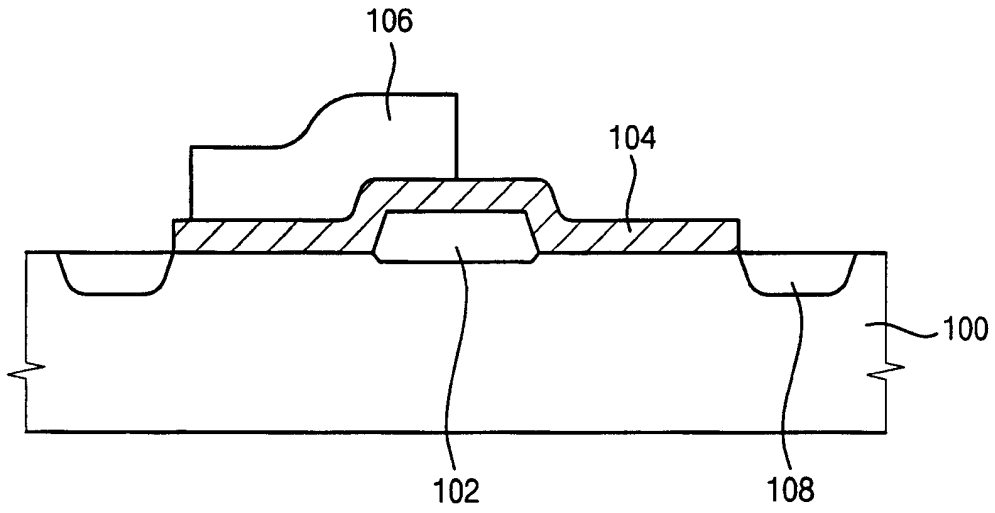


图 2

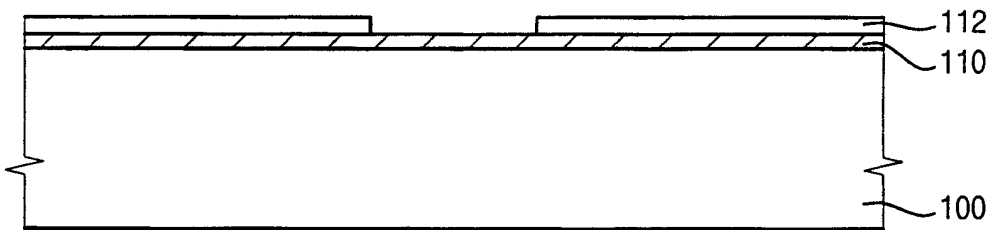


图 3

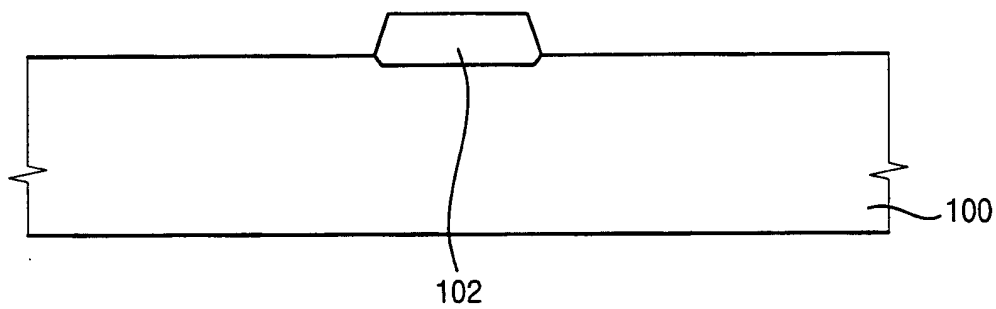


图 4

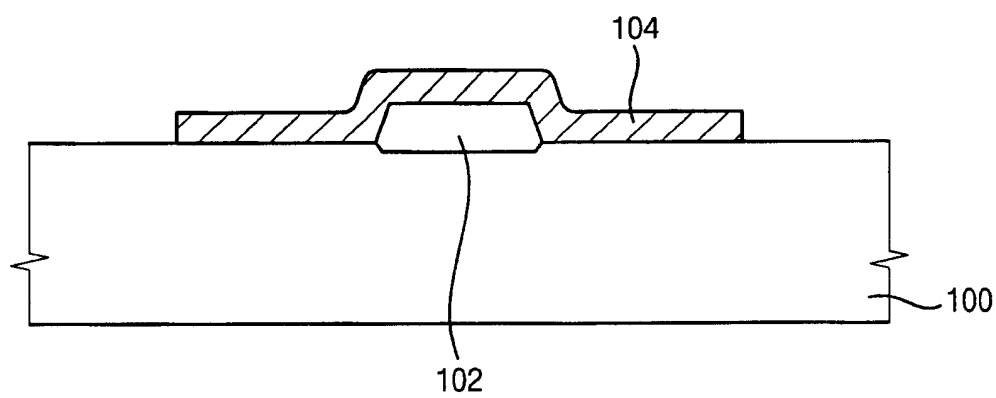


图 5

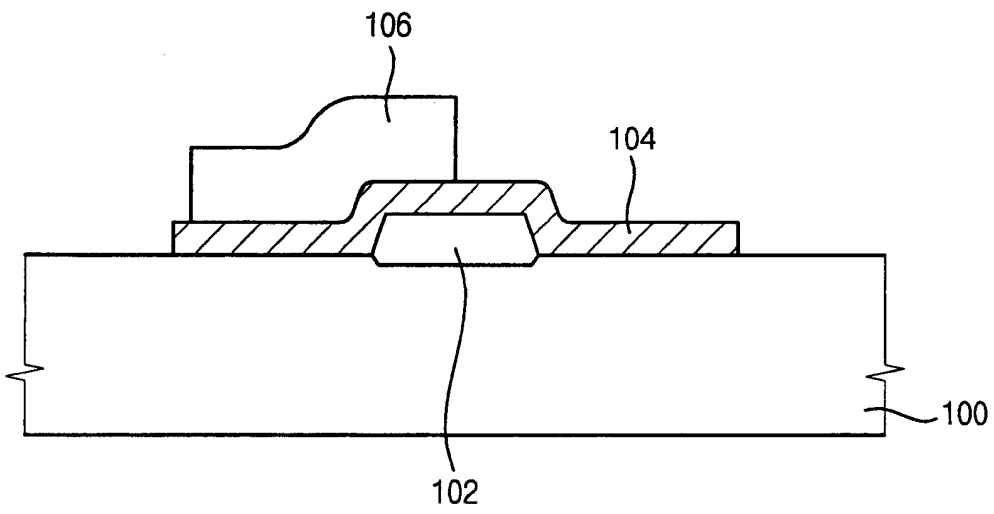


图 6

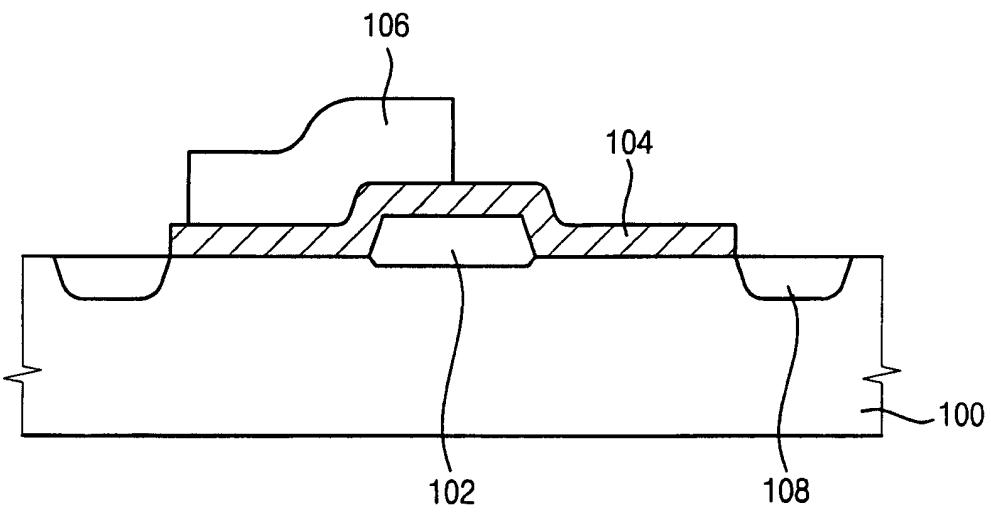


图 7

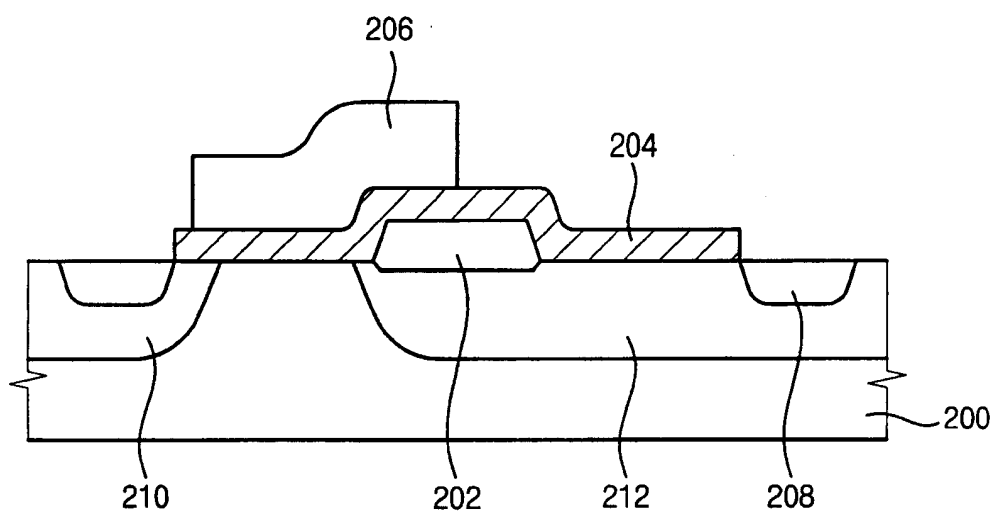


图 8

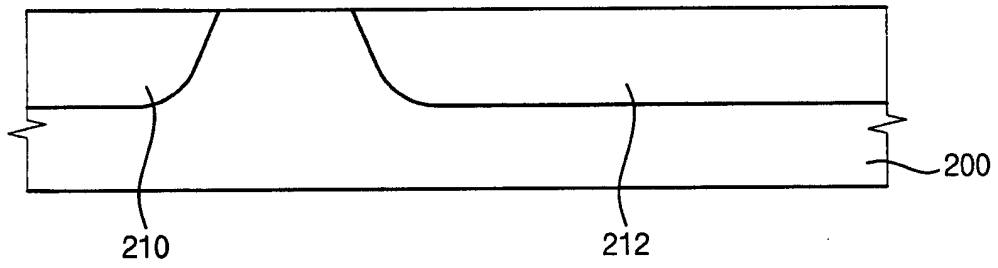


图 9

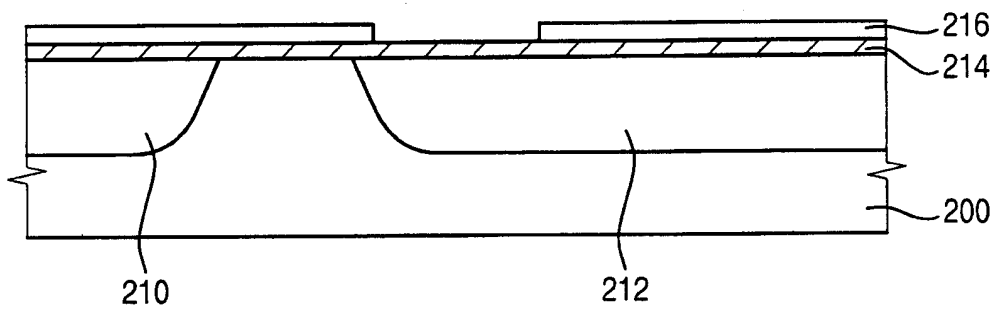


图 10



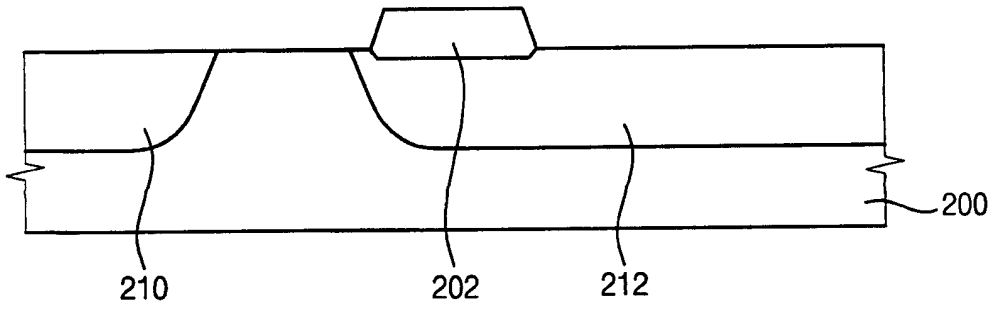


图 11

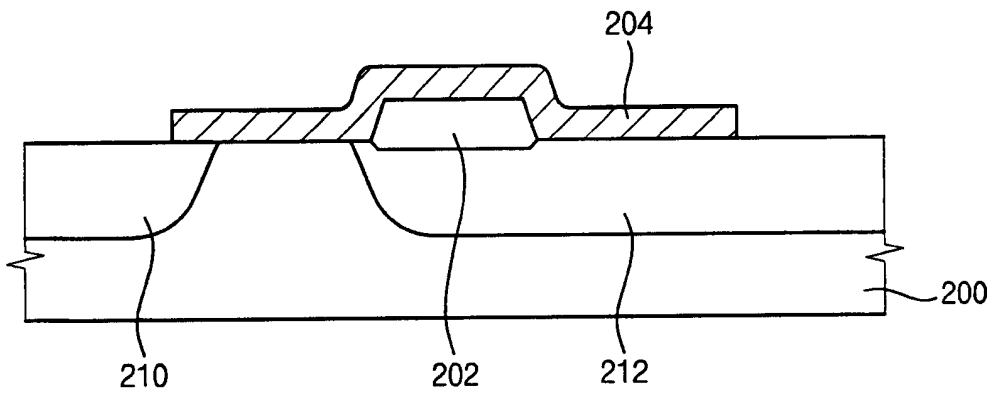


图 12

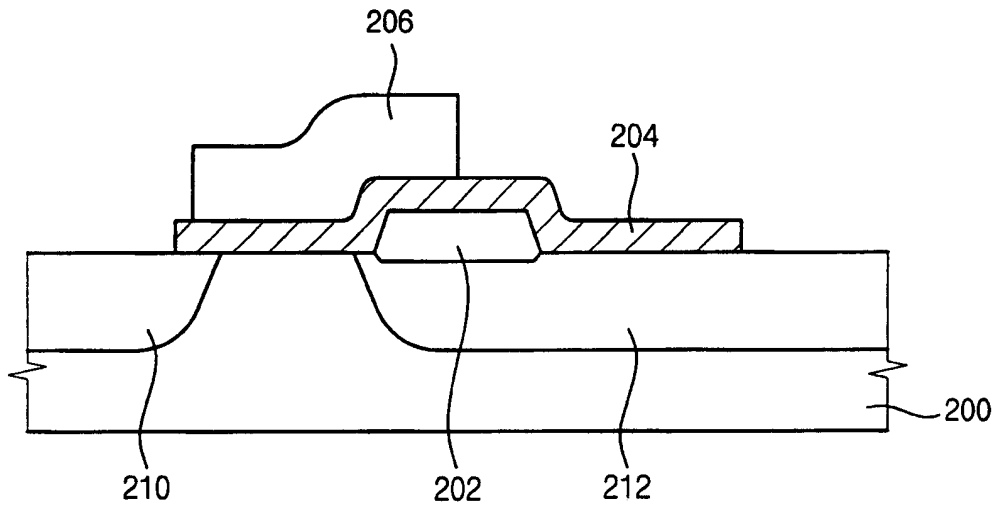


图 13

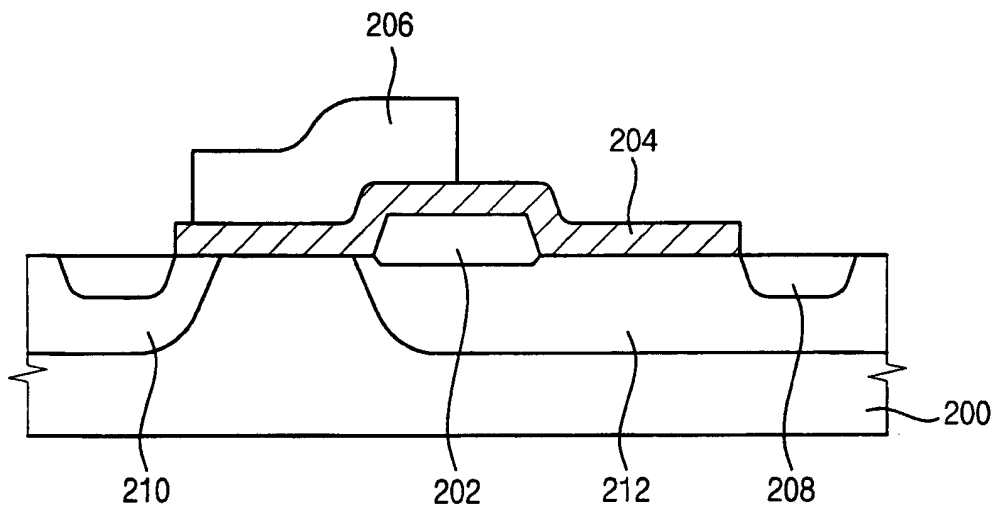


图 14

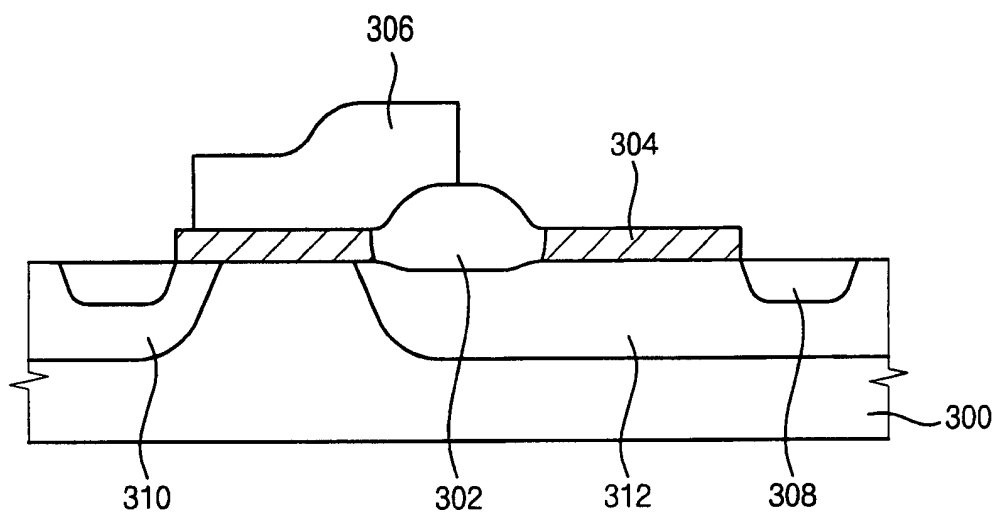


图 15

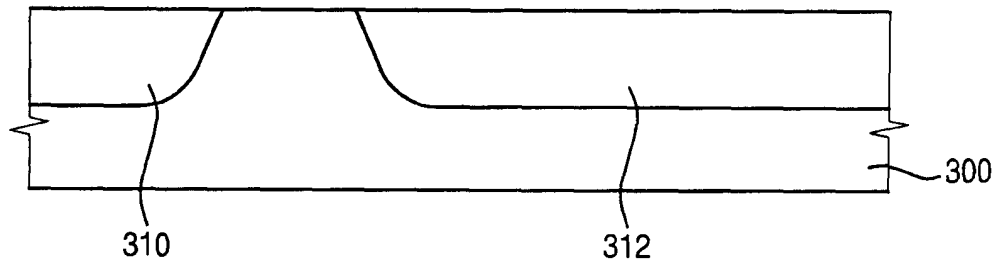


图 16

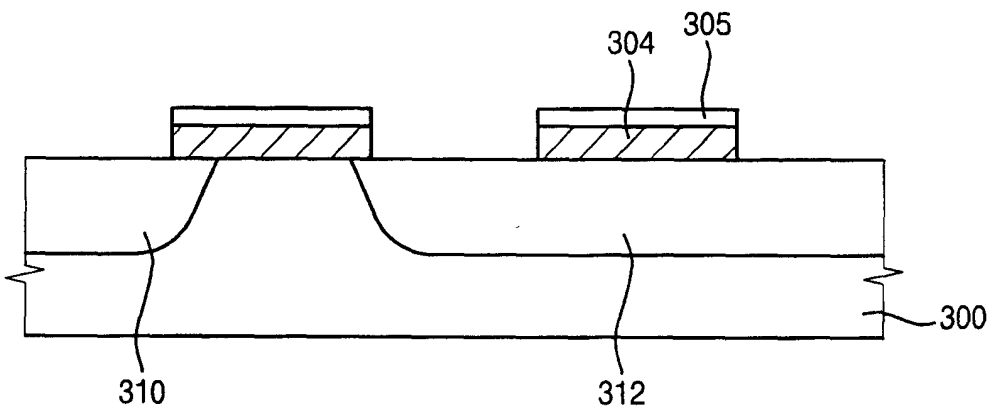


图 17

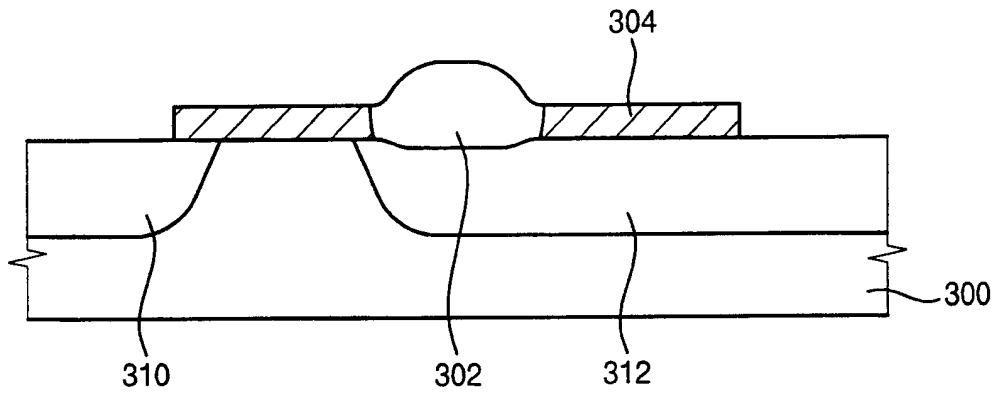


图 18

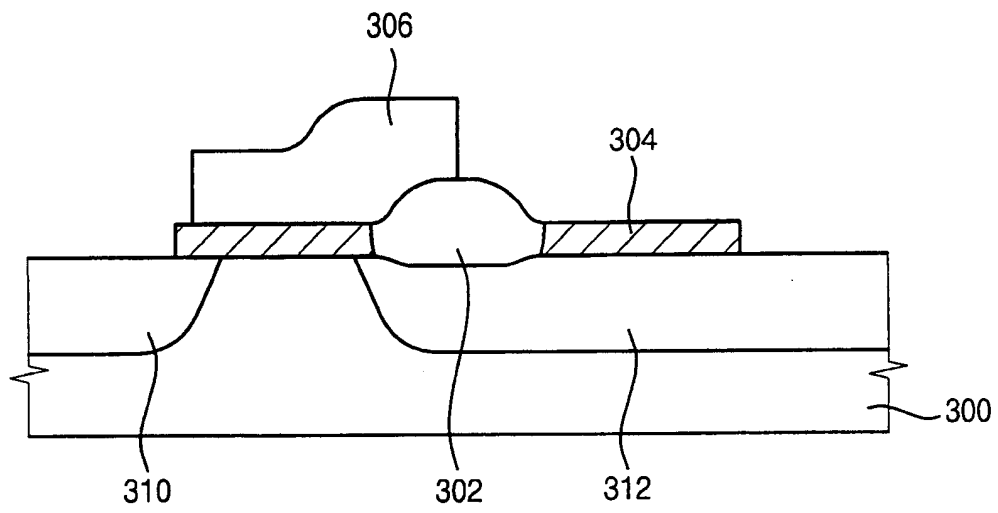


图 19

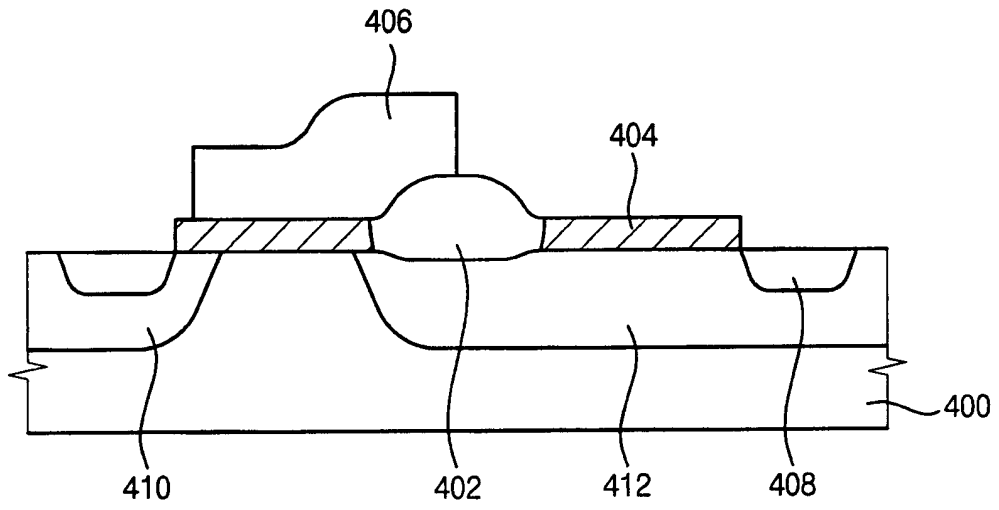


图 20

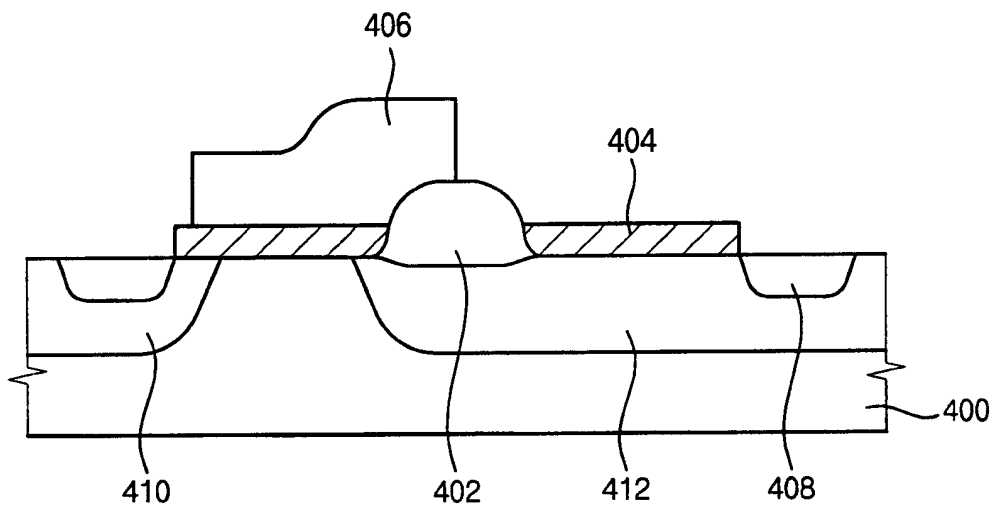


图 21

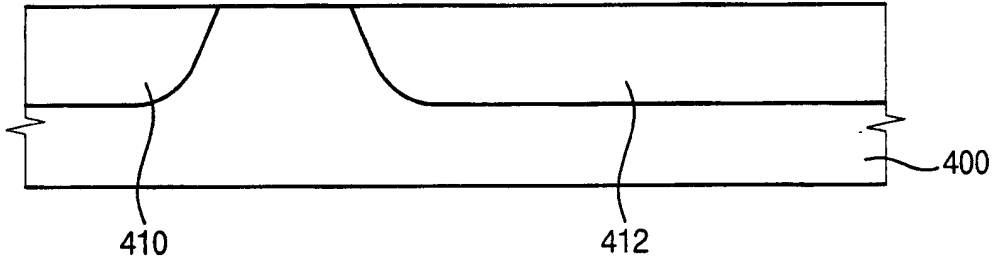


图 22

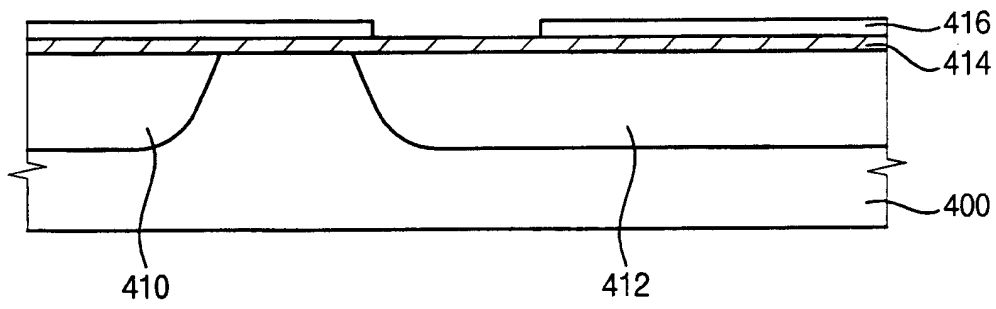


图 23

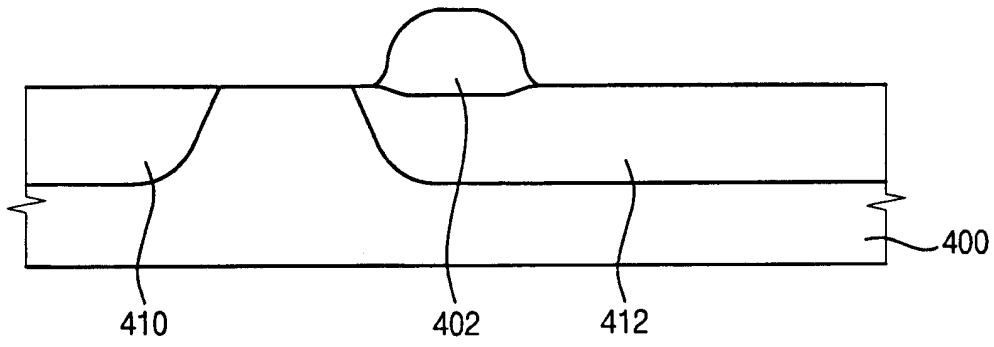


图 24

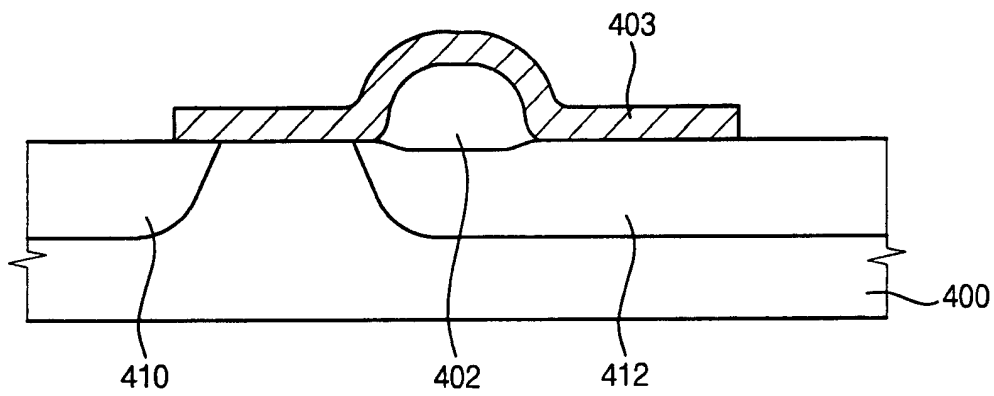


图 25



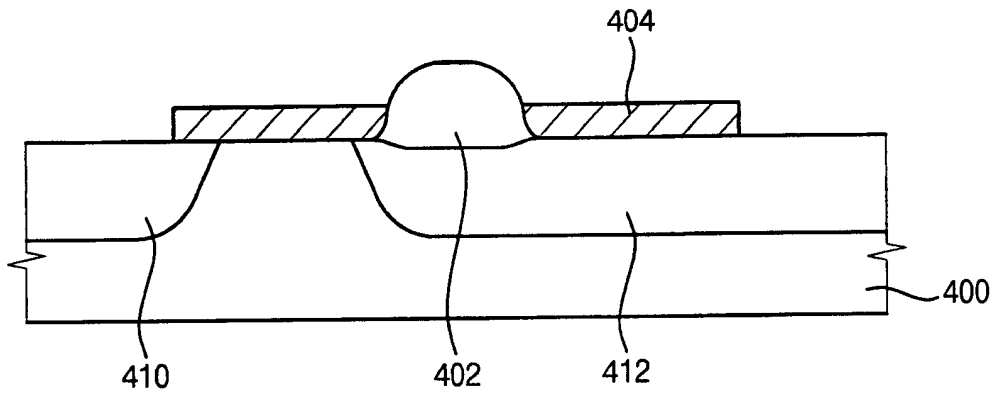


图 26

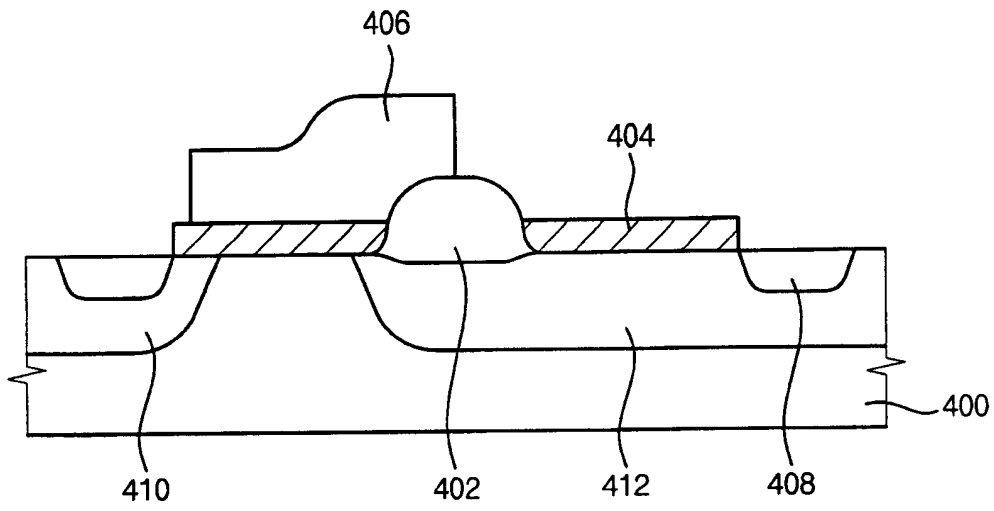


图 27

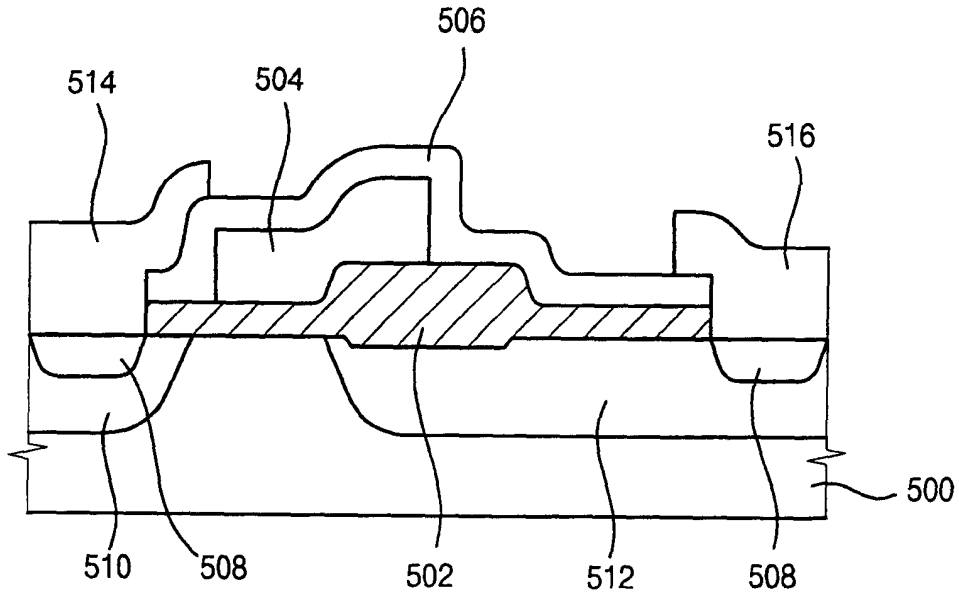


图 28

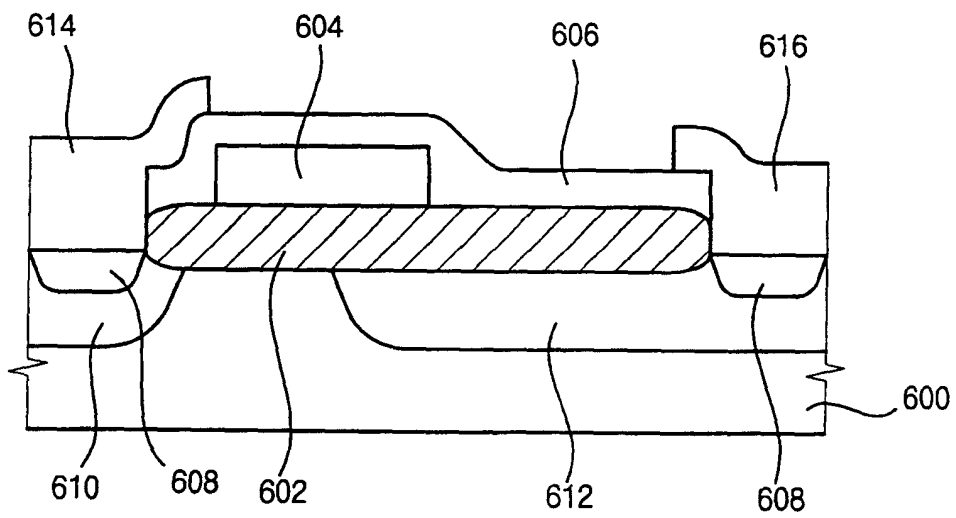


图 29

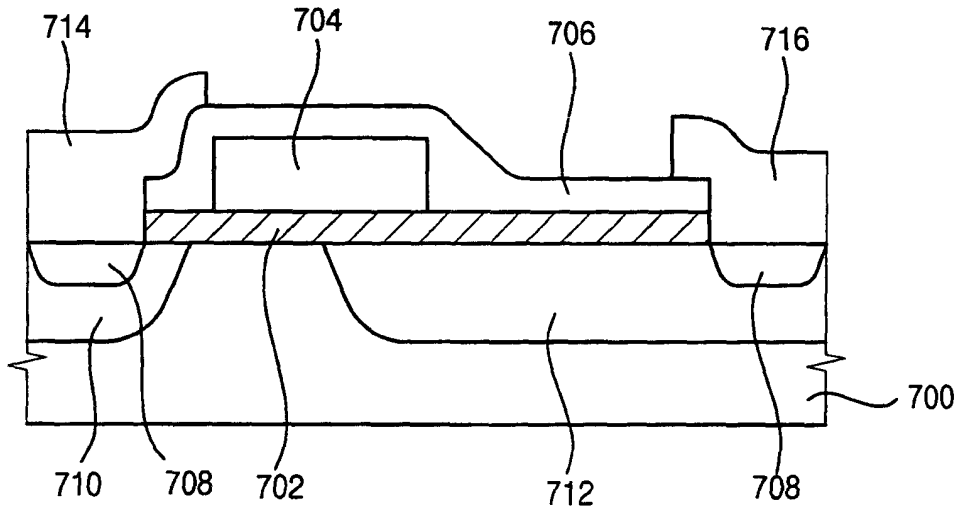


图 30

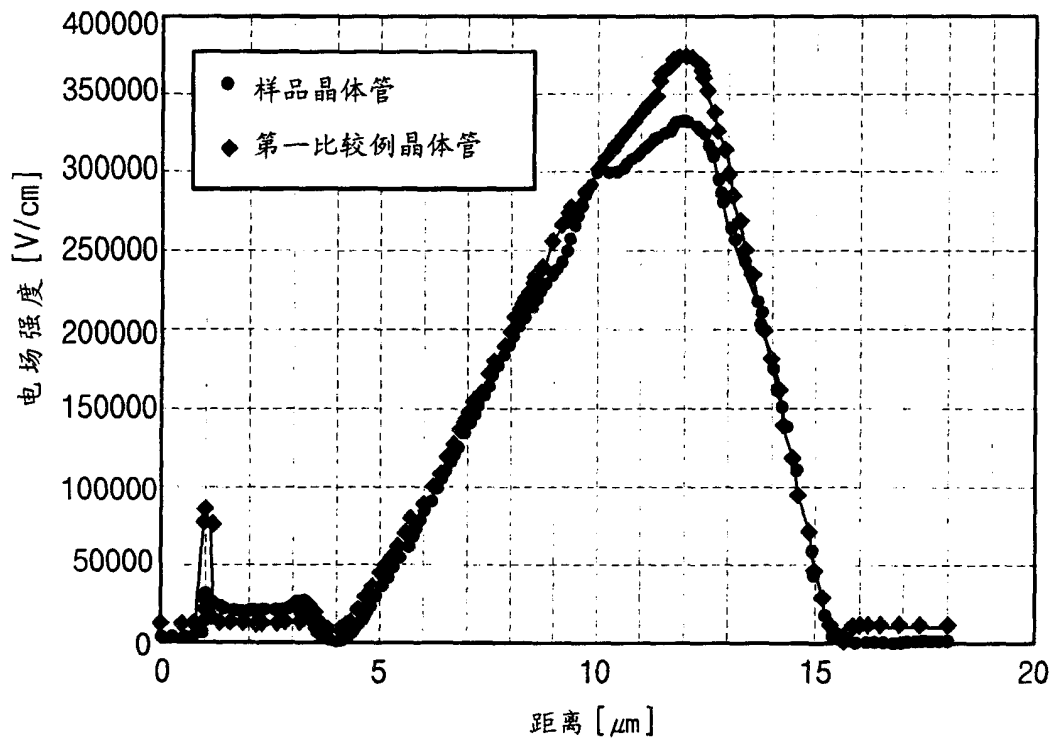


图 31

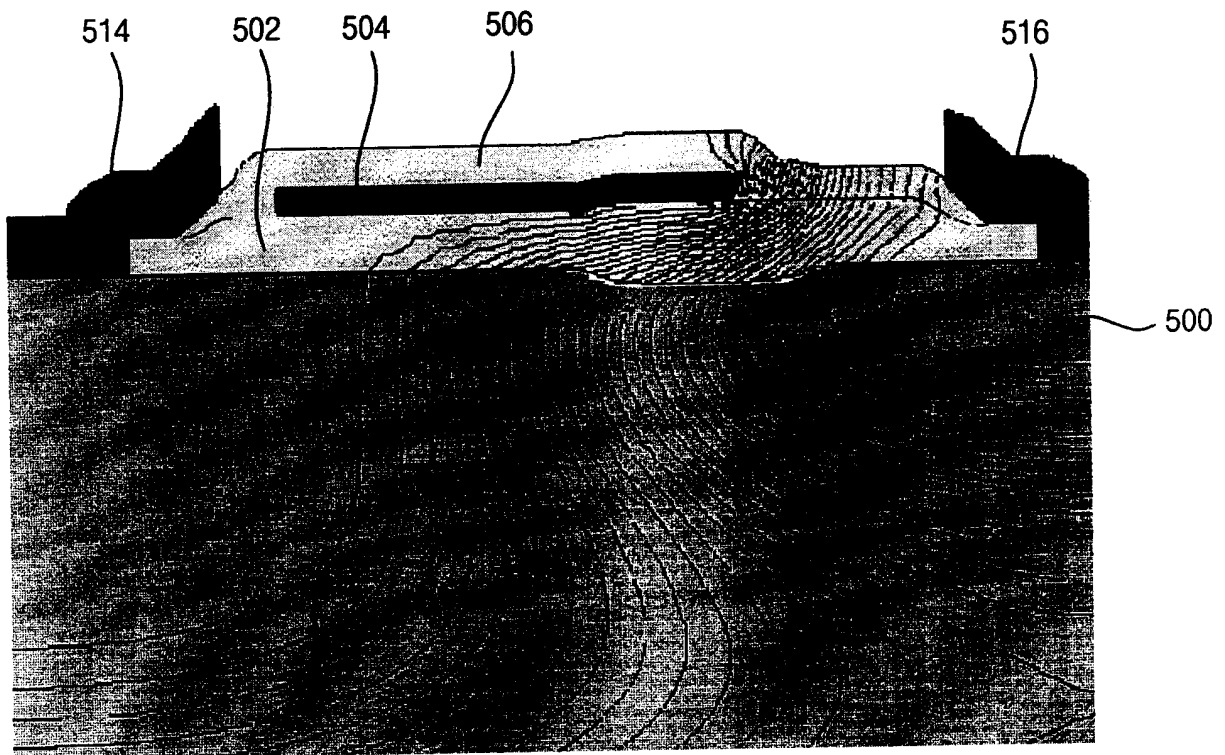


图 32

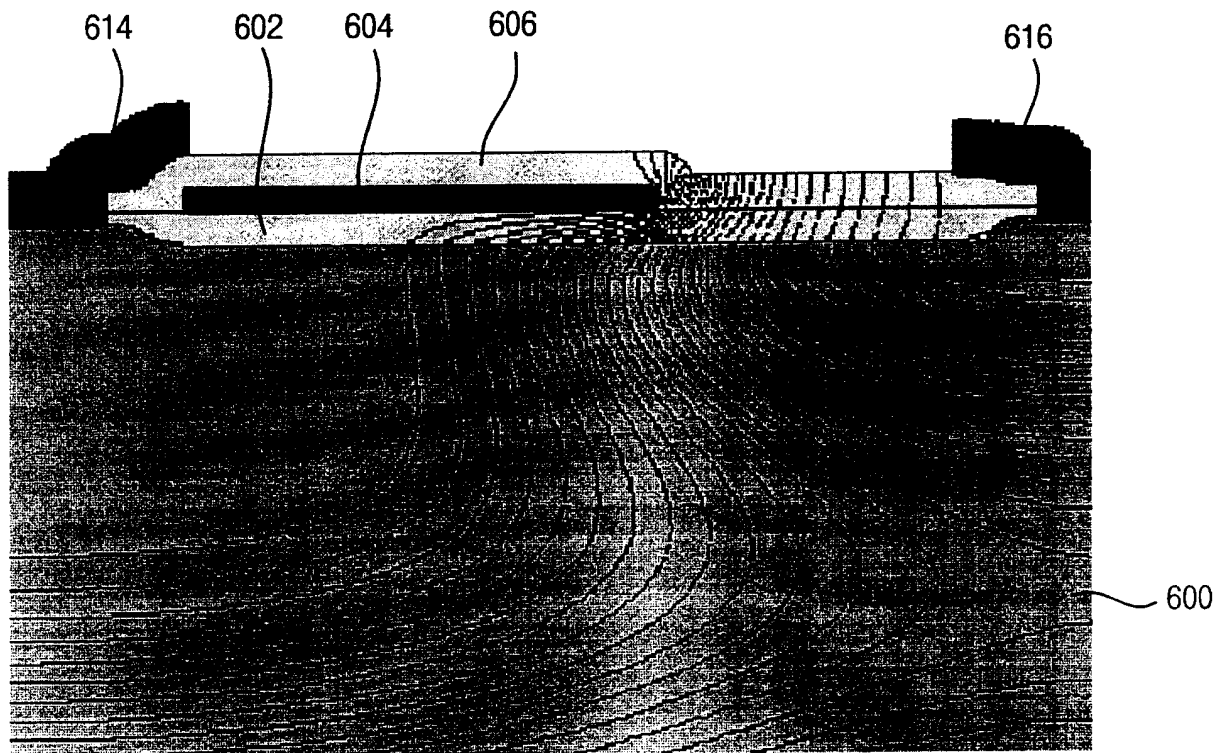


图 33

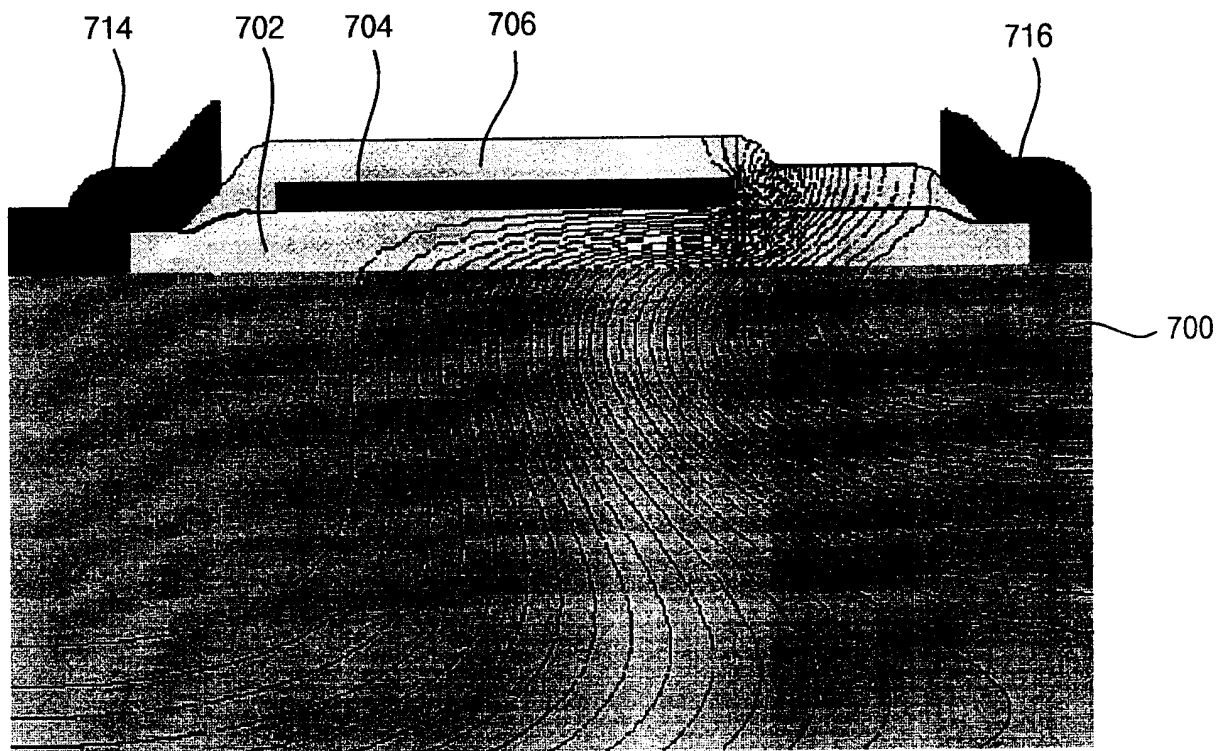


图 34