



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0169064
(43) 공개일자 2022년12월27일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 27/15</i> (2006.01) <i>H01L 33/00</i> (2010.01)
 <i>H01L 33/48</i> (2010.01) <i>H01L 33/62</i> (2010.01)</p> <p>(52) CPC특허분류
 <i>H01L 27/156</i> (2013.01)
 <i>H01L 33/0012</i> (2013.01)</p> <p>(21) 출원번호 10-2021-0079007
 (22) 출원일자 2021년06월17일
 심사청구일자 없음</p> | <p>(71) 출원인
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(72) 발명자
 유제원
 경기도 용인시 기흥구 삼성로 1 (농서동)
 김민주
 경기도 용인시 기흥구 삼성로 1 (농서동)
 이성진
 경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(74) 대리인
 오중한, 문용호</p> |
|--|---|

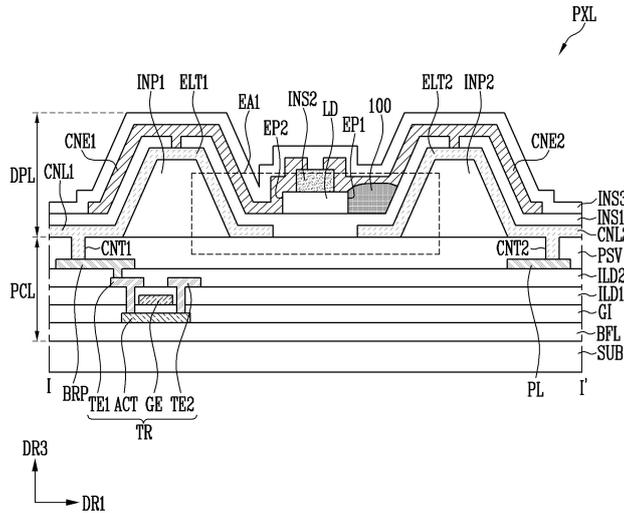
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 의하면, 기관; 상기 기관 상에 배치되고 제1 단부 및 제2 단부를 포함하는 발광 소자; 상기 발광 소자의 상기 제2 단부와 전기적으로 연결된 제1 콘택 전극; 상기 발광 소자의 상기 제1 단부와 전기적으로 연결된 제2 콘택 전극; 및 상기 발광 소자의 상기 제1 단부와 상기 제1 콘택 전극을 전기적으로 연결하는 액상 금속부; 를 포함하는, 표시 장치가 제공될 수 있다.

대표도 - 도5



(52) CPC특허분류

H01L 33/483 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

기관 상에 배치되고 제1 단부 및 제2 단부를 포함하는 발광 소자;
상기 발광 소자의 상기 제2 단부와 전기적으로 연결된 제1 콘택 전극;
상기 발광 소자의 상기 제1 단부와 전기적으로 연결된 제2 콘택 전극; 및
상기 발광 소자의 상기 제1 단부와 상기 제2 콘택 전극을 전기적으로 연결하는 액상 금속부; 를 포함하는, 표시 장치.

청구항 2

제1 항에 있어서,
상기 액상 금속부의 일부는 상기 발광 소자와 접촉하고, 상기 액상 금속부의 또 다른 일부는 상기 제2 콘택 전극과 접촉하는, 표시 장치.

청구항 3

제1 항에 있어서,
상기 액상 금속부의 표면 상에는 산화막이 형성된, 표시 장치.

청구항 4

제1 항에 있어서,
상기 기관 상에 배치되고 서로 제1 방향을 따라 이격된 제1 전극 및 제2 전극; 을 더 포함하고,
상기 발광 소자는 상기 제1 전극과 상기 제2 전극 사이에 배치되고,
상기 액상 금속부는 상기 제1 방향과 교차하는 제2 방향을 따라 연장하는, 표시 장치.

청구항 5

제4 항에 있어서,
상기 발광 소자는 제1 발광 소자 및 상기 제1 발광 소자와 상기 제2 방향을 따라 인접한 제2 발광 소자를 포함하고,
상기 액상 금속부는 상기 제1 발광 소자 및 상기 제2 발광 소자 각각에 접촉되는, 표시 장치.

청구항 6

제1 항에 있어서,
상기 발광 소자는, 상기 제1 단부에 인접하고 N형의 반도체층을 포함하는 제1 반도체층 및 상기 제2 단부에 인접하고 P형의 반도체층을 포함하는 제2 반도체층을 포함하고,
상기 액상 금속부는 상기 제2 반도체층에 비해 상기 제1 반도체층에 인접하는, 표시 장치.

청구항 7

제1 항에 있어서,
상기 발광 소자는 상기 제1 단부에서 불균일한 표면을 가지는, 표시 장치.

청구항 8

제1 항에 있어서,

상기 발광 소자는, 각각 상기 제1 단부에 위치하고 상기 액상 금속부와 접하는 오목부 및 볼록부를 포함하는, 표시 장치.

청구항 9

제1 항에 있어서,

상기 발광 소자는, 상기 제1 단부에 인접한 경사 영역을 포함하고,

상기 경사 영역에서 상기 기관의 두께 방향과 비평행한 표면을 가지는, 표시 장치.

청구항 10

제9 항에 있어서,

상기 발광 소자는, 상기 경사 영역에서 상기 액상 금속부와 접촉하는, 표시 장치.

청구항 11

제9 항에 있어서,

상기 액상 금속부는 평면 상에서 볼 때 상기 경사 영역에서 상기 발광 소자와 중첩하는, 표시 장치.

청구항 12

제9 항에 있어서,

상기 액상 금속부의 적어도 일부는, 상기 경사 영역에서 상기 발광 소자의 하부에 배치되는, 표시 장치.

청구항 13

제1 항에 있어서,

상기 액상 금속은 용융 갈륨-인듐 합금(eutectic gallium-indium alloy: EGaIn)또는 갈륨-인듐-주석 합금(gallium-indium-tin alloy: Galinstan)을 포함하는, 표시 장치.

청구항 14

제6 항에 있어서,

상기 발광 소자는 상기 제1 컨택 전극을 통해 애노드 신호를 제공받고, 상기 제2 컨택 전극 및 상기 액상 금속부를 통해 캐소드 신호를 제공받는, 표시 장치.

청구항 15

제1 항에 있어서,

상기 발광 소자 상에 배치되고, 평면 상에서 볼 때 상기 제1 컨택 전극과 상기 액상 금속부 사이에 위치하는 제2 절연막; 을 더 포함하는, 표시 장치.

청구항 16

기관 상에 제1 전극 및 제2 전극을 형성하는 단계;

상기 제1 전극 및 상기 제2 전극 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 제1 단부와 제2 단부를 포함하는 발광 소자를 배열하는 단계;

상기 발광 소자의 상기 제1 단부에 인접하게 액상 금속부를 제공하는 단계; 및

상기 제1 전극과 상기 발광 소자를 전기적으로 연결하는 제1 컨택 전극 및 상기 제2 전극과 상기 발광 소자를 전기적으로 연결하는 제2 컨택 전극을 형성하는 단계; 를 포함하고,

상기 액상 금속부는 상기 발광 소자와 상기 제2 컨택 전극을 전기적으로 연결하는, 표시 장치의 제조 방법.

청구항 17

제16 항에 있어서,

상기 액상 금속부를 제공하는 단계는,

상기 액상 금속부를 토출하도록 구성된 프린팅 장치를 이용하여 수행되는 방식 혹은 전기 방사 (electrospinning) 방식 중 어느 하나에 의해 수행되는, 표시 장치의 제조 방법.

청구항 18

제16 항에 있어서,

상기 액상 금속부를 제공하는 단계 이후에 수행되고, 상기 발광 소자의 적어도 일부를 커버하도록 베이스 절연막을 형성하는 단계; 를 더 포함하고,

상기 베이스 절연막을 형성하는 단계는, 상기 발광 소자의 상기 제1 단부를 노출하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 19

제18 항에 있어서,

상기 베이스 절연막은 평면 상에서 볼 때, 상기 액상 금속부의 흐름을 차단하도록 상기 발광 소자와 중첩하는, 표시 장치의 제조 방법.

청구항 20

제16 항에 있어서,

상기 액상 금속부를 제공하는 단계는, 상기 발광 소자의 상기 제1 단부와 상기 액상 금속부가 서로 접촉하는 단계를 포함하는, 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조됨에 따라, 표시 장치에 대한 연구 개발이 지속적으로 이루어지고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 과제는, 발광 소자의 접촉 불량에 방지되어, 전기적 신호의 신뢰도가 향상되고, 발광 효율이 향상된 표시 장치 및 그 제조 방법을 제공하는 것이다.

[0004] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 의하면, 기판 상에 배치되고 제1 단부 및 제2 단부를 포함하는 발광 소자; 상기 발광 소자의 상기 제2 단부와 전기적으로 연결된 제1 컨택 전극; 상기 발광 소자의 상기 제1 단부와 전기적으로 연결된 제2 컨택 전극; 및 상기 발광 소자의 상기 제1 단부와 상기 제2 컨택 전극을 전기적으로 연결하는 액상 금속부; 를 포함하는, 표시 장치가 제공될 수 있다.

- [0006] 실시예에 따르면, 상기 액상 금속부의 일부는 상기 발광 소자와 접촉하고, 상기 액상 금속부의 또 다른 일부는 상기 제2 컨택 전극과 접촉하는, 표시 장치가 제공될 수 있다.
- [0007] 실시예에 따르면, 상기 액상 금속부는 평면 상에서 볼 때, 상기 제2 컨택 전극과 중첩하는, 표시 장치가 제공될 수 있다.
- [0008] 실시예에 따르면, 상기 기판 상에 배치되고 서로 제1 방향을 따라 이격된 제1 전극 및 제2 전극; 을 더 포함하고, 상기 발광 소자는 상기 제1 전극과 상기 제2 전극 사이에 배치되고, 상기 액상 금속부는 상기 제1 방향과 교차하는 제2 방향을 따라 연장하는, 표시 장치가 제공될 수 있다.
- [0009] 실시예에 따르면, 상기 발광 소자는 제1 발광 소자 및 상기 제1 발광 소자와 상기 제2 방향을 따라 인접한 제2 발광 소자를 포함하고, 상기 액상 금속부는 상기 제1 발광 소자 및 상기 제2 발광 소자 각각에 접촉되는, 표시 장치가 제공될 수 있다.
- [0010] 실시예에 따르면, 상기 발광 소자는, 상기 제1 단부에 인접하고 N형의 반도체층을 포함하는 제1 반도체층 및 상기 제2 단부에 인접하고 P형의 반도체층을 포함하는 제2 반도체층을 포함하고, 상기 액상 금속부는 상기 제2 반도체층에 비해 상기 제1 반도체층에 인접하는, 표시 장치가 제공될 수 있다.
- [0011] 실시예에 따르면, 상기 발광 소자는 상기 제1 단부에서 불균일한 표면을 가지는, 표시 장치가 제공될 수 있다.
- [0012] 실시예에 따르면, 상기 발광 소자는, 각각 상기 제1 단부에 위치하고 상기 액상 금속부와 접하는 오목부 및 볼록부를 포함하는, 표시 장치가 제공될 수 있다.
- [0013] 실시예에 따르면, 상기 발광 소자는, 상기 제1 단부에 인접한 경사 영역을 포함하고, 상기 경사 영역에서 상기 기판의 두께 방향과 비평행한 표면을 가지는, 표시 장치가 제공될 수 있다.
- [0014] 실시예에 따르면, 상기 발광 소자는, 상기 경사 영역에서 상기 액상 금속부와 접촉하는, 표시 장치가 제공될 수 있다.
- [0015] 실시예에 따르면, 상기 액상 금속부는 평면 상에서 볼 때 상기 경사 영역에서 상기 발광 소자와 중첩하는, 표시 장치가 제공될 수 있다.
- [0016] 실시예에 따르면, 상기 액상 금속부의 적어도 일부는, 상기 경사 영역에서 상기 발광 소자의 하부에 배치되는, 표시 장치가 제공될 수 있다.
- [0017] 실시예에 따르면, 상기 액상 금속은 용융 갈륨-인듐 합금(eutectic gallium-indium alloy: EGaIn) 또는 갈륨-인듐-주석 합금(gallium-indium-tin alloy: Galinstan)을 포함하는, 표시 장치가 제공될 수 있다.
- [0018] 실시예에 따르면, 상기 발광 소자는 상기 제1 컨택 전극을 통해 애노드 신호를 제공받고, 상기 제2 컨택 전극 및 상기 액상 금속부를 통해 캐소드 신호를 제공받는, 표시 장치가 제공될 수 있다.
- [0019] 실시예에 따르면, 상기 발광 소자 상에 배치되고, 평면 상에서 볼 때 상기 제1 컨택 전극과 상기 액상 금속부 사이에 위치하는 제2 절연막; 을 더 포함하는, 표시 장치가 제공될 수 있다.
- [0020] 본 발명의 또 다른 실시예에 따르면, 기판 상에 제1 전극 및 제2 전극을 형성하는 단계; 상기 제1 전극 및 상기 제2 전극 상에 제1 절연막을 형성하는 단계; 상기 제1 절연막 상에 제1 단부와 제2 단부를 포함하는 발광 소자를 배열하는 단계; 상기 발광 소자의 상기 제1 단부에 인접하게 액상 금속부를 제공하는 단계; 및 상기 제1 전극과 상기 발광 소자를 전기적으로 연결하는 제1 컨택 전극 및 상기 제2 전극과 상기 발광 소자를 전기적으로 연결하는 제2 컨택 전극을 형성하는 단계; 를 포함하고, 상기 액상 금속부는 상기 발광 소자와 상기 제2 컨택 전극을 전기적으로 연결하는, 표시 장치의 제조 방법이 제공될 수 있다.
- [0021] 실시예에 따르면, 상기 액상 금속부를 제공하는 단계는, 상기 액상 금속부를 토출하도록 구성된 프린팅 장치를 이용하여 수행되는 방식 혹은 전기 방사(electrospinning) 방식 중 어느 하나에 의해 수행되는, 표시 장치의 제조 방법이 제공될 수 있다.
- [0022] 실시예에 따르면, 상기 액상 금속부를 제공하는 단계 이후에 수행되고, 상기 발광 소자의 적어도 일부를 커버하도록 베이스 절연막을 형성하는 단계; 를 더 포함하고, 상기 베이스 절연막을 형성하는 단계는, 상기 발광 소자의 상기 제1 단부를 노출하는 단계를 포함하는, 표시 장치의 제조 방법이 제공될 수 있다.
- [0023] 실시예에 따르면, 상기 베이스 절연막은 평면 상에서 볼 때, 상기 액상 금속부의 흐름을 차단하도록 상기 발광

소자와 증첩하는, 표시 장치의 제조 방법이 제공될 수 있다.

[0024] 실시예에 따르면, 상기 액상 금속부를 제공하는 단계는, 상기 발광 소자의 상기 제1 단부와 상기 액상 금속부가 서로 접촉하는 단계를 포함하는, 표시 장치의 제조 방법이 제공될 수 있다.

[0025] 본 발명의 과제에 해결 수단이 상술한 해결 수단들로 제한되는 것은 아니며, 언급되지 아니한 해결 수단들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[0026] 본 발명의 일 실시예에 의하면, 발광 소자의 접촉 불량이 방지되어, 전기적 신호의 신뢰도가 향상되고, 발광 효율이 향상된 표시 장치 및 그 제조 방법이 제공될 수 있다.

[0027] 본 발명의 효과가 상술한 효과들로 제한되는 것은 아니며, 언급되지 아니한 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0028] 도 1 및 도 2는 실시예에 따른 발광 소자를 나타내는 사시도 및 단면도이다.

도 3은 실시예에 따른 표시 장치를 개략적으로 나타낸 평면도이다.

도 4는 일 실시예에 따른 화소를 나타낸 평면도이다.

도 5는 도 4의 I~I'에 따른 단면도이다.

도 6은 도 5의 EA1 영역의 확대도이다.

도 7은 도 6의 EA2 영역의 확대도이다.

도 8은 다른 실시예에 따른 화소의 구조를 나타낸 단면도로서, 도 5의 EA1 영역에 대응하는 영역을 나타낸 단면도이다.

도 9 내지 도 14는 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 명세서에 기재된 실시예는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 사상을 명확히 설명하기 위한 것이므로, 본 발명이 본 명세서에 기재된 실시예에 의해 한정되는 것은 아니며, 본 발명의 범위는 본 발명의 사상을 벗어나지 아니하는 수정예 또는 변형예를 포함하는 것으로 해석되어야 한다.

[0030] 본 명세서에서 사용되는 용어는 본 발명에서의 기능을 고려하여 가능한 현재 널리 사용되고 있는 일반적인 용어를 선택하였으나 이는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자의 의도, 관례 또는 새로운 기술의 출현 등에 따라 달라질 수 있다. 다만, 이와 달리 특정한 용어를 임의의 의미로 정의하여 사용하는 경우에는 그 용어의 의미에 관하여 별도로 기재할 것이다. 따라서 본 명세서에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가진 실질적인 의미와 본 명세서의 전반에 걸친 내용을 토대로 해석되어야 한다.

[0031] 본 명세서에 첨부된 도면은 본 발명을 용이하게 설명하기 위한 것으로 도면에 도시된 형상은 본 발명의 이해를 돕기 위하여 필요에 따라 과장되어 표시된 것일 수 있으므로 본 발명이 도면에 의해 한정되는 것은 아니다.

[0032] 본 명세서에서 본 발명에 관련된 공지의 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에 이에 관한 자세한 설명은 필요에 따라 생략하기로 한다.

[0033] 본 발명은 표시 장치 및 그 제조 방법에 관한 것이다. 이하에서는 첨부된 도면을 참조하여 실시예에 따른 표시 장치 및 그 제조 방법에 관하여 설명한다.

[0034] 도 1 및 도 2에는 실시예에 따른 표시 장치에 포함되는 발광 소자(LD)에 관하여 도시되었다. 도 1 및 도 2는 실시예에 따른 발광 소자를 나타내는 사시도 및 단면도이다.

[0035] 도 1 및 도 2를 참조하면, 발광 소자(LD)는 제1 반도체층(SEC1) 및 제2 반도체층(SEC2), 제1 반도체층(SEC1)과 제2 반도체층(SEC2) 사이에 개재된 활성층(AL)을 포함할 수 있다. 발광 소자(LD)는 전극층(ELL)을 더 포함할 수

있다. 일 실시예에 따르면, 제1 반도체층(SEC1), 활성층(AL), 제2 반도체층(SEC2), 및 전극층(ELL)은 발광 소자(LD)의 길이(L) 방향을 따라 순차적으로 적층될 수 있다.

- [0036] 발광 소자(LD)는 제1 단부(EP1)와 제2 단부(EP2)를 가질 수 있다. 발광 소자(LD)의 제1 단부(EP1)에는 제1 반도체층(SEC1)이 인접할 수 있다. 발광 소자(LD)의 제2 단부(EP2)에는 제2 반도체층(SEC2) 및 전극층(ELL)이 인접할 수 있다.
- [0037] 실시예에 따르면, 발광 소자(LD)는 기둥 형상을 가질 수 있다. 기둥 형상은 원기둥 또는 다각 기둥 등과 같이, 길이(L) 방향으로 연장된 형상을 의미할 수 있다. 즉, 발광 소자(LD)의 길이(L)는 그 직경(D)(또는, 횡단면의 폭)보다 클 수 있다. 발광 소자(LD)의 단면의 형상은 로드 형상(rod-like shape) 및 바 형상(bar-like shape)을 포함하나, 이에 한정되는 것은 아니다.
- [0038] 발광 소자(LD)는 나노 스케일(nanometer scale) 내지 마이크로 스케일(micrometer scale)의 크기를 가질 수 있다. 예를 들어, 발광 소자(LD)의 직경(D)(또는 폭) 및 길이(L)는 각각 나노 스케일 내지 마이크로 스케일의 크기를 가질 수 있으나, 이에 한정되는 것은 아니다.
- [0039] 제1 반도체층(SEC1)은 제1 도전형의 반도체층일 수 있다. 예를 들어, 제1 반도체층(SEC1)은 N형 반도체층을 포함할 수 있다. 일 예로, 제1 반도체층(SEC1)은 InAlGa_n, GaN, AlGa_n, InGa_n, AlN, InN 중 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전형 도펀트가 도핑된 N형 반도체층을 포함할 수 있다. 다만, 제1 반도체층(SEC1)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질로 제1 반도체층(SEC1)을 구성할 수 있다.
- [0040] 활성층(AL)은 제1 반도체층(SEC1) 상에 배치될 수 있다. 활성층(AL)은 제1 반도체층(SEC1)과 제2 반도체층(SEC2) 사이에 배치될 수 있다.
- [0041] 활성층(AL)은 AlGaInP, AlGaP, AlInGa_n, InGa_n, 및 AlGa_n 중 어느 하나를 포함할 수 있다. 예를 들어, 활성층(AL)이 적색광을 출력하고자 하는 경우, 활성층(AL)은 AlGaInP 및/또는 InGa_n을 포함할 수 있다. 활성층(AL)이 녹색광 혹은 청색광을 출력하고자 하는 경우, 활성층(AL)은 InGa_n을 포함할 수 있다. 하지만 상술된 예시에 한정되지 않는다.
- [0042] 활성층(AL)은 단일 양자 우물(single-quantum well) 또는 다중 양자 우물(multi-quantum well) 구조로 형성될 수 있다.
- [0043] 제2 반도체층(SEC2)은 활성층(AL) 상에 배치되며, 제1 반도체층(SEC1)과 상이한 타입의 반도체층을 포함할 수 있다. 예를 들어, 제2 반도체층(SEC2)은 P형 반도체층을 포함할 수 있다. 일 예로, 제2 반도체층(SEC2)은 InAlGa_n, GaN, AlGa_n, InGa_n, AlN, InN 중 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전형 도펀트가 도핑된 P형 반도체층을 포함할 수 있다. 다만, 제2 반도체층(SEC2)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질이 제2 반도체층(SEC2)을 구성할 수 있다.
- [0044] 전극층(ELL)은 제2 반도체층(SEC2) 상에 형성될 수 있다. 전극층(ELL)은 금속 또는 금속 산화물을 포함할 수 있다. 일 예에 따르면, 전극층(ELL)은 Cr, Ti, Al, Au, Ni, ITO, IZO, ITZO 및 이들의 산화물 또는 합금 중 적어도 어느 하나를 포함할 수 있다.
- [0045] 실시예에 따르면, 발광 소자(LD)는 제1 단부(EP1)에서 불균일한 표면을 가질 수 있다. 이에 관한 상세한 내용은 도 6 및 도 7을 참조하여 후술하도록 한다.
- [0046] 발광 소자(LD)의 양단에 문턱 전압 이상의 전압을 인가하게 되면, 활성층(AL)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광하게 된다. 이러한 원리를 이용하여 발광 소자(LD)의 발광을 제어함으로써, 발광 소자(LD)를 표시 장치(도 3의 'DD' 참조)의 화소를 비롯한 다양한 발광 장치의 광원으로 이용할 수 있다.
- [0047] 발광 소자(LD)는 표면에 제공된 절연막(INF)을 더 포함할 수 있다. 절연막(INF)은 단일의 막 또는 복수의 막으로 형성될 수 있다.
- [0048] 절연막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 양 단부를 노출할 수 있다. 예를 들어, 절연막(INF)은 제1 단부(EP1)에 인접하여 배치된 제1 반도체층(SEC1) 및 제2 단부(EP2)에 인접하여 배치된 전극층(ELL) 각각의 일부를 노출할 수 있다.
- [0049] 절연막(INF)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y), 알루미늄 산화물(AlO_x), 및 타이타늄 산화물(TiO_x) 중 적어도 하나의 절연 물질을 포함할 수 있다. 다만, 특정 예시에 한정되는 것은 아

니다.

- [0050] 절연막(INF)은 발광 소자(LD)의 전기적 안정성을 확보할 수 있다. 또한, 다수의 발광 소자(LD)들이 서로 밀접하여 배치되어 있는 경우에도 발광 소자(LD)들의 사이에서 원치 않는 단락이 발생하는 것을 방지할 수 있다.
- [0051] 실시예에 따르면, 발광 소자(LD)는 제1 반도체층(SEC1), 활성층(AL), 제2 반도체층(SEC2), 전극층(ELL), 및 절연막(INF) 외 추가적인 구성을 더 포함할 수 있다. 예를 들면, 발광 소자(LD)는 형광체층, 활성층, 반도체층 및/또는 전극층을 더 포함할 수도 있다.
- [0052] 도 3은 실시예에 따른 표시 장치를 개략적으로 나타낸 평면도이다.
- [0053] 표시 장치(DD)는 광을 발산하도록 구성된다. 도 3을 참조하면, 표시 장치(DD)는 기관(SUB) 및 기관(SUB) 상에 배치된 화소(PXL)를 포함할 수 있다. 도면에 도시되지 않았으나, 표시 장치(DD)는 화소(PXL)를 구동하기 위한 구동 회로부(예를 들어, 주사 구동부 및 데이터 구동부), 배선들, 및 패드들을 더 포함할 수 있다.
- [0054] 표시 장치(DD)는 표시 영역(DA) 및 비표시 영역(NDA)을 포함할 수 있다. 비표시 영역(NDA)은 표시 영역(DA) 외 영역을 의미할 수 있다. 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일부를 둘러쌀 수 있다.
- [0055] 기관(SUB)은 표시 장치(DD)의 베이스 부재를 구성할 수 있다. 기관(SUB)은 경성 또는 연성의 기관이나 필름일 수 있으나, 특정 예시에 한정되지 않는다.
- [0056] 표시 영역(DA)은 화소(PXL)가 배치된 영역을 의미할 수 있다. 비표시 영역(NDA)은 화소(PXL)가 배치되지 않은 영역을 의미할 수 있다. 비표시 영역(NDA)에는 표시 영역(DA)의 화소(PXL)에 연결되는 구동 회로부, 배선들, 및 패드들이 배치될 수 있다.
- [0057] 일 예에 따르면, 화소(PXL)는 스트라이프(stripe) 또는 펜타일(PENTILE™) 배열 구조 등에 따라 배열될 수 있으나, 이에 한정되지 않으며, 공지된 다양한 실시 형태가 적용될 수 있다.
- [0058] 실시예에 따르면, 화소(PXL)는 제1 화소(PXL1), 제2 화소(PXL2), 및 제3 화소(PXL3)를 포함할 수 있다. 제1 내지 제3 화소들(PXL1, PXL2, PXL3)은 각각 서브 화소일 수 있다. 적어도 하나의 제1 내지 제3 화소들(PXL1, PXL2, PXL3)은 다양한 색의 광을 방출할 수 있는 하나의 화소 유닛을 구성할 수 있다.
- [0059] 예를 들어, 제1 내지 제3 화소들(PXL1, PXL2, PXL3) 각각은 소정 색의 광을 방출할 수 있다. 일 예로, 제1 화소(PXL1)는 적색(일 예로, 제1 색)의 광을 방출하는 적색 화소일 수 있고, 제2 화소(PXL2)는 녹색(일 예로, 제2 색)의 광을 방출하는 녹색 화소일 수 있으며, 제3 화소(PXL3)는 청색(일 예로, 제3 색)의 광을 방출하는 청색 화소일 수 있다. 다만, 각각의 상기 화소 유닛을 구성하는 제1 내지 제3 화소들(PXL1, PXL2, PXL3)의 색상, 종류 및/또는 개수 등이 특정 예시에 한정되지 않는다.
- [0060] 이하에서는, 도 4 내지 도 8을 참조하여 일 실시예에 따른 화소(PXL)의 구조에 관하여 더욱 상세하게 설명한다.
- [0061] 도 4는 일 실시예에 따른 화소를 나타낸 평면도이다. 도 4에 도시된 화소(PXL)는 제1 내지 제3 화소들(PXL1, PXL2, PXL3) 중 어느 하나일 수 있다.
- [0062] 도 4를 참조하면, 화소(PXL)는 제1 전극(ELT1), 제2 전극(ELT2), 제1 연결 배선(CNL1), 제2 연결 배선(CNL2), 제1 컨택부(CNT1), 제2 컨택부(CNT2), 발광 소자(LD), 액상 금속부(100), 제1 컨택 전극(CNE1), 및 제2 컨택 전극(CNE2)을 포함할 수 있다.
- [0063] 발광 소자(LD)는 복수 개 구비되어, 병렬 구조로 배열될 수 있다. 예를 들어, 발광 소자(LD)는 제2 방향(DR2)을 따라 배열될 수 있다. 다만 발광 소자(LD)의 배열 구조가 이에 한정되는 것은 아니다.
- [0064] 예를 들어, 발광 소자(LD)는 제1 발광 소자 및 상기 제1 발광 소자와 제2 방향(DR2)을 따라 인접한 제2 발광 소자를 포함할 수 있다. 일 실시예에 따르면, 상기 제1 발광 소자와 상기 제2 발광 소자 각각은 액상 금속부(100)와 접촉될 수 있다. 상기 제1 발광 소자 및 상기 제2 발광 소자 각각의 제1 단부(EP1)는 액상 금속부(100)와 전기적으로 연결될 수 있다.
- [0065] 발광 소자(LD)는 정렬 전극으로 기능하도록 구성된 전극들 사이에 배치될 수 있다.
- [0066] 실시예에 따르면, 발광 소자(LD)는 제1 전극(ELT1)과 제2 전극(ELT2) 사이에 배치될 수 있다. 발광 소자(LD)는 제1 전극(ELT1) 및 제2 전극(ELT2) 상에 배치될 수 있다. 발광 소자(LD)의 적어도 일부는 평면 상에서 볼 때, 제1 전극(ELT1)과 제2 전극(ELT2) 사이에 배치될 수 있다.

- [0067] 발광 소자(LD)는 제1 컨택 전극(CNE1)을 통해 제1 전극(ELT1)과 전기적으로 연결될 수 있다.
- [0068] 실시예에 따르면, 발광 소자(LD)의 제2 단부(EP2)는 제1 컨택 전극(CNE1)과 전기적으로 연결될 수 있다. 이에 따라, 발광 소자(LD)의 제2 반도체층(SEC2)은 제1 전극(ELT1) 및 제1 컨택 전극(CNE1)과 전기적으로 연결될 수 있다.
- [0069] 발광 소자(LD)는 제2 컨택 전극(CNE2)을 통해 제2 전극(ELT2)과 전기적으로 연결될 수 있다.
- [0070] 실시예에 따르면, 발광 소자(LD)의 제1 단부(EP1)는 제2 컨택 전극(CNE2)과 전기적으로 연결될 수 있다. 이에 따라, 발광 소자(LD)의 제1 반도체층(SEC1)은 제2 전극(ELT2) 및 제2 컨택 전극(CNE2)과 전기적으로 연결될 수 있다.
- [0071] 여기서, 발광 소자(LD)는 액상 금속부(100)를 통하여, 제2 전극(ELT2) 및 제2 컨택 전극(CNE2)과 전기적으로 연결될 수 있다. 예를 들어, 발광 소자(LD)의 제1 단부(EP1)는 액상 금속부(100)의 적어도 일부와 접촉할 수 있다. 그리고 액상 금속부(100)의 다른 적어도 일부는 제2 컨택 전극(CNE2)과 전기적으로 연결될 수 있다.
- [0072] 제1 전극(ELT1)은 제2 방향(DR2)으로 연장할 수 있다. 제1 전극(ELT1)은 제2 전극(ELT2)과 제1 방향(DR1)으로 이격될 수 있다. 제1 전극(ELT1)은 제1 연결 배선(CNL1)과 연결될 수 있다. 여기서, 제1 방향(DR1)은 제2 방향(DR2)과 교차(혹은 비평행)할 수 있다. 제1 연결 배선(CNL1)은 제1 컨택부(CNT1)를 통해 화소 회로부(도 5의 'PCL' 참조)에 포함된 브릿지 패턴(도 5의 'BRP' 참조)과 연결될 수 있다.
- [0073] 다만, 상술된 연결 형태에 한정되지 않고 다양한 실시예가 제공될 수 있다. 예를 들어, 일 실시예에 따르면, 제1 연결 배선(CNL1)은 제1 트랜지스터 전극(TE1)과 전기적으로 연결될 수 있다. 이 경우, 제1 연결 배선(CNL1)은 브릿지 패턴(BRP)을 통하여 제1 트랜지스터 전극(TE1)과 연결되는 것이 아닌, 제1 연결 배선(CNL1)이 제1 트랜지스터 전극(TE1)과 연결되는 구조일 수 있다.
- [0074] 제2 전극(ELT2)은 제2 방향(DR2)으로 연장할 수 있다. 제2 전극(ELT2)은 제1 전극(ELT1)과 제1 방향(DR1)으로 이격될 수 있다. 제2 전극(ELT2)은 제2 연결 배선(CNL2)과 연결될 수 있다. 제2 연결 배선(CNL2)은 제2 컨택부(CNT2)를 통해 화소 회로부(PCL)에 포함된 전원 배선(PL)과 연결될 수 있다.
- [0075] 제1 컨택 전극(CNE1)은 제1 전극(ELT1) 상에 배치되어, 제1 전극(ELT1)과 전기적으로 연결될 수 있다.
- [0076] 제2 컨택 전극(CNE2)은 제2 전극(ELT2) 상에 배치되어, 제2 전극(ELT2)과 전기적으로 연결될 수 있다.
- [0077] 실시예에 따르면, 제2 컨택 전극(CNE2)의 적어도 일부는 액상 금속부(100) 상에 배치되어, 제2 컨택 전극(CNE2)은 액상 금속부(100)와 연결될 수 있다.
- [0078] 예를 들어, 제2 컨택 전극(CNE2)의 적어도 일부는 액상 금속부(100)와 접촉할 수 있고, 이에 따라 제2 컨택 전극(CNE2)과 액상 금속부(100)는 서로 전기적으로 연결될 수 있다.
- [0079] 액상 금속부(100)는 발광 소자(LD)의 제1 단부(EP1)에 인접하여 배치될 수 있다. 예를 들어, 액상 금속부(100)는 발광 소자(LD)의 제2 반도체층(SEC2)에 비해 제1 반도체층(SEC1)에 더 인접할 수 있다.
- [0080] 액상 금속부(100)는 제2 컨택 전극(CNE2)의 하부에 개재될 수 있다. 액상 금속부(100)는 평면 상에서 볼 때, 제2 컨택 전극(CNE2)과 중첩할 수 있다.
- [0081] 실시예에 따르면, 액상 금속부(100)는 전반적으로 제2 방향(DR2)을 따라 연장하도록 형성될 수 있다. 이에 따라, 병렬적으로 배열된 발광 소자(LD)들의 제1 단부(EP1) 각각에 전기적으로 연결될 수 있다.
- [0082] 실시예에 따르면, 표시 장치(DD)에서 액상 금속부(100)의 표면 상에는 산화막이 제공(혹은 형성)될 수 있다. 여기서 산화막은 액상 금속부(100)에 포함된 물질이 산소 환경 하에서 산화물로 제공된 물질을 의미할 수 있다. 일 실시예에 따르면, 액상 금속부(100)는 표면에 산화막이 형성되어 소정의 형상으로 제공되고, 액상 금속부(100) 내에는 유체적으로 거동하는 물질이 제공될 수 있다.
- [0083] 액상 금속부(100)는 소정의 전기 전도도를 가질 수 있다. 액상 금속부(100)는 발광 소자(LD)의 제1 단부(EP1)와 전기적으로 연결될 수 있다. 액상 금속부(100)는 제2 컨택 전극(CNE2)과 전기적으로 연결될 수 있다.
- [0084] 실시예에 따르면, 액상 금속부(100)는 액상 금속(liquid metal)을 포함할 수 있다. 일 예에 따르면, 액상 금속은 용융 갈륨-인듐 합금(eutectic gallium-indium alloy: EGaIn) 또는 갈륨-인듐-주석 합금(gallium-indium-tin alloy: Galinstan)을 포함할 수 있다. 다만 이에 한정되는 것은 아니다.

- [0086] 이하에서는 도 5 및 도 6을 참조하여 일 실시예에 따른 화소(PXL)의 단면 구조를 중심으로 설명한다.
- [0087] 도 5는 도 4의 I~I'에 따른 단면도이다.
- [0088] 도 5를 참조하면, 화소(PXL)는 기관(SUB), 화소 회로부(PCL), 및 표시 소자부(DPL)를 포함할 수 있다.
- [0089] 기관(SUB)은 기저면으로 제공되어, 기관(SUB) 상에는 화소 회로부(PCL) 및 표시 소자부(DPL)가 배치될 수 있다.
- [0090] 화소 회로부(PCL)는 기관(SUB) 상에 배치될 수 있다. 화소 회로부(PCL)는 버퍼막(BFL), 트랜지스터(TR), 게이트 절연막(GI), 제1 층간 절연막(ILD1), 제2 층간 절연막(ILD2), 브릿지 패턴(BRP), 전원 배선(PL), 보호막(PBV), 제1 컨택부(CNT1), 및 제2 컨택부(CNT2)를 포함할 수 있다.
- [0091] 버퍼막(BFL)은 기관(SUB) 상에 배치될 수 있다. 버퍼막(BFL)은 불순물이 외부로부터 확산되는 것을 방지할 수 있다. 버퍼막(BFL)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 산질화물(SiOxNy), 및 알루미늄 산화물(AlOx) 등과 같은 금속 산화물 중 적어도 하나를 포함할 수 있다.
- [0092] 트랜지스터(TR)는 박막 트랜지스터일 수 있다. 일 실시예에 따르면, 트랜지스터(TR)는 구동 트랜지스터일 수 있다.
- [0093] 트랜지스터(TR)는 발광 소자(LD)와 전기적으로 연결될 수 있다. 트랜지스터(TR)는 브릿지 패턴(BRP)과 전기적으로 연결될 수 있다. 다만, 이에 한정되지 않고 다양한 실시예가 제공될 수 있다. 예를 들어, 트랜지스터(TR)는 브릿지 패턴(BRP)을 통해서가 아닌, 직접적으로 제1 연결 배선(CNL1)과 연결될 수도 있다.
- [0094] 트랜지스터(TR)는 액티브층(ACT), 제1 트랜지스터 전극(TE1), 제2 트랜지스터 전극(TE2), 및 게이트 전극(GE)을 포함할 수 있다.
- [0095] 액티브층(ACT)은 반도체층을 의미할 수 있다. 액티브층(ACT)은 버퍼막(BFL) 상에 배치될 수 있다. 액티브층(ACT)은 폴리실리콘(polysilicon), 아몰퍼스 실리콘(amorphous silicon), 및 산화물 반도체 중 적어도 하나를 포함할 수 있다.
- [0096] 액티브층(ACT)은 제1 트랜지스터 전극(TE1)과 접촉하는 제1 접촉 영역 및 제2 트랜지스터 전극(TE2)과 접촉하는 제2 접촉 영역을 포함할 수 있다. 상기 제1 접촉 영역과 상기 제2 접촉 영역은 불순물이 도핑된 반도체 패턴일 수 있다. 상기 제1 접촉 영역과 상기 제2 접촉 영역 사이의 영역은 채널 영역일 수 있다. 상기 채널 영역은 불순물이 도핑되지 않은 진성 반도체 패턴일 수 있다.
- [0097] 게이트 전극(GE)은 게이트 절연막(GI) 상에 배치될 수 있다. 게이트 전극(GE)의 위치는 액티브층(ACT)의 채널 영역의 위치에 대응될 수 있다. 예를 들어, 게이트 전극(GE)은 게이트 절연막(GI)을 사이에 두고 액티브층(ACT)의 채널 영역 상에 배치될 수 있다.
- [0098] 게이트 절연막(GI)은 액티브층(ACT) 상에 배치될 수 있다. 게이트 절연막(GI)은 무기 재료를 포함할 수 있다. 일 예에 따르면, 게이트 절연막(GI)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 산질화물(SiOxNy), 및 알루미늄 산화물(AlOx) 중 적어도 하나를 포함할 수 있다.
- [0099] 제1 층간 절연막(ILD1)은 게이트 전극(GE) 상에 위치할 수 있다. 제1 층간 절연막(ILD1)은 게이트 절연막(GI)과 마찬가지로, 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 산질화물(SiOxNy), 및 알루미늄 산화물(AlOx) 중 적어도 하나를 포함할 수 있다.
- [0100] 제1 트랜지스터 전극(TE1) 및 제2 트랜지스터 전극(TE2)은 제1 층간 절연막(ILD1) 상에 위치할 수 있다. 제1 트랜지스터 전극(TE1)은 게이트 절연막(GI)과 제1 층간 절연막(ILD1)을 관통하여 액티브층(ACT)의 제1 접촉 영역과 접촉하고, 제2 트랜지스터 전극(TE2)은 게이트 절연막(GI)과 제1 층간 절연막(ILD1)을 관통하여 액티브층(ACT)의 제2 접촉 영역과 접촉할 수 있다. 일 예에 따르면, 제1 트랜지스터 전극(TE1)은 드레인 전극이고, 제2 트랜지스터 전극(TE2)은 소스 전극일 수 있으나, 이에 한정되지 않는다.
- [0101] 제2 층간 절연막(ILD2)은 제1 트랜지스터 전극(TE1) 및 제2 트랜지스터 전극(TE2) 상에 위치할 수 있다. 제2 층간 절연막(ILD2)은 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)과 마찬가지로, 무기 재료를 포함할 수 있다. 무기 재료로는, 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)의 구성 물질로 예시된 물질들, 일 예로, 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 산질화물(SiOxNy), 및 알루미늄 산화물(AlOx) 중 적어도 하나를 포함할 수 있다.

- [0102] 브릿지 패턴(BRP)은 제2 층간 절연막(ILD2) 상에 배치될 수 있다. 브릿지 패턴(BRP)은 제2 층간 절연막(ILD2)을 관통하는 컨택홀을 통해 제1 트랜지스터 전극(TE1)과 연결될 수 있다. 브릿지 패턴(BRP)은 보호막(PSV)에 형성된 제1 컨택부(CNT1)를 통해 제1 연결 배선(CNL1)과 전기적으로 연결될 수 있다.
- [0103] 다만, 본 실시 형태에 한정되지 않고, 다양한 실시 형태가 구현될 수 있다. 예를 들어, 브릿지 패턴(BRP)이 구비되지 않은 실시예가 제공될 수 있다. 이 경우, 제1 트랜지스터 전극(TE1)은 브릿지 패턴(BRP)을 통과하지 않고, 제1 연결 전극(CNL1)과 연결될 수 있다.
- [0104] 전원 배선(PL)은 제2 층간 절연막(ILD2) 상에 배치될 수 있다. 전원 배선(PL)은 보호막(PSV)에 형성된 제2 컨택부(CNT2)를 통해 제2 연결 배선(CNL2)과 전기적으로 연결될 수 있다.
- [0105] 보호막(PSV)은 제2 층간 절연막(ILD2) 상에 위치할 수 있다. 보호막(PSV)은 브릿지 패턴(BRP) 및 전원 배선(PL)을 커버할 수 있다. 보호막(PSV)은 유기 절연막, 무기 절연막, 또는 상기 무기 절연막 상에 배치된 상기 유기 절연막을 포함하는 형태로 제공될 수 있으나, 이에 한정되지 않는다.
- [0106] 실시예에 따르면, 보호막(PSV)에는 브릿지 패턴(BRP)의 일 영역과 연결되는 제1 컨택부(CNT1) 및 전원 배선(PL)의 일 영역과 연결되는 제2 컨택부(CNT2)가 형성될 수 있다.
- [0107] 표시 소자부(DPL)는 화소 회로부(PCL) 상에 배치될 수 있다. 표시 소자부(DPL)는 제1 절연 패턴(INP1), 제2 절연 패턴(INP2), 제1 연결 배선(CNL1), 제2 연결 배선(CNL2), 제1 전극(ELT1), 제2 전극(ELT2), 제1 절연막(INS1), 발광 소자(LD), 액상 금속부(100), 제2 절연막(INS2), 제1 컨택 전극(CNE1), 제2 컨택 전극(CNE2), 및 제3 절연막(INS3)을 포함할 수 있다.
- [0108] 제1 절연 패턴(INP1) 및 제2 절연 패턴(INP2)은 보호막(PSV) 상에 배치될 수 있다. 제1 절연 패턴(INP1) 및 제2 절연 패턴(INP2)은 표시 장치(DD)의 표시 방향(일 예로, 제3 방향(DR3))으로 돌출된 형상을 가질 수 있다. 일 예에 따르면, 제1 절연 패턴(INP1) 및 제2 절연 패턴(INP2)은 유기 재료 혹은 무기 재료를 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0109] 제1 연결 배선(CNL1) 및 제2 연결 배선(CNL2)은 보호막(PSV) 상에 배치될 수 있다. 제1 연결 배선(CNL1)은 제1 전극(ELT1)과 연결될 수 있다. 제1 연결 배선(CNL1)은 제1 컨택부(CNT1)를 통해 브릿지 패턴(BRP)과 전기적으로 연결될 수 있다. 제1 연결 배선(CNL1)은 브릿지 패턴(BRP)과 제1 전극(ELT1)을 전기적으로 연결할 수 있다. 제2 연결 배선(CNL2)은 제2 전극(ELT2)과 연결될 수 있다. 제2 연결 배선(CNL2)은 제2 컨택부(CNT2)를 통해 전원 배선(PL)과 전기적으로 연결될 수 있다. 제2 연결 배선(CNL2)은 전원 배선(PL)과 제2 전극(ELT2)을 전기적으로 연결할 수 있다.
- [0110] 제1 전극(ELT1) 및 제2 전극(ELT2)은 보호막(PSV) 상에 배치될 수 있다. 실시예에 따르면, 제1 전극(ELT1)의 적어도 일부는 제1 절연 패턴(INP1) 상에 배열되고, 제2 전극(ELT2)의 적어도 일부는 제2 절연 패턴(INP2) 상에 배열되어, 각각 반사 격벽으로 기능할 수 있다.
- [0111] 제1 전극(ELT1)은 발광 소자(LD)와 전기적으로 연결될 수 있다. 제1 전극(ELT1)은 제1 절연막(INS1)에 형성된 컨택홀을 통해 제1 컨택 전극(CNE1)과 전기적으로 연결될 수 있다. 제1 전극(ELT1)은 발광 소자(LD)에 애노드 신호를 제공할 수 있다.
- [0112] 제2 전극(ELT2)은 발광 소자(LD)와 전기적으로 연결될 수 있다. 제2 전극(ELT2)은 제1 절연막(INS1)에 형성된 컨택홀을 통해 제2 컨택 전극(CNE2)과 전기적으로 연결될 수 있다. 제2 전극(ELT2)은 발광 소자(LD)에 캐소드 신호(일 예로, 접지 신호)를 인가할 수 있다.
- [0113] 제1 전극(ELT1) 및 제2 전극(ELT2)은 도전성 물질을 포함할 수 있다. 일 예로, 제1 전극(ELT1) 및 제2 전극(ELT2)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 타이타늄(Ti), 이들의 합금과 같은 금속을 포함할 수 있다. 다만, 상술된 예시에 한정되지 않는다.
- [0114] 제1 절연막(INS1)은 보호막(PSV) 상에 배치될 수 있다. 제1 절연막(INS1)은 제1 전극(ELT1) 및 제2 전극(ELT2)을 커버할 수 있다. 제1 절연막(INS1)은 전극 구성들 간 연결을 안정 시키고, 외부 영향을 감소시킬 수 있다. 제1 절연막(INS1)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 산질화물(SiOxNy), 및 알루미늄 산화물(AlOx) 중 적어도 하나를 포함할 수 있다.
- [0115] 발광 소자(LD)는 제1 절연막(INS1) 상에 배치되어, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2)으로부터 제공

된 전기적 신호에 기초하여 광을 발산할 수 있다.

- [0116] 발광 소자(LD)는 도 1 및 도 2를 참조하여 상술한 바와 같이, 제1 단부(EP1) 및 제2 단부(EP2)를 포함할 수 있다.
- [0117] 일 실시예에 따르면, 발광 소자(LD)의 제1 단부(EP1)가 제2 전극(ELT2) 및 제2 콘택 전극(CNE2)을 향하고, 발광 소자(LD)의 제2 단부(EP2)가 제1 전극(ELT1) 및 제1 콘택 전극(CNE1)을 향하도록 배치될 수 있다.
- [0118] 이에 따라, 발광 소자(LD)의 제1 반도체층(SEC1)이 제2 전극(ELT2) 및 제2 콘택 전극(CNE2)에 인접하고, 발광 소자(LD)의 제2 반도체층(SEC2)이 제1 전극(ELT1) 및 제1 콘택 전극(CNE1)에 인접할 수 있다.
- [0119] 액상 금속부(100)는 발광 소자(LD)의 제1 단부(EP1)에 인접하여 배치될 수 있다. 예를 들어, 액상 금속부(100)는 발광 소자(LD)의 제1 반도체층(SEC1)에 인접하여 배치될 수 있다.
- [0120] 액상 금속부(100)는 제2 콘택 전극(CNE2)의 하부에 배치될 수 있다. 액상 금속부(100)는 제1 절연막(INS1)과 제2 콘택 전극(CNE2) 사이에 배치될 수 있다.
- [0121] 실시예에 따르면, 액상 금속부(100)는 발광 소자(LD)와 제2 콘택 전극(CNE2)을 전기적으로 연결할 수 있다. 예를 들면, 발광 소자(LD)는 액상 금속부(100)를 통해 캐소드 신호(일 예로, 접지 신호)를 제공받을 수 있다.
- [0122] 실시예에 따르면, 액상 금속부(100)는 반사 성질을 가질 수 있다. 액상 금속부(100)는 발광 소자(LD)로부터 반사되는 광을 제2 단부(EP2) 및/또는 표시 장치(DD)의 표시 방향(일 예로, 제3 방향(DR3))으로 반사할 수 있다. 이에 따라, 발광 소자(LD)들의 발광 효율이 더욱 개선될 수 있다.
- [0123] 제2 절연막(INS2)은 발광 소자(LD) 상에 배치될 수 있다. 제2 절연막(INS2)은 발광 소자(LD)의 활성층(AL)을 커버할 수 있다. 일 예에 따르면, 제2 절연막(INS2)은 유기 재료 혹은 무기 재료 중 적어도 어느 하나를 포함할 수 있다. 일 예에 따르면, 제2 절연막(INS2)은 소정의 높이를 가짐으로써, 발광 소자(LD)의 제2 단부(EP2)와 액상 금속부(100)를 분리할 수 있다.
- [0124] 실시예에 따르면, 제2 절연막(INS2)은 평면 상에서 볼 때, 제1 콘택 전극(CNE1)과 액상 금속부(100) 사이에 위치할 수 있다.
- [0125] 제1 콘택 전극(CNE1) 및 제2 콘택 전극(CNE2)은 제1 절연막(INS1) 상에 배치될 수 있다. 제1 콘택 전극(CNE1)은 제1 전극(ELT1)과 발광 소자(LD)를 전기적으로 연결하고, 제2 콘택 전극(CNE2)은 제2 전극(ELT2)과 발광 소자(LD)를 전기적으로 연결할 수 있다. 제2 콘택 전극(CNE2)은 액상 금속부(100)를 통하여 발광 소자(LD)와 전기적으로 연결될 수 있다.
- [0126] 실시예에 따르면, 제1 콘택 전극(CNE1)은 발광 소자(LD)에 애노드 신호를 제공하고, 제2 콘택 전극(CNE2)은 발광 소자(LD)에 캐소드 신호를 제공할 수 있다.
- [0127] 제1 콘택 전극(CNE1) 및 제2 콘택 전극(CNE2)은 전도성 물질을 포함할 수 있다. 일 예에 따르면, 제1 콘택 전극(CNE1) 및 제2 콘택 전극(CNE2)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), 및 ITZO(Indium Tin Zinc Oxide)를 포함한 투명 전도성 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0128] 제3 절연막(INS3)은 제1 콘택 전극(CNE1), 제2 콘택 전극(CNE2), 및 제2 절연막(INS2) 상에 배치될 수 있다. 제3 절연막(INS3)은 표시 소자부(DPL)의 개별 구성들을 보호하는 기능을 수행할 수 있다. 일 예에 따르면, 제3 절연막(INS3)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 산질화물(SiOxNy), 및 알루미늄 산화물(AlOx) 중 적어도 하나를 포함할 수 있다. 다만 실시 형태에 따라, 제3 절연막(INS3)은 생략될 수도 있다.
- [0129] 한편, 화소(PXL)의 구조는 도 5를 참조하여 상술한 예시에 한정되지 않으며, 변형 가능한 다양한 실시 형태가 구현될 수 있다. 일 예로, 개별 구성들에 대한 단차를 완화하기 위한 평탄화층(일 예로, 유기물 층)을 더 포함할 수 있으며, 표시 소자부(DPL) 상에는 광의 파장을 변경하도록 구성된 쿼터 웨이브를 포함한 색상 변환부가 배치될 수도 있다.
- [0131] 이하에서는, 도 6 및 도 7을 참조하여 실시예에 따른 화소(PXL)에 포함된 액상 금속부(100)와 관련한 구조에 관하여 더욱 상세히 설명한다.
- [0132] 도 6 및 도 7은 액상 금속부(100)를 중심으로 나타낸 단면도이다. 도 6은 도 5의 EA1 영역의 확대도이다. 도 7

은 도 6의 EA2 영역의 확대도이다.

- [0133] 도 6 및 도 7을 참조하면, 발광 소자(LD)은 불균일한 표면을 포함할 수 있다. 액상 금속부(100)는 제1 단부(EP1)에서 불균일한 표면을 가질 수 있다. 액상 금속부(100)와 접하는 발광 소자(LD)의 제1 단부(EP1)는 불균일한 표면을 가질 수 있다.
- [0134] 실시예에 따르면, 액상 금속부(100)는 연신 가능(stretchable)한 특성을 가질 수 있고, 이에 따라 액상 금속부(100)는 발광 소자(LD)의 불균일한 표면에 접하도록 제공될 수 있다.
- [0135] 발광 소자(LD)는 제1 단부(EP1)에서 오목부(220) 및 볼록부(240)를 포함할 수 있다. 오목부(220) 및 볼록부(240)는 제1 단부(EP1)에 위치할 수 있다. 오목부(220)는 볼록부(240)와 비교할 때, 상대적으로 인입된 영역을 의미할 수 있다. 볼록부(240)는 오목부(220)와 비교할 때, 상대적으로 돌출된 영역을 의미할 수 있다.
- [0136] 실시예에 따르면, 발광 소자(LD)의 오목부(220)는 액상 금속부(100)와 접촉할 수 있다. 발광 소자(LD)의 볼록부(240)는 액상 금속부(100)와 접촉할 수 있다.
- [0137] 액상 금속부(100)가 발광 소자(LD)와 접하도록 제공되어, 발광 소자(LD)의 적어도 일부가 불균일한 표면을 가지는 경우에도, 발광 소자(LD)는 우수한 전기적 접촉 특성을 가질 수 있다.
- [0138] 실험적으로, 발광 소자(LD)를 전기적으로 연결하기 위한 전극을 형성할 때, 발광 소자(LD)의 불균일한 표면으로 인하여, 발광 소자(LD)는 형성된 전극과 충분히 접촉하지 않을 수 있다.
- [0139] 예를 들어, 발광 소자(LD)는, 소정의 기관 상에 반도체층들을 적층하고, 적층된 반도체층들을 패터닝한 뒤, 패터닝된 반도체층들을 소정의 기관으로부터 분리하여 제공될 수 있다. 여기서, 발광 소자(LD)의 일면은 소정의 기관으로부터 분리되는 과정에서 일부 손상될 수 있으며, 이에 따라 발광 소자(LD)의 일면은 불균일한 표면을 가질 수 있다.
- [0140] 특히, 발광 소자(LD)의 제조 공정이 수행됨에 따라, 절연막(INF)이 제1 단부(EP1)에 인접한 제1 반도체층(SEC1)의 일부를 커버할 리스크가 존재한다. 이 경우, 전기적 신호가 제공되는 제1 반도체층(SEC1)의 표면적이 감소되어, 발광 소자(LD)의 타 배선과의 전기적 접촉 특성이 감소될 수 있다.
- [0141] 다만, 실시예에 따르면, 발광 소자(LD)의 제1 단부(EP1)에 유체적 거동할 수 있는 특성을 가진 액상 금속부(100)가 접촉되어, 발광 소자(LD)와 액상 금속부(100) 간 접촉 면적이 더욱 증대될 수 있다. 이에 따라, 발광 소자(LD)와 타 배선 간 접촉 불량에 방지되어 전기적 신호의 신뢰도가 향상된 표시 장치(DD)가 제공될 수 있다.
- [0143] 이하에서는 도 8을 참조하여 다른 실시예에 따른 화소(PXL)의 구조에 관하여 설명한다. 진술한 내용과 중복될 수 있는 내용은 설명을 간략히 하거나 생략하도록 한다.
- [0144] 도 8은 다른 실시예에 따른 화소의 구조를 나타낸 단면도로서, 도 5의 EA1 영역에 대응하는 영역을 나타낸 단면도이다.
- [0145] 도 8을 참조하면, 다른 실시예에 따른 화소(PXL)는 발광 소자(LD)의 제1 단부(EP1)에서 단면이 경사진 형태를 가지는 점에서, 일 실시예에 따른 화소(PXL)(도 6 참조)와 상이하다.
- [0146] 본 실시예에 따르면, 발광 소자(LD)는 경사진 표면을 가질 수 있다. 일 예로, 발광 소자(LD)는 제1 단부(EP1)에서 경사진 표면을 포함할 수 있다. 제2 절연막(INS2)에 인접한 발광 소자(LD)의 일면의 면적은 제1 절연막(INS1)에 인접한 발광 소자(LD)의 타면의 면적보다 클 수 있다.
- [0147] 발광 소자(LD)는 비경사 영역(320) 및 경사 영역(340)을 포함할 수 있다. 발광 소자(LD)는 비경사 영역(320)에서 제1 절연막(INS1)과 접촉할 수 있다. 발광 소자(LD)의 적어도 일부는 경사 영역(340)에서 제1 절연막(INS1)과 비접촉할 수 있다.
- [0148] 실시예에 따르면, 비경사 영역(320)은 평면 상에서 볼 때, 활성층(AL), 제2 반도체층(SEC2), 및 제1 반도체층(SEC1)의 일부와 중첩할 수 있다. 경사 영역(340)은 평면 상에서 볼 때, 제1 반도체층(SEC1)의 일부와 중첩할 수 있다. 일 실시예에 따르면, 경사 영역(340)은 평면 상에서 볼 때, 제2 반도체층(SEC2) 및 활성층(AL)과 중첩하지 않을 수 있다.
- [0149] 비경사 영역(320)은 제1 단부(EP1)에 비해 제2 단부(EP2)에 인접할 수 있다. 경사 영역(340)은 제2 단부(EP2)에 비해 제1 단부(EP1)에 인접할 수 있다. 비경사 영역(320)은 제1 컨택 전극(CNE1)에 인접할 수 있다. 경사 영역

(340)은 제2 컨택 전극(CNE2)에 인접할 수 있다.

- [0150] 발광 소자(LD)는 비경사 영역(320)에서 제1 컨택 전극(CNE1)과 연결되며, 액상 금속부(100)와 비접촉할 수 있다. 발광 소자(LD)는 경사 영역(340)에서 제2 컨택 전극(CNE2)과 연결되며, 액상 금속부(100)와 접촉할 수 있다.
- [0151] 경사 영역(340)에서 발광 소자(LD)의 표면은 표시 장치(DD)의 표시 방향(일 예로, 제3 방향(DR3))과 비평행할 수 있다. 경사 영역(340)에서 발광 소자(LD)의 표면은 기관(SUB)의 두께 방향과 비평행할 수 있다.
- [0152] 액상 금속부(100)의 적어도 일부는 경사 영역(340)에서 발광 소자(LD)의 하부에 배치될 수 있다. 액상 금속부(100)의 적어도 일부는 평면 상에서 볼 때, 경사 영역(340)에서 액상 금속부(100)와 중첩할 수 있다. 액상 금속부(100)의 적어도 일부는 경사 영역(340)에서 발광 소자(LD)와 기관(SUB) 사이에 배치될 수 있다.
- [0153] 본 실시예에 따르면, 액상 금속부(100)는 발광 소자(LD)가 제1 단부(EP1)의 경사진 면에 인접하여 제공될 수 있다. 이에 따라, 발광 소자(LD)가 경사진 면을 가지는 경우에도, 전기적 접촉 불량이나 발생될 리스크가 감소될 수 있다.
- [0155] 이하에서는, 도 9 내지 도 14를 참조하여, 실시예에 따른 표시 장치의 제조 방법에 관하여 설명한다. 기술한 내용과 중복될 수 있는 내용은 설명을 간략히 하거나, 생략하도록 한다.
- [0156] 도 9 내지 도 14는 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도이다. 도 9 내지 도 14는 도 4의 I~I'에 따른 단면 구조를 중심으로 도시한다. 설명의 편의상 화소 회로부(PCL)의 구체적인 도시는 생략되었다.
- [0157] 도 9를 참조하면, 기관(SUB)을 제공(혹은 준비)하고, 기관(SUB) 상에 화소 회로부(PCL)를 제공(혹은 배치)할 수 있다. 그리고 화소 회로부(PCL) 상에 제1 절연 패턴(INP1) 및 제2 절연 패턴(INP2)을 형성하고, 제1 연결 배선(CNL1), 제2 연결 배선(CNL2), 제1 전극(ELT1) 및 제2 전극(ELT2)을 형성(혹은 증착)할 수 있다.
- [0158] 본 단계에서, 기관(SUB) 상에 배치되는 화소 회로부(PCL)의 개별 구성들은 통상적으로 마스크를 이용한 공정을 수행하여 도전층(또는 금속층), 무기물, 혹은 유기물 등을 패터닝하여 형성될 수 있다.
- [0159] 본 단계에서, 별도 도면에 도시되지 않았으나, 베이스 전극을 화소 회로부(PCL) 상에 증착한 이후, 상기 베이스 전극의 적어도 일부를 식각하여 제1 연결 배선(CNL1), 제2 연결 배선(CNL2), 제1 전극(ELT1) 및 제2 전극(ELT2)을 제공할 수 있다.
- [0160] 본 단계에서, 제1 전극(ELT1) 및 제2 전극(ELT2) 각각은 제1 절연 패턴(INP1) 및 제2 절연 패턴(INP2)을 커버하도록 형성될 수 있다.
- [0161] 도 10을 참조하면, 제1 절연막(INS1)을 배치(혹은 형성)하고, 제1 절연막(INS1) 상에 발광 소자(LD)를 배치할 수 있다.
- [0162] 본 단계에서, 제1 절연막(INS1)은 전면에서 증착되어, 제1 연결 배선(CNL1), 제2 연결 배선(CNL2), 제1 전극(ELT1), 및 제2 전극(ELT2)을 커버할 수 있다.
- [0163] 본 단계에서, 발광 소자(LD)는 제1 절연막(INS1) 상에 배치되며, 평면 상에서 볼 때, 제1 전극(ELT1)과 제2 전극(ELT2) 사이에 위치하도록 제공될 수 있다.
- [0164] 도면에 도시되지 않았으나, 발광 소자(LD)는 제1 절연막(INS1) 상에 제공된 이후, 제1 전극(ELT1) 및 제2 전극(ELT2) 사이에 형성된 전계에 기초하여 배열될 수 있다.
- [0165] 실시예에 따르면, 발광 소자(LD)의 제1 단부(EP1)가 제2 전극(ELT2)을 향하도록 배치될 수 있다. 여기서, 발광 소자(LD)는 제1 단부(EP1)에서 불균일한 표면을 가질 수 있다.
- [0166] 도 11을 참조하면, 베이스 절연막(400)을 형성(혹은 증착)할 수 있다. 베이스 절연막(400)을 형성하는 공정은 액상 금속부(100)를 제공하는 공정 이전에 수행될 수 있다.
- [0167] 본 단계에서, 베이스 절연막(400)은 발광 소자(LD)를 적어도 커버하도록 배치될 수 있다. 베이스 절연막(400)은 평면 상에서 볼 때, 발광 소자(LD)의 활성층(AL)과 중첩할 수 있다.
- [0168] 본 단계에서, 베이스 절연막(400)은 후속 공정에서 액상 금속부(100)가 제공되는 위치에는 배치되지 않을 수 있다.

다. 일 예로, 베이스 절연막(400)은 액상 금속부(100)가 배치되고자 하는 영역에 패터닝되지 않을 수 있다.

- [0169] 실시예에 따르면, 베이스 절연막(400)은 평면 상에서 볼 때, 발광 소자(LD)의 적어도 일부와 중첩하지 않을 수 있다. 베이스 절연막(400)은 평면 상에서 볼 때, 발광 소자(LD)의 제2 단부(EP2)와 중첩하되, 발광 소자(LD)의 제1 단부(EP1)와 중첩하지 않을 수 있다. 베이스 절연막(400)은 발광 소자(LD)의 제1 단부(EP1)가 노출되도록 형성될 수 있다.
- [0170] 도 12를 참조하면, 액상 금속부(100)를 발광 소자(LD)의 제1 단부(EP1)에 인접하도록 제공할 수 있다.
- [0171] 본 단계에서, 액상 금속부(100)는 발광 소자(LD)와 전기적으로 연결될 수 있다. 액상 금속부(100)는 발광 소자(LD)의 제1 단부(EP1)와 접촉할 수 있다.
- [0172] 실시예에 따르면, 액상 금속부(100)는, 노즐부를 포함하여 액상 금속을 토출하도록 구성된 프린터 장치에 의해 제공될 수 있다. 다만 이에 한정되는 것은 아니다. 일 예로, 액상 금속부(100)는 전기 방사(electrospinning) 방식에 의해 제공될 수도 있다.
- [0173] 실시예에 따르면, 액상 금속부(100)의 위치는 제1 전극(ELT1)과 제2 전극(ELT2) 사이에 형성된 전기장에 의해서 제어될 수 있다. 예를 들어, 상기 형성된 전기장의 세기 조절을 통하여, 액상 금속부(100)의 젖음(wetting) 특성이 조절될 수 있다. 이러한 특성으로 인하여, 액상 금속부(100)가 제공될 때, 액상 금속부(100)의 위치 및/또는 형상이 적절히 선택될 수 있다.
- [0174] 본 단계에서, 액상 금속부(100)는 베이스 절연막(400)이 배치되지 않은 영역에 제공될 수 있다. 액상 금속부(100)는 베이스 절연막(400)에 의해 둘러싸인 영역에 제공되어, 발광 소자(LD)의 제1 단부(EP1)로 이동될 수 있다.
- [0175] 예를 들어, 액상 금속부(100)는 본 공정이 진행될 때, 유체적 성질을 가질 수 있다. 이에 따라, 액상 금속부(100)는 발광 소자(LD)의 제1 단부(EP1)에 인접하여 배치된 이후, 발광 소자(LD)의 제1 단부(EP1)와 접촉하도록 이동될 수 있다.
- [0176] 본 실시예에 따르면, 상술한 바와 같이, 발광 소자(LD)의 제1 단부(EP1)가 불균일한 표면을 가지는 경우에도, 유체적 성질을 가진 액상 금속부(100)와 충분한 접촉면을 형성하여, 발광 소자(LD)의 전기적 접촉 특성이 향상될 수 있다.
- [0177] 한편 실험적으로, 액상 금속부(100)가 제공될 때 유체적 성질로 인하여, 발광 소자(LD)의 제1 단부(EP1)와 발광 소자(LD)의 제2 단부(EP2)가 서로 전기적으로 접촉할 리스크가 존재할 수 있다.
- [0178] 하지만 실시예에 따르면, 액상 금속부(100)가 제공되기 이전, 액상 금속부(100)가 제공될 수 있는 영역에 인접하여 배치된 베이스 절연막(400)이 제공될 수 있다. 여기서, 베이스 절연막(400)은 액상 금속부(100)의 흐름을 차단하도록 발광 소자(LD)와 중첩할 수 있다.
- [0179] 특히, 베이스 절연막(400)은 발광 소자(LD)의 제1 단부(EP1)를 노출하되, 발광 소자(LD)의 제2 단부(EP2)와 중첩하도록 제공되어, 액상 금속부(100)가 제2 단부(EP2)에도 제공될 리스크가 방지될 수 있다.
- [0180] 이에 따라, 발광 소자(LD)의 쇼트 결함이 방지될 수 있고, 정상 동작 가능한 발광 소자(LD)의 비율이 향상되어, 발광 소자(LD)들의 발광 효율이 향상될 수 있다.
- [0181] 다만 실시예에 따라, 베이스 절연막(400)을 형성하는 단계는 생략될 수도 있다. 일 예로, 액상 금속부(100)는 프린팅되어 배치하고자 하는 위치에 선택적으로 제공될 수 있으며, 상술된 바와 마찬가지로 발광 소자(LD)의 쇼트 결함이 방지될 수 있다.
- [0182] 도 13을 참조하면, 베이스 절연막(400)의 적어도 일부를 제거(혹은 식각)하여, 제2 절연막(INS2)을 제공할 수 있다.
- [0183] 본 단계에서, 베이스 절연막(400)의 적어도 일부를 제거하는 단계는 액상 금속부(100)가 제공된 이후 수행될 수 있다.
- [0184] 본 단계에서, 발광 소자(LD)와 중첩하는 베이스 절연막(400)의 적어도 일부는 제거되지 않을 수 있고, 제2 절연막(INS2)으로 제공될 수 있다.
- [0185] 도 14를 참조하면, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2)을 형성(혹은 제공)할 수 있다.

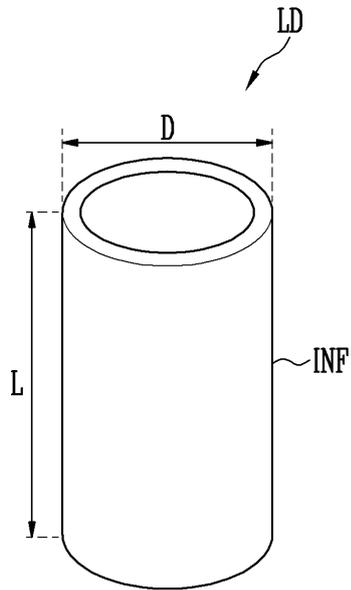
- [0186] 본 단계에서, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2)은 증착되어 제공될 수 있다. 실시예에 따르면, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2)은 동일 공정 내 패터닝되어 제공될 수 있다. 다만, 이에 한정되지 않고 실시예에 따라, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2) 중 어느 하나가 형성된 이후, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2) 중 또 다른 하나가 형성될 수도 있다.
- [0187] 실시예에 따르면, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2)이 형성되기 이전, 제1 절연막(INS1)에는 컨택홀들이 형성될 수 있다. 이에 따라, 제1 컨택 전극(CNE1)은 제1 전극(ELT1)과 전기적으로 연결되고, 제2 컨택 전극(CNE2)은 제2 전극(ELT2)과 전기적으로 연결될 수 있다.
- [0188] 본 단계에서, 제2 컨택 전극(CNE2)은 액상 금속부(100)와 접촉할 수 있다. 제2 컨택 전극(CNE2)은 액상 금속부(100)와 전기적으로 연결될 수 있다.
- [0189] 이후 별도 도면에 도시되지 않았으나, 제1 컨택 전극(CNE1) 및 제2 컨택 전극(CNE2) 상에 제3 절연막(INS3)을 형성(혹은 증착)하여 일 실시예에 따른 표시 소자부(DPL)를 제공할 수 있다.
- [0191] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 이상에서 설명한 본 발명의 실시예들은 서로 별개로 또는 조합되어 구현되는 것도 가능하다.
- [0192] 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

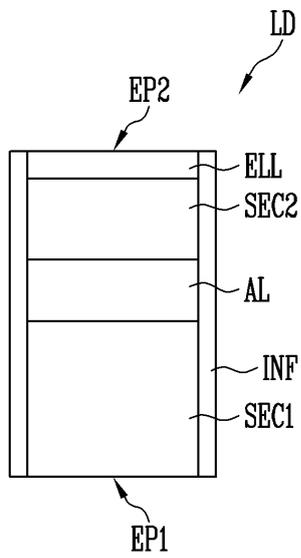
- [0193] DD: 표시 장치
- PXL: 화소
- LD: 발광 소자
- ELT1, ELT2: 제1 전극, 제2 전극
- CNL1, CNL2: 제1 연결 배선, 제2 연결 배선
- CNE1, CNE2: 제1 컨택 전극, 제2 컨택 전극
- SUB: 기판
- PCL: 화소 회로부
- DPL: 표시 소자부
- 100: 액상 금속부
- 220: 오목부
- 240: 볼록부
- 320: 비경사 영역
- 340: 경사 영역

도면

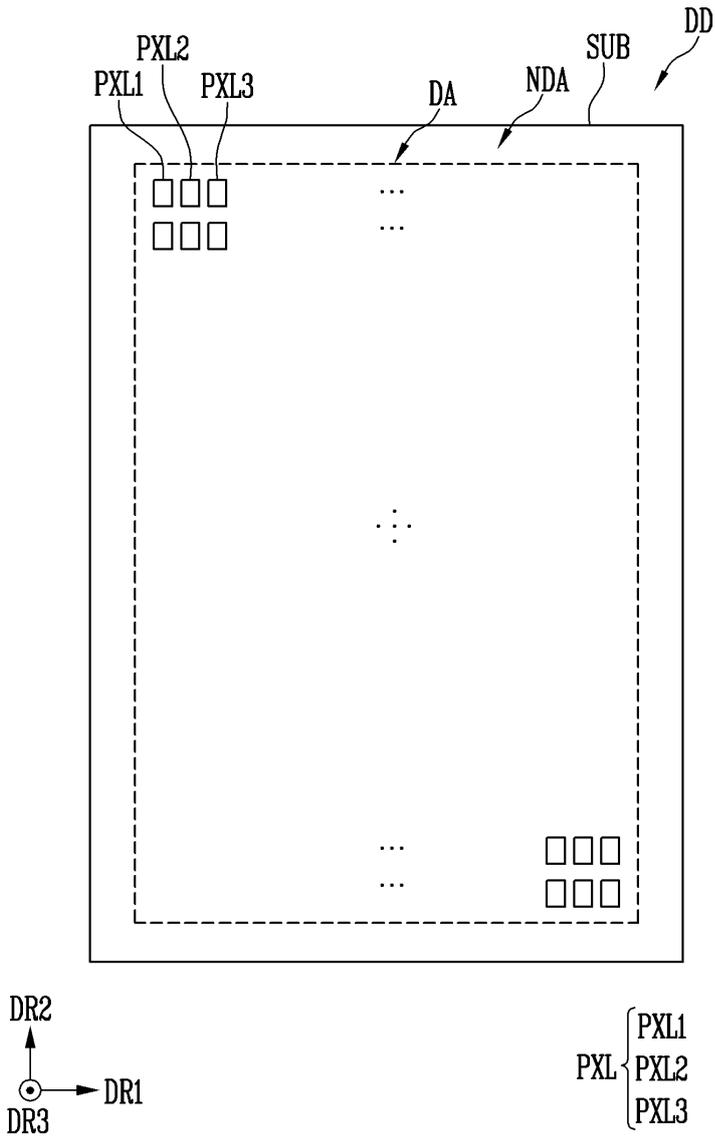
도면1



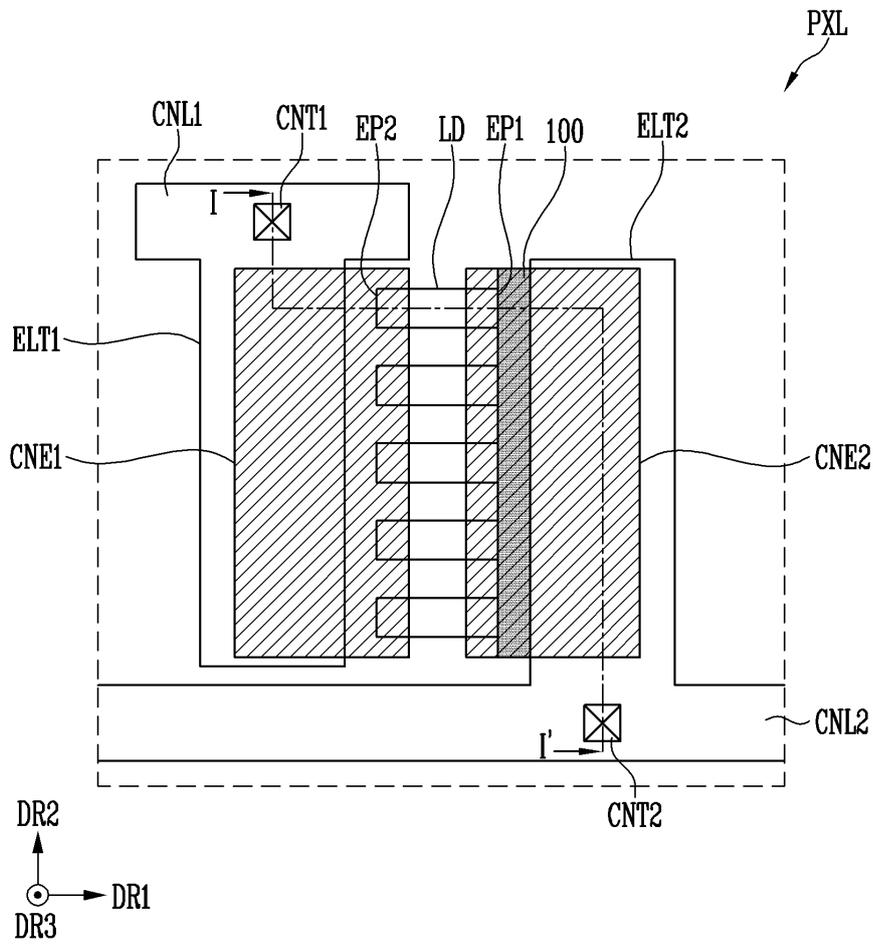
도면2



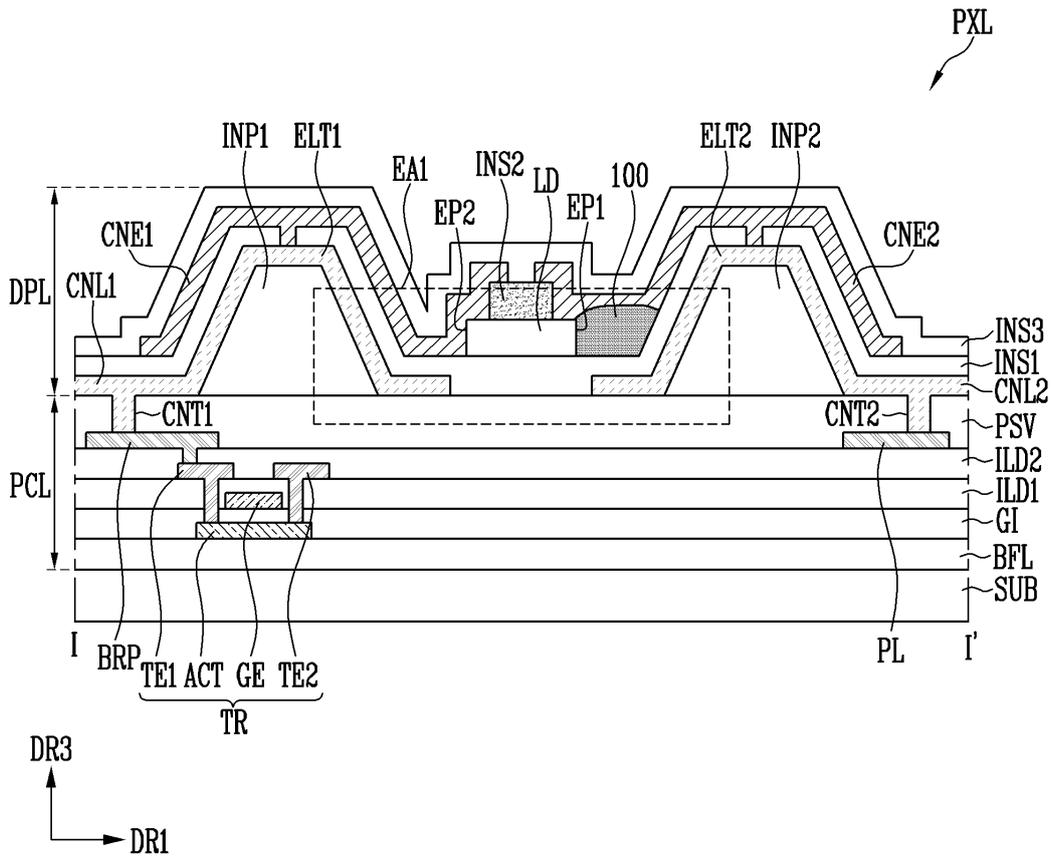
도면3



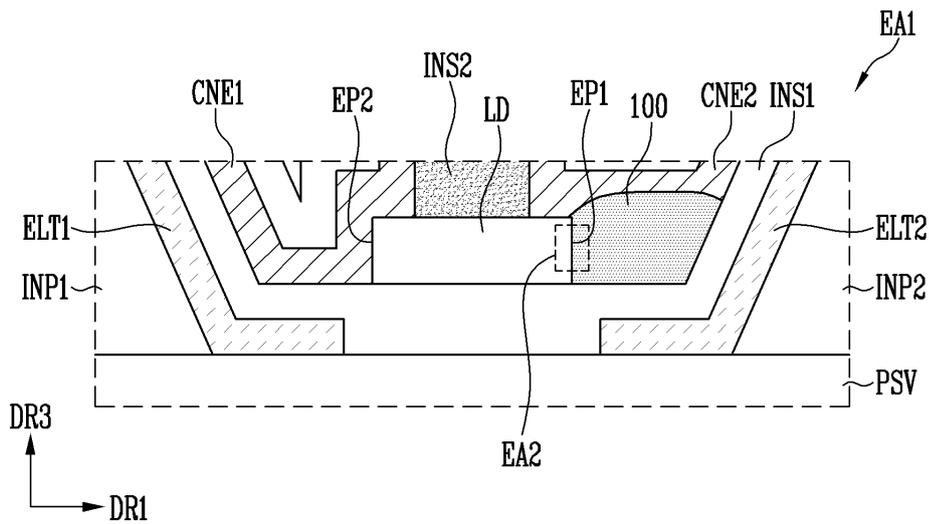
도면4



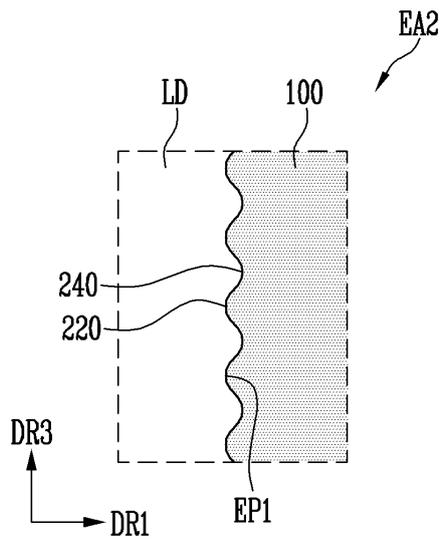
도면5



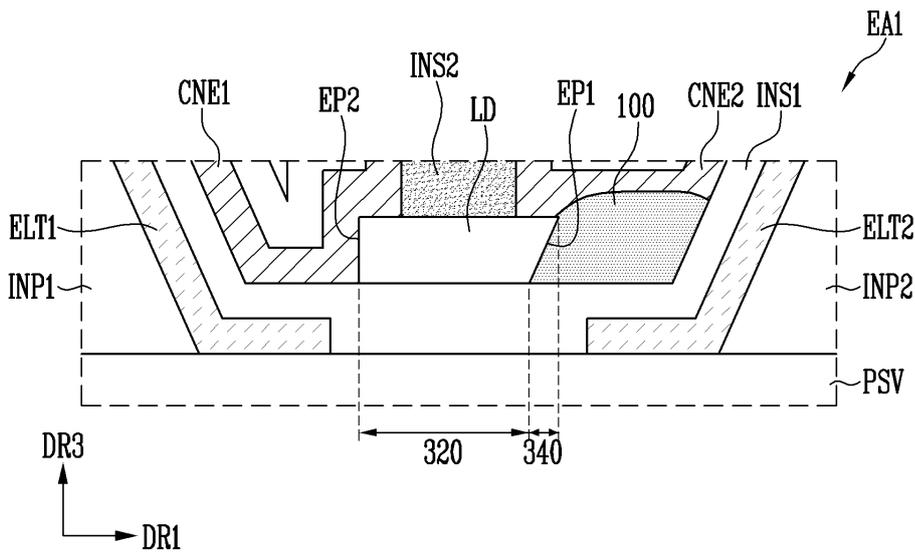
도면6



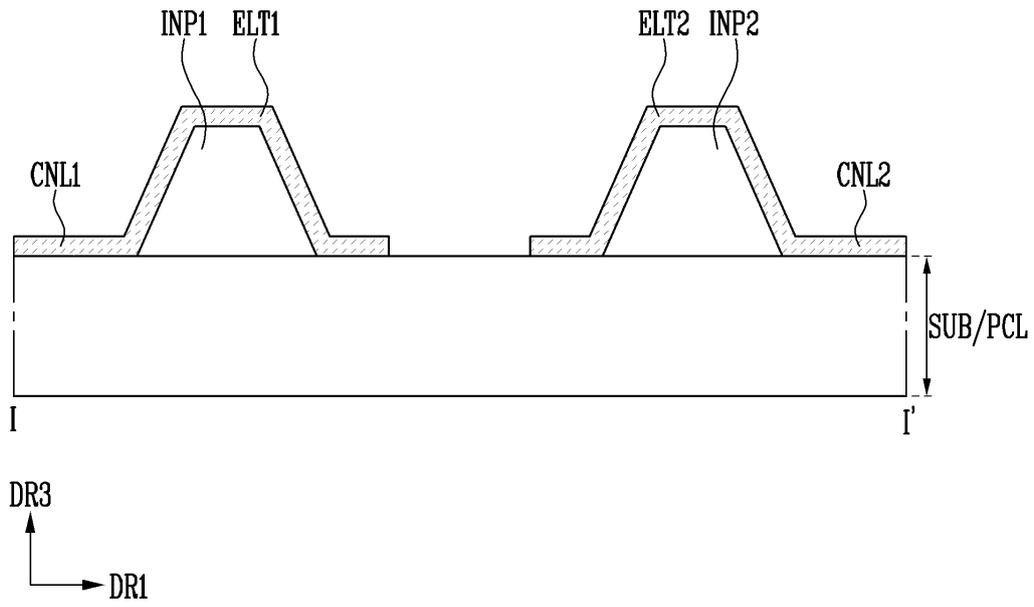
도면7



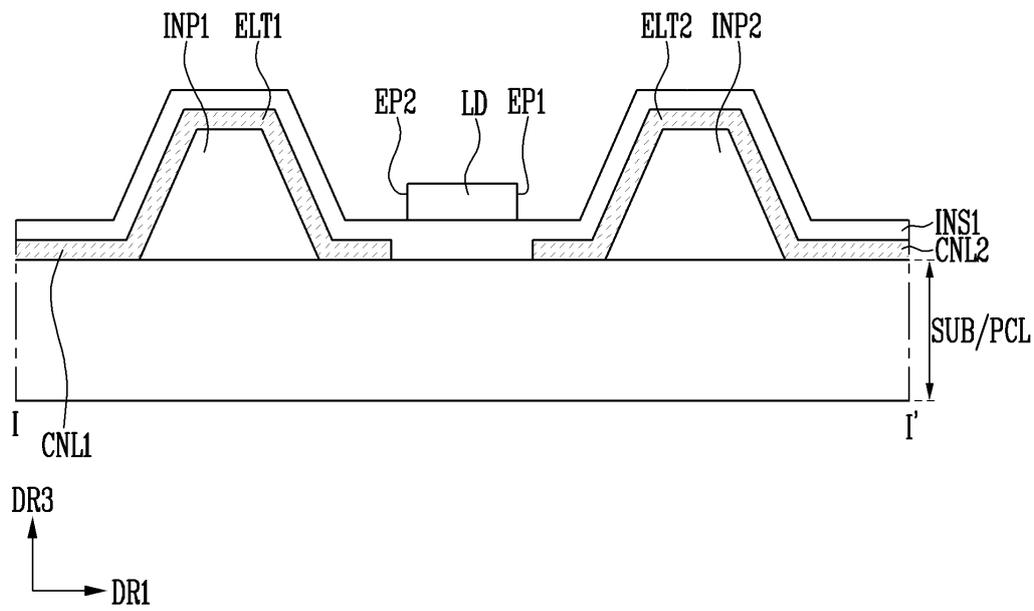
도면8



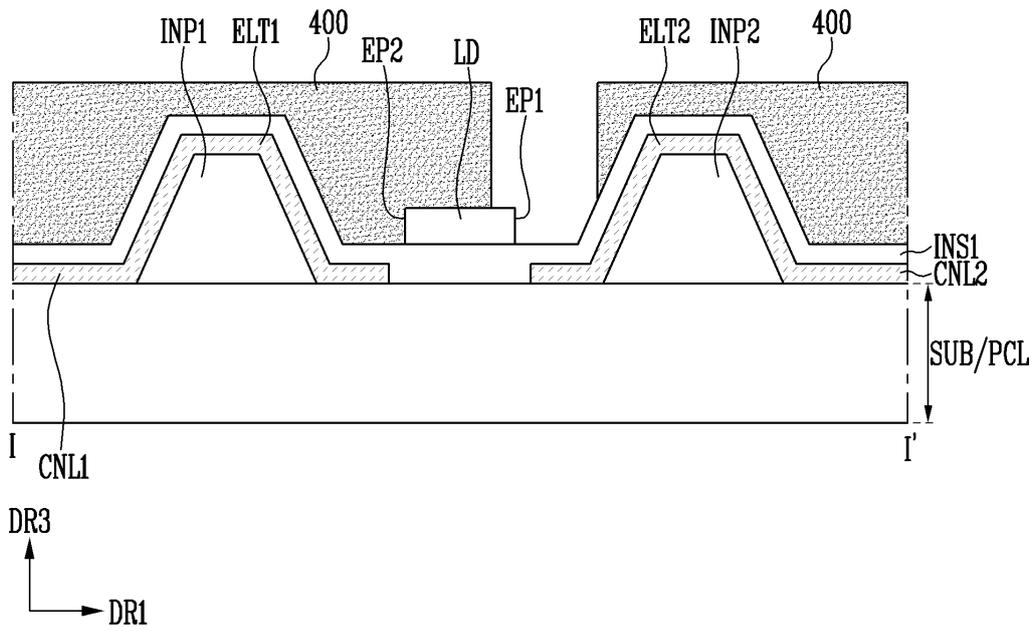
도면9



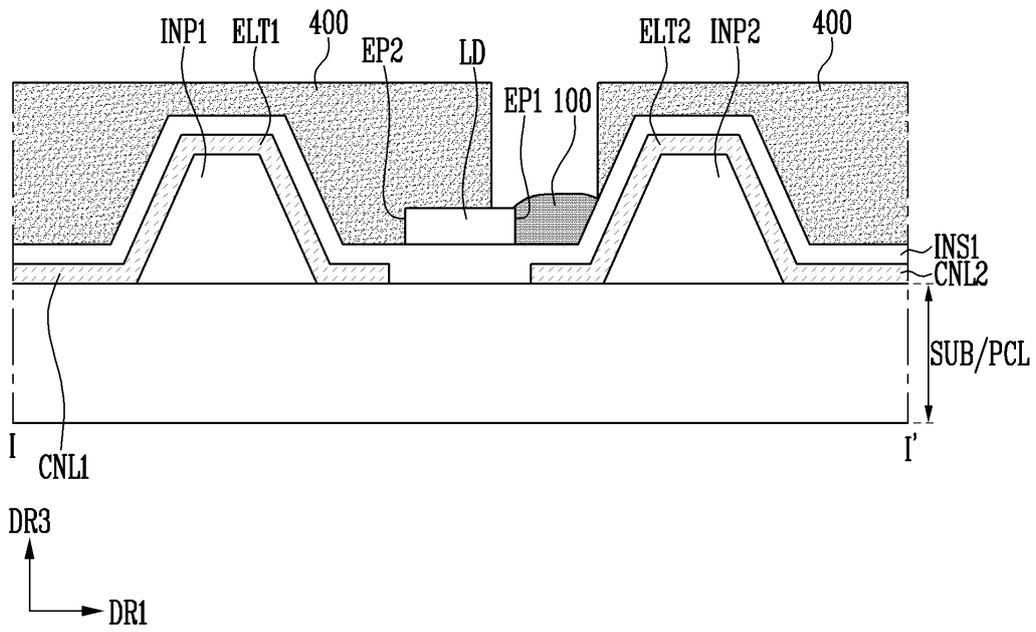
도면10



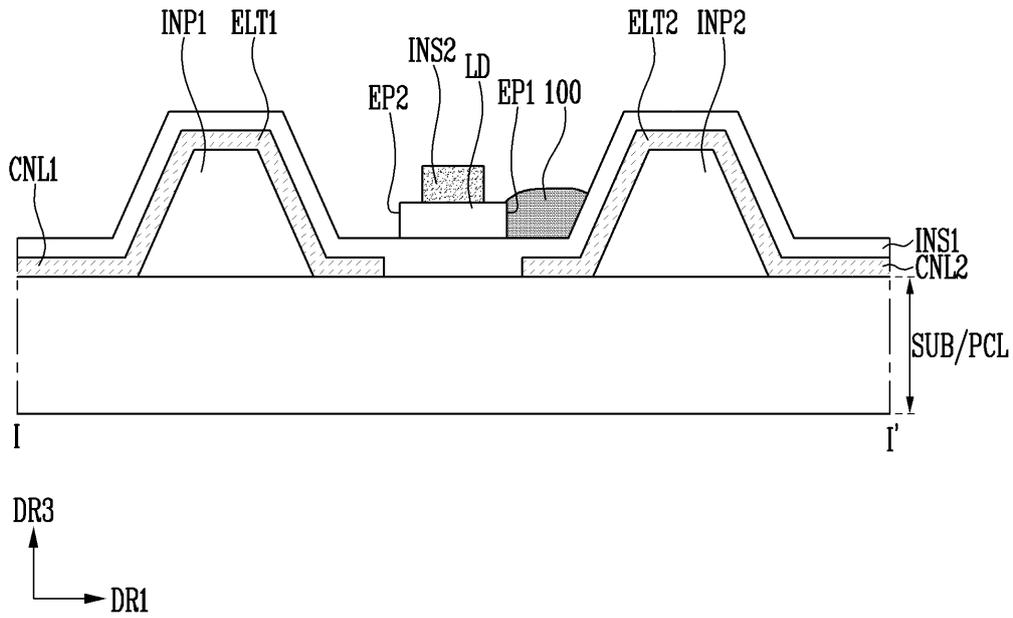
도면11



도면12



도면13



도면14

