(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0093070
(43) 공개일자 2007년09월17일

(51) Int. Cl.
H01L 21/26(2006.01) *H01L 21/324*(2006.01)
(21) 출원번호 10-2007-7014328
(22) 출원일자 2007년06월22일
심사청구일자 없음
번역문제출일자 2007년06월22일
(86) 국제출원번호 PCT/US2005/040710
국제출원일자 2005년11월10일
(87) 국제공개번호 WO 2006/057818
국제공개일자 2006년06월01일
(30) 우선권주장
60/630,743 2004년11월24일 미국(US)

(71) 출원인
나노시스, 인크.
미국 캘리포니아 (우편번호 94304) 팔로 알토 하노버 스트리트 2625
(72) 발명자
판 야오링
미국 캘리포니아주 94587 유니온 시티 이스턴 드라이브 34964
스텀보 데이빗 피
미국 캘리포니아주 94002 버몬트 6번 애브뉴 1561
(74) 대리인
김태홍, 송승필

전체 청구항 수 : 총 74 항

(54) 나노와이어 박막을 위한 콘택 도핑 및 어닐링 시스템 및공정

(57) 요 약

본 발명의 실시예들이 개선된 콘택 도핑 및 어닐링 시스템 및 공정을 위하여 제공된다. 실시예에서, 플라즈마 잠입 이온 주입(PIII) 공정은 나노와이어 및 다른 나노엘리먼트 기반 박막 소자들에 대해 사용된다. 본 발명의 다른 실시예에 따르면, 약 100mJ/cm^2 이하(예컨대, 약 50mJ/cm^2 미만, 예컨대, 약 2 내지 18mJ/cm^2 사이)의 상대적으로 낮은 레이저 플루언스에서 레이저 에너지를 이용하는 펄스 레이저 어닐링은, 저온의 가요성 기판, 예컨대 플라스틱 기판과 같은 기판 상에 나노와이어 및 다른 나노엘리먼트 기반 소자들을 어닐링하기 위하여 사용된다.

특허청구의 범위

청구항 1

시편(specimen) 상의 적어도 하나의 나노와이어(nanowire)를 어닐링하기 위한 방법에 있어서,

약 100mJ/cm^2 미만의 레이저 플루언스(fluence)를 갖는 제1 레이저로 시편 상의 적어도 하나의 나노와이어의 부분들을 조사(irradiate)하는 단계를 포함하는 나노와이어 어닐링 방법.

청구항 2

제1항에 있어서, 상기 조사하는 단계는, 상기 적어도 하나의 나노와이어의 전체 길이를 따라서 조사하는 것인 나노와이어 어닐링 방법.

청구항 3

제1항에 있어서, 상기 제1 레이저는 펄스 레이저(pulsed laser)를 포함하는 것인 나노와이어 어닐링 방법.

청구항 4

제3항에 있어서, 상기 펄스 레이저는 엑시머 레이저(excimer laser)를 포함하는 것인 나노와이어 어닐링 방법.

청구항 5

제3항에 있어서, 상기 펄스 레이저는 Nd:YLF(neodymium: yttrium lithium fluoride) 레이저 또는 Nd:YAG(neodymium: yttrium aluminum garnate) 레이저를 포함하는 것인 나노와이어 어닐링 방법.

청구항 6

제1항에 있어서, 상기 제1 레이저는 약 2 내지 18mJ/cm^2 사이의 레이저 플루언스(fluence)를 갖는 것인 나노와이어 어닐링 방법.

청구항 7

제1항에 있어서, 상기 제1 레이저는 약 6 내지 14mJ/cm^2 사이의 레이저 플루언스를 갖는 것인 나노와이어 어닐링 방법.

청구항 8

제1항에 있어서, 상기 제1 레이저는 약 16mJ/cm^2 미만의 레이저 플루언스를 갖는 것인 나노와이어 어닐링 방법.

청구항 9

제1항에 있어서, 상기 제1 레이저는 상기 시편에 의해 실질적으로 흡수되지 않는 파장의 빛을 방사하는 것인 나노와이어 어닐링 방법.

청구항 10

제1항에 있어서, 상기 제1 레이저는 가시광선 영역 내의 빛을 방사하는 것인 나노와이어 어닐링 방법.

청구항 11

제10항에 있어서, 상기 제1 레이저는 약 500nm보다 큰 파장에서 빛을 방사하는 것인 나노와이어 어닐링 방법.

청구항 12

제1항에 있어서, 상기 적어도 하나의 나노와이어의 상기 부분들은 도핑된 소스 및 드레인 영역을 포함하는 것인 나노와이어 어닐링 방법.

청구항 13

제12항에 있어서, 상기 적어도 하나의 나노와이어의 부분들은 하나 이상의 게이트 영역을 더 포함하는 것인 나노와이어 어닐링 방법.

청구항 14

제1항에 있어서, 상기 어닐링은, 반도체 소자를 제조하는데 있어서 도펀트 활성화 처리의 일부로서 사용되는 것인 나노와이어 어닐링 방법.

청구항 15

제14항에 있어서, 상기 반도체 소자는 트랜지스터, 다이오드 또는 저항을 포함하는 것인 나노와이어 어닐링 방법.

청구항 16

제1항에 있어서, 상기 조사하는 단계 이전에, 도펀트 이온을 상기 적어도 하나의 나노와이어로 주입하기 위하여 플라즈마 잠입 이온 주입(plasma immersion ion implantation)을 사용하는 단계를 더 포함하는 것인 나노와이어 어닐링 방법.

청구항 17

제1항에 있어서, 적어도 제2 레이저로 상기 적어도 하나의 나노와이어의 부분들을 조사하는 단계를 더 포함하는 것인 나노와이어 어닐링 방법.

청구항 18

제17항에 있어서, 상기 제2 레이저는 아르곤(Ar) 레이저를 포함하는 것인 나노와이어 어닐링 방법.

청구항 19

제17항에 있어서, 상기 제1 레이저는 상기 나노와이어의 반도체 재료의 핵형성(nucleation)을 발생시키고, 상기 제2 레이저는 상기 반도체 재료의 결정 성장을 지속시키도록 나노와이어의 온도를 유지시키는 것인 나노와이어 어닐링 방법.

청구항 20

제1항에 있어서, 상기 적어도 하나의 나노와이어는 상기 시편 상에 증착되는 나노와이어 박막에 혼입되는(incorporated) 것인 나노와이어 어닐링 방법.

청구항 21

제1항에 있어서, 상기 시편은 플라스틱 기판을 포함하는 것인 나노와이어 어닐링 방법.

청구항 22

제1항에 있어서, 상기 시편은 가요성(flexible) 기판을 포함하는 것인 나노와이어 어닐링 방법.

청구항 23

제1항에 있어서, 상기 시편은 어닐링 레이저에 대하여 실질적으로 투명한 것인 나노와이어 어닐링 방법.

청구항 24

제1항에 있어서, 상기 적어도 하나의 나노와이어는 코어 및 상기 코어 근처에 배치되는 적어도 하나의 셸(shell) 층을 포함하는 것인 나노와이어 어닐링 방법.

청구항 25

제24항에 있어서, 상기 적어도 하나의 셸 층은 자연 산화물층 또는 증착된 산화물층을 포함하는 것인 나노와이어 어닐링 방법.

청구항 26

제24항에 있어서, 상기 적어도 하나의 쉘 층의 부분들은, 상기 적어도 하나의 나노와이어 코어에 대한 소스 및 드레인 콘택 영역에서 제거되는 것인 나노와이어 어닐링 방법.

청구항 27

시편(specimen) 상의 적어도 하나의 나노와이어(nanowire)를 어닐링하기 위한 방법에 있어서,

상기 적어도 하나의 나노와이어 영역의 어닐링을 발생시키기 위하여 상기 적어도 하나의 나노와이어 영역에 레이저 빔을 방사하는 단계를 포함하고, 상기 레이저 빔은 가시광선 영역의 파장을 갖는 것인 나노와이어 어닐링 방법.

청구항 28

제27항에 있어서, 상기 레이저 빔을 펄싱(pulsing)하는 단계를 더 포함하는 것인 나노와이어 어닐링 방법.

청구항 29

제27항에 있어서, 상기 레이저 빔은, Nd:YLF(neodymium: yttrium lithium fluoride) 레이저 소스 또는 Nd:YAG(neodymium: yttrium aluminum garnate) 레이저 소스를 포함하는 그룹으로부터 선택된 하나의 레이저 소스(source)로부터 방사되는 것인 나노와이어 어닐링 방법.

청구항 30

제27항에 있어서, 상기 레이저 빔은 약 2 내지 18mJ/cm^2 사이의 레이저 플루언스를 갖는 것인 나노와이어 어닐링 방법.

청구항 31

제27항에 있어서, 상기 레이저 빔은 약 16mJ/cm^2 미만의 레이저 플루언스를 갖는 것인 나노와이어 어닐링 방법.

청구항 32

제27항에 있어서, 상기 적어도 하나의 나노와이어의 상기 영역은, 도핑된 소스 및 드레인 영역을 포함하는 것인 나노와이어 어닐링 방법.

청구항 33

제27항에 있어서, 상기 어닐링은 반도체 소자의 제조시 도펀트 활성화 처리(process)의 일부로서 사용되는 것인 나노와이어 어닐링 방법.

청구항 34

제27항에 있어서, 상기 반도체 소자는 트랜지스터, 다이오드 또는 저항을 포함하는 것인 나노와이어 어닐링 방법.

청구항 35

제27항에 있어서, 상기 어닐링하는 단계 이전에, 도펀트 이온을 상기 적어도 하나의 나노와이어로 주입하기 위하여 플라즈마 잠입 이온 주입(plasma immersion ion implantation)을 사용하는 단계를 더 포함하는 것인 나노와이어 어닐링 방법.

청구항 36

제27항에 있어서, 상기 적어도 하나의 나노와이어는 상기 시편 상에 증착되는 나노와이어 박막에 혼입되는(incorporated) 것인 나노와이어 어닐링 방법.

청구항 37

제27항에 있어서, 상기 시편은 플라스틱 기판을 포함하는 것인 나노와이어 어닐링 방법.

청구항 38

제27항에 있어서, 상기 시편은 가요성(flexible) 기판을 포함하는 것인 나노와이어 어닐링 방법.

청구항 39

제27항에 있어서, 상기 시편은 어닐링 레이저에 대하여 실질적으로 투명한 것인 나노와이어 어닐링 방법.

청구항 40

제27항에 있어서, 상기 적어도 하나의 나노와이어는 코어 및 상기 코어 근처에 배치되는 적어도 하나의 쉘 층을 포함하는 것인 나노와이어 어닐링 방법.

청구항 41

제40항에 있어서, 상기 적어도 하나의 쉘 층은 자연 산화물층 또는 증착된 산화물층을 포함하는 것인 나노와이어 어닐링 방법.

청구항 42

제40항에 있어서, 상기 적어도 하나의 쉘 층의 부분들은 상기 적어도 하나의 나노와이어 코어에 대한 소스 및 드레인 콘택 영역에서 제거되는 것인 나노와이어 어닐링 방법.

청구항 43

소자 기판의 활성 소자 영역 위에 전계 효과 트랜지스터(field effect transistor, FET)를 제조하는 방법으로서,

(a) 소자 기판 위에 적어도 하나의 나노와이어를 증착시키는 단계;

(b) 소스 및 드레인 콘택 접합을 형성하기 위하여, 도펀트 이온을 상기 적어도 하나의 나노와이어의 소스 및 드레인 영역에 주입하는 단계; 및

(c) 상기 소스 및 드레인 콘택 접합 내에서 상기 도펀트 이온을 활성화시키기 위하여, 약 100mJ/cm^2 미만의 플루언스를 갖는 펄스 레이저를 이용하여 레이저 열 어닐링을 수행하는 단계를 포함하는 FET 제조 방법.

청구항 44

제43항에 있어서, 상기 펄스 레이저는, Nd:YLF 레이저, Nd:YAG 레이저 또는 엑시머(excimer) 레이저를 포함하는 그룹에서 선택되는 것인 FET 제조 방법.

청구항 45

제43항에 있어서, 상기 펄스 레이저는 약 2 내지 18mJ/cm^2 사이의 플루언스를 갖는 것인 FET 제조 방법.

청구항 46

제43항에 있어서, 상기 펄스 레이저는 약 6 내지 14mJ/cm^2 사이의 플루언스를 갖는 것인 FET 제조 방법.

청구항 47

제43항에 있어서, 상기 펄스 레이저는 약 16mJ/cm^2 미만의 플루언스를 갖는 것인 FET 제조 방법.

청구항 48

제43항에 있어서, 상기 펄스 레이저는 가시광선 영역에서의 빛을 방사하는 것인 FET 제조 방법.

청구항 49

제43항에 있어서, 상기 주입하는 단계는, 상기 도펀트 이온을 주입하기 위하여 플라즈마 잠입 이온 주입을 사용하는 단계를 포함하는 것인 FET 제조 방법.

청구항 50

기판 상에 증착된 적어도 하나의 나노와이어를 포함하는 기판; 및

상기 기판 위에 있는 상기 적어도 하나의 나노와이어의 영역에 약 100mJ/cm^2 미만의 플루언스를 갖는 레이저 빔을 방사하는 제1 레이저 소스(source)를 포함하고,

상기 레이저 빔은 상기 영역들의 어닐링을 발생시키기 위하여 펄싱되는(pulsed) 것인 시스템.

청구항 51

제50항에 있어서, 상기 도핑된 영역에 제2 레이저 빔을 방사하는 제2 레이저 소스를 더 포함하는 시스템.

청구항 52

제50항에 있어서, 상기 제1 레이저 소스는 가시 광선 영역의 빛을 방사하는 것인 시스템.

청구항 53

제50항에 있어서, 상기 제1 레이저 소스는 약 500nm보다 긴 파장에서 빛을 방사하는 것인 시스템.

청구항 54

제51항에 있어서, 상기 제1 레이저 소스는 펄스 레이저를 포함하는 것인 시스템.

청구항 55

제54항에 있어서, 상기 펄스 레이저는 Nd:YLF 레이저 또는 Nd:YAG 레이저를 포함하는 것인 시스템.

청구항 56

제50항에 있어서, 상기 제1 레이저 소스는 약 2 내지 18mJ/cm^2사이의 플루언스를 갖는 것인 시스템.

청구항 57

제50항에 있어서, 상기 제1 레이저는 약 6 내지 14mJ/cm^2사이의 플루언스를 갖는 것인 시스템.

청구항 58

제50항에 있어서, 상기 제1 레이저는 약 16mJ/cm^2 미만의 플루언스를 갖는 것인 시스템.

청구항 59

제50항에 있어서, 상기 제1 레이저는 약 500nm보다 긴 파장에서 빛을 방사하는 것인 시스템.

청구항 60

제50항에 있어서, 상기 적어도 하나의 나노와이어의 영역들은 상기 적어도 하나의 나노와이어의 도핑된 소스 및 드레인 영역을 포함하는 것인 시스템.

청구항 61

제50항에 있어서, 상기 적어도 하나의 나노와이어의 영역들은 게이트 영역을 포함하는 것인 시스템.

청구항 62

제50항에 있어서, 상기 적어도 하나의 나노와이어의 하부에 놓인 상기 기판 상에 증착된 광 버퍼 층(optical buffer layer)을 더 포함하는 시스템.

청구항 63

제62항에 있어서, 상기 광 버퍼 층 위 또는 아래에 증착되는 열 버퍼 층(thermal buffer layer)을 더 포함하는 시스템.

청구항 64

제50항에 있어서 상기 적어도 하나의 나노와이어는 상기 기판 상에 증착되는 나노와이어 박막에 혼입되는(incorporated) 것인 시스템.

청구항 65

제50항에 있어서, 상기 기판은 플라스틱 기판을 포함하는 것인 시스템.

청구항 66

제50항에 있어서, 상기 기판은 가요성(flexible) 기판을 포함하는 것인 시스템.

청구항 67

제50항에 있어서, 상기 기판은 어닐링 레이저에 대하여 실질적으로 투명한 것인 시스템.

청구항 68

제50항에 있어서, 상기 적어도 하나의 나노와이어는 코어 및 상기 코어 근처에 배치되는 적어도 하나의 쉘 층을 포함하는 것인 나노와이어 어닐링 방법.

청구항 69

제68항에 있어서, 상기 적어도 하나의 쉘 층은 자연 산화물층 또는 증착된 산화물층을 포함하는 것인 나노와이어 어닐링 방법.

청구항 70

제68항에 있어서, 상기 적어도 하나의 쉘 층의 부분들은 상기 적어도 하나의 나노와이어의 코어에 대한 소스 및 드레인 콘택 영역들에서 제거되는 것인 시스템.

청구항 71

시편 상에 적어도 하나의 나노와이어의 부분들을 도핑하는 방법으로서,

(a) 시편-상기 시편은 적어도 하나의 노출 부분을 갖는 적어도 하나의 나노와이어를 상기 시편 상에 포함함-을 챔버(chamber)에 봉입하는 단계;

(b) 상기 시편에 전위(electrical potential)를 연결하는 단계; 및

(c) 도핑 재료의 이온을 포함하는 플라즈마를 상기 챔버에 공급(sourcing)하고, 그에 의하여 상기 플라즈마로부터의 이온이 상기 적어도 하나의 나노와이어의 상기 적어도 하나의 노출 부분으로 주입되는 단계를 포함하는 것인 나노와이어 도핑 방법.

청구항 72

제71항에 있어서, 상기 시편은 그 위에 증착된 나노와이어 박막을 갖는 플라스틱 기판을 포함하고,

상기 플라즈마로부터 주입된 이온은 상기 나노와이어 박막에서 드레인 및 소스 콘택 영역들을 형성하는 것인 나노와이어 도핑 방법.

청구항 73

제71항에 있어서 상기 플라즈마로부터의 이온은 상기 적어도 하나의 나노와이어의 상기 적어도 하나의 노출 부분을 균등하게(conformally) 도핑하는 것인 나노와이어 도핑 방법.

청구항 74

상기 청구항 제1항 또는 청구항 제27항의 방법에 의하여 어닐링된 상기 나노와이어의 도핑된 영역 상에 금속을 증착하는 단계를 포함하는 나노와이어에 옴 콘택(ohmic contact)을 형성하는 공정.

명 세 서

<1> [관련출원에 관한 상호 참조]

<2> 본 출원은 2004년 11월 24일자로 출원된 미국 가특허 출원 제60/630,743호를 우선권 주장의 기초 출원으로 하여 그 이익을 청구하고 있으며, 상기 가특허 출원은 그 전체 내용이 본 명세서에 포함된다.

기 술 분 야

<3> 본 발명은 일반적으로는 나노스케일(nanoscale) 전계 효과 트랜지스터(field effect transistor, FET)의 제조에 관한 것으로, 더욱 자세하게는 다양한 전자 어플리케이션 박막 트랜지스터 등에서 사용되는 나노와이어 박막을 위한 개선된 콘택 도핑 및 어닐링 시스템 및 공정에 관한 것이다.

배 경 기 술

<4> 전자장치의 발전은 물리적인 스케일의 측면에서 두 가지 극을 향해 달려왔다. 무어의 법칙(Moore's law)에 따른 마이크로 전자장치(microelectronics)의 급진적 소형화(miniaturization)는 연산(computing) 능력에 있어서 놀라운 증가를 가져왔고, 동시에 비용 절감이 가능하도록 하였다. 그와 평행하게, 상대적으로 덜 주목받는 매크로 전자장치(macroelectronics) 분야에서도 상당한 진전이 있어왔으며, 이 분야에서는 제곱 미터 단위로 측정되는 크기를 갖는 대면적(large area) 기판들 상에 전자소자들이 집적된다. 현재 매크로 전자장치는 주로 유리(glass) 상의 비정질 실리콘(amorphous silicon, a-Si) 또는 다결정 실리콘(polycrystalline silicon, poly-Si) 박막 트랜지스터(thin film transistor, TFT)에 기초하고 있으며, 또한 평판 디스플레이(flat panel display, FPD), 태양 전지(solar cell), 전파 식별 태그(radiofrequency identification tag, RFID), 이미지 센서 어레이 및 디지털 X-레이 영상기를 포함하는 여러 분야에서 중요한 어플리케이션(application)들을 발견하고 있다.

<5> 현재의 기술이 다양한 측면에서 성공적이긴 하지만, 그것이 다룰 수 있는 응용분야는 제한적이다. 예컨대, 플라스틱의 경량성, 유연성, 내진성 및 저가(low cost)로 인해, 매크로 전자장치에 있어서 플라스틱을 기판으로서 사용하는 것에 대한 관심이 증가해왔다. 그러나, 고성능 TFT를 플라스틱 상에 제조하는 것은, 모든 공정 단계들이 플라스틱의 유리 전이(glass transition) 온도 이하에서 수행되어야 하기 때문에, 매우 힘들 것이다. 유기 및 유기-무기 하이브리드(hybrid)와 같은 새로운 재료, 또는 플라스틱 상의 TFT에 적합한 새로운 제조 전략을 발견하기 위해 상당한 노력을 기울여왔지만, 단지 제한적인 성공만을 거둘 수 있었다. 유기 TFT는 플라스틱 기판 상의 롤투롤(roll-to-roll) 제조 공정의 잠재성(potential)을 보장하지만, 단지 약 1 $cm^2/V \cdot s$의 제한적인 캐리어 이동성을 가질 뿐이다. 재료 및/또는 기판 처리 온도(특히, 플라스틱 상의)에 의해 제기되는 제한들은 장치의 성능 저하를 야기하며, 장치들을 저주파 응용분야로 제한한다. 따라서, 간소한 연산(compuatation), 제어 또는 통신 기능을 요구하는 기기들조차 현존하는 TFT 기술에 의해서는 해결될 수 없다.

<6> 개별적인 반도체 나노와이어(NW)들 및 단일 벽(single walled) 구조의 탄소 나노튜브는, 고품질 단결정 재료(high-quality single-crystal material)의 전기적 성능에 필적하고 경우에 따라 능가하는 전기적 성능을 갖는 나노스케일 FET를 제조하기 위하여 사용될 수 있다. 특히, p-실리콘(Si) NW에 대하여는 300 $cm^2/V \cdot s$의 캐리어 이동성이 증명되어 왔고, n-인듐(indium) 인화인듐(InP) NW에 대하여는 2000 내지 4000 $cm^2/V \cdot s$ 의 캐리어 이동성, 및 단일 벽(signal walled) 구조의 탄소 나노튜브에 대하여는 약 20,000 $cm^2/V \cdot s$까지의 캐리어 이동성이 증명되어왔다. 이러한 나노FET는 무어의 법칙이 전례없는 성능을 갖는 궁극적 한계 - 분자 레벨 -까지 확장되는 것을 보증한다.

<7> 도펀트 이온을 나노와이어에 주입하고 나노와이어의 소스 및 드레인 콘택 영역(contact region)에서 도펀트를 활성화하고, 이온 주입에 의한 결정 손상을 회복하기 위한 콘택 도핑 및 어닐링 공정은, 유리, 플라스틱 및 낮은 처리 온도를 필요로 다른 기판들에 적용될 수 있는 나노스케일 TFT 제조에 있어서 중요하다. 플라즈마 잠입 이온 주입(plasma immersion ion implantation, PIII)은 대면적 및 고처리량(high-throughput) 도핑 툴(tool)

로서, 종래의 빔 이온 주입(beam ion implantation)에 비해 고유의 이점들을 많이 가지고 있다. 1980년대 후반에 소개되었을 때, 이 기술은 주로 금속의 표면 기계 특성을 강화하기 위해 사용되었다. 더욱 최근에, 이 기술은 매우 얕은 접합(ultra-shallow junction)의 형성, 선택적 금속 증착, 실리콘-온-인슐레이터(silicon-on-insulator, SOI) 기판의 합성(SIMOX and Ion-Cut), 폴리실리콘 TFT의 수소화(hydrogenation) 및 높은 종횡비(aspect ratio)의 트렌치(trench) 도핑을 포함하는 반도체 가공을 위하여 사용되어 왔다. 그러나, 플라즈마 잠입 이온 주입(PIII)은 나노와이어 박막에 기초하는 TFT의 콘택 도핑에 대하여 본 발명자가 이해하는 정도까지는 응용되지 못하였다.

<8> 더욱이, 펄스 레이저 어닐링(pulsed laser annealing, PLA) 공정은 활성 매트릭스 액정 디스플레이(active matrix liquid crystal display, AMLCD)를 위한 비정질 실리콘(a-Si) 및 다결정 실리콘(poly-Si) TFT의 제조에 사용되었었다. 펄스 레이저는, 하부에 놓인(undelying) 기판이 녹지않도록 하면서, 비정질 실리콘 및 다결정 실리콘 막의 급속한 가열 및 냉각을 제공한다. PLA와 비교하면, 종래의 퍼니스 어닐링(furnace annealing)은 매우 느린 경향이 있고, 높은 열적 버짓(thermal budget)을 갖고 있으며, 플라스틱 기판에는 적합하지 않다. 대안으로, 초 급속 열 어닐링(very rapid thermal annealing, VRTA) 공정은 1초 정도의 가열 시간을 가지며, 저온 기판(예를 들어, 유리 또는 플라스틱 기판)에 적합하지 않은 높은 피크 온도를 요구한다. 그와 반대로, PLA는 퍼니스 어닐링(furnace annealing)과 VRTA에 의해 수행되는 성능보다 훨씬 월등한 TFT 성능을 산출한다.

<9> 희소 가스(rare gas) 할로겐 엑시머 레이저(halogen excimer laser)는 일반적으로 자외선(UV) 영역의 짧은 파장, 및 짧은 고강도 펄스를 생성하는 능력 때문에, 비정질 실리콘 및 다결정 실리콘 막에 대한 종래의 펄스 레이저 어닐링 공정에서 사용되어왔다. ArF(193nm), KrF(248nm), 및 XeCl(308nm)는, 비정질 실리콘 및 다결정 실리콘 박막의 어닐링과 레이저 결정화(laser crystalization)에 있어서, 레이저에서 가장 일반적으로 사용되는 가스 혼합물이다. 대부분의 유리 기판들과는 달리 이 막들은 UV 영역에서 흡수력이 강하기 때문에, 짧은 파장(예를 들어, UV 영역)의 레이저를 사용하는 것은 비정질 실리콘 및 다결정 실리콘 막에 대하여 이득이 된다. 그러나, 더 짧은 파장의 레이저(예를 들어, UV 광 영역에서 방사하는)의 사용은 강한 UV 레이저 여기(excitation)에 노광되면 열적으로 손상(예를 들어, 녹는 것(melt))될 수 있는 폴리머 또는 플라스틱 등의 다른 기판들과 함께 사용될 경우 문제가 될 수 있다.

<10> 레이저 플루언스(laser fluence)는 펄스 레이저 어닐링에 후속하는 조성 막(resulting film)의 균등화에 있어서 중요한 역할을 한다. 일반적으로, 비정질 실리콘 및 다결정 실리콘 막에 대한 종래의 레이저 어닐링은 약 250 mJ/cm^2 또는 그보다 높은 정도의 레이저 플루언스를 필요로 한다. 예를 들어, 레이저 플루언스가 약 100mJ/cm^2 이하일 때, 비정질 실리콘 및 다결정 실리콘 막의 표면은 녹지 않고, 막의 가열이 발생한다. 그러나, 그러한 높은 레이저 플루언스의 열적 영향은 하부에 놓인 저온 기판 재료에 손상을 가져올 수 있다.

<11> 놀랍게도, 본 출원의 발명자(들)은 나노와이어의 녹는 임계점(melting threshold)이 벌크 실리콘, 예컨대, 비정질 실리콘 또는 다결정 실리콘 막의 녹는점보다 훨씬 낮다는 것을 발견하였는데, 이것은 NW-TFT에서 사용된 나노와이어(예컨대, NW 박막에 포함된)가 낮은 레이저 플루언스(예컨대 약 100 mJ/cm^2 미만, 예컨대, 약 50 mJ/cm^2 미만, 예컨대, 약 20 mJ/cm^2 미만, 예컨대, 약 2 내지 18 mJ/cm^2 사이)에서의 펄스 레이저 어닐링이 후속하는 PIII를 이용하여 효율적으로 도핑되고 어닐링될 수 있음을 나타낸다. 따라서, 그러한 레이저 어닐링은, 예를 들어, 플라스틱 기판에 적합한 상대적으로 긴 파장의 레이저(예컨대, 약 400nm 보다 큰, 예컨대, 약 500nm 보다 큰 파장을 갖는 Nd:YAG(neodymium: yttrium lithium fluoride) 또는 Nd:YLF(neodymium: yttrium aluminum garnate) 레이저) 및/또는 저전력 설정치에서의 보다 짧은 파장의 레이저(예컨대, 엑시머 레이저)를 사용하여, 유리하게 폴리머 (및 다른 낮은 녹는점) 기판에서의 UV 흡수의 강한 열적 영향을 방지하도록 수행될 수 있다. 그러한 플라즈마 잠입 이온 주입(PIII) 도핑 및 펄스 레이저 어닐링 기술을 사용하여, 비용이 많이 드는 종래의 이온 주입 기술 및 하부에 놓인 저온 기판(예컨대, 플라스틱)에 열적 손상을 야기할 수 있는 열 어닐링 공정을 사용하지 않고, 나노와이어 트랜지스터상의 낮은 저항 옴 콘택(low resistance Ohmic Contact)을 생성할 수 있다.

발명의 상세한 설명

<12> 본 발명의 실시예들에 따르면, 플라즈마 잠입 이온 주입(plasma immersion ion implantation, PIII) 기술은 나노와이어(nanowire) 및 다른 나노엘리먼트-기반(nanoelement-based) 소자들을 기판 상에 도핑하기 위하여 사용된다. 예를 들어, 시편(specimen) 상의 적어도 하나의 나노와이어의 부분들을 도핑하기 위한 방법이 개시된다. 이 방법은 적어도 하나의 노출 부분을 갖는 적어도 하나의 나노와이어를 그 위에 포함하는 시편(specimen)을 챔

버(chamber)에 봉입하는 단계, 상기 시편에 전위(electrical potential)를 연결하는 단계, 및 도핑 재료의 이온을 포함하는 플라즈마를 상기 챔버에 공급(sourcing)하는 단계를 포함하고, 이것에 의해 상기 플라즈마로부터의 이온이 상기 적어도 하나의 나노와이어의 상기 적어도 하나의 노출 부분으로 주입된다. 시편은, 예를 들어 그 위에 증착된 나노와이어 박막을 갖는 가요성 플라스틱 기판(또는 다른 저온 기판)을 포함하고, 플라즈마 잠입 이온 주입(PIII) 콘택 도핑이, 예를 들어 나노와이어 박막에서 드레인 및 소스 콘택 영역들을 형성하기 위하여 사용될 수 있다.

<13> 본 발명의 다른 관점에 따르면, 시편 상의 적어도 하나의 나노와이어를 어닐링하기 위한 방법이 개시되며, 이 방법은 일반적으로 상기 시편 상의 상기 적어도 하나의 나노와이어(예를 들어, 나노와이어 박막에 포함되는)의 영역들(예컨대, 도핑된 소스 및 드레인 영역들)을 약 100mJ/cm^2 미만의 레이저 플루언스 예컨대, 약 50mJ/cm^2 미만, 예컨대, 약 20mJ/cm^2 미만의 레이저 플루언스를 가지고 조사(irradiating)하는 단계를 포함한다. 상기 나노와이어를 녹이기 위해 필요한 레이저 플루언스가 매우 낮기 때문에, 레이저 어닐링은 펄스 Nd:YLF 레이저 또는 Nd:YAG 레이저와 같이 보다 긴 파장의 레이저를 이용하여 수행되며, 이들 레이저는 저온 기판(예를 들어, 플라스틱)에 의해 쉽게 흡수되지 않는 파장에서(따라서 강한열적 영향을 방지하는) 가시광선을 방사하고, 상업적으로 쉽게 이용할 수 있으며, 상대적으로 비용이 저렴하고, 또한 나노와이어 소자 제조 공정 절차(flow)에 쉽게 통합된다. 더욱이, 플라스틱 기판이 짧은 파장(예를 들어, UV 광 영역에서)에서 높은 흡수력이 갖는다는 사실에도 불구하고, 나노와이어를 녹이지 않으면서 나노와이어를 어닐링하기 위해 필요한 레이저 플루언스가, 하부에 놓인 기판에 심각한 열적 손상을 일으키지 않을 정도로 충분히 낮기 때문에, 레이저 어닐링은 엑시머(excimer) 레이저와 같이 짧은 파장 레이저를 사용하여 수행될 수도 있다. 레이저는, 나노와이어(또는 하부에 놓인 기판)를 녹이지 않으면서, PIII 이온 주입에 후속하여 나노와이어의 선택된 영역(예를 들어, 소스 및 드레인 영역)에서 도펀트 이온을 활성화하고 및/또는 나노와이어에서의 결정 손상을 회복하기 위하여, 바람직하게는 약 2 내지 18mJ/cm^2 사이, 예컨대, 약 6 내지 14mJ/cm^2 사이의 레이저 플루언스를 갖는다. 이러한 어닐링은, 트랜지스터, 다이오드, 저항 등과 같은 반도체 소자 제조시의 도펀트 활성화 공정의 일부로 사용될 수 있다.

<14> 레이저 에너지로 조사된 적어도 하나의 나노와이어의 영역은 소스 및 드레인 영역을 포함할 수 있고, 예를 들어, 또는 하나 이상의 게이트 영역을 포함할 수 있다. 적어도 하나의 나노와이어는 시편 상에 증착되는(예컨대, 용액으로부터) 나노와이어 박막에 혼입(incorporated)될 수 있다. 적어도 하나의 나노와이어는 코어(core) 및 코어 근처에 배치되고 자연 산화물층 또는 증착된 산화물층과 같은 적어도 하나의 쉘 층(shell layer)을 포함할 수 있다. 나노와이어의 단부들의 적어도 하나의 쉘 층의 선택된 부분은 적어도 하나의 나노와이어 코어로의 금속 콘택(또는 다른 적합한 전자 콘택)을 만들기 위해 소스 및 드레인 영역에서 (예컨대, 에칭에 의해)제거될 수 있다.

<15> 레이저 에너지로 시편을 조사하기 전에 도펀트 이온을 적어도 하나의 나노와이어 속에 주입하기 위하여, 도펀트 이온은, 예를 들어, 플라즈마 잠입 이온 주입을 이용하여 주입될 수 있다. 이 방법은 선택적으로, 아르곤(Ar) 레이저와 같은 적어도 하나의 제2 레이저로 나노와이어의 선택된 영역을 조사하는 단계를 포함하고, 여기서, 제1 레이저는 나노와이어 반도체 재료의 핵형성(nucleation)을 발생시키고, 제2 레이저는 도핑 처리 동안 발생된 나노와이어에 대한 손상을 회복하기 위해 나노와이어의 온도를 유지시킨다. 시편은, 어닐링 레이저에 대해 실질적으로 투명한 유리 또는 플라스틱 기판과 같은 녹는점이 낮은 재료를 포함하고, 이로 인해 레이저는 시편에 의하여 실질적으로 흡수되지 않는 파장의 빛을 방출한다.

<16> 본 발명의 관련된 측면에서, 시편 상의 적어도 하나의 나노와이어를 어닐링하기 위한 방법이 개시되고, 일반적으로 이 방법은 적어도 하나의 나노와이어의 어닐링을 발생시키기 위하여, 시편 상의 상기 적어도 하나의 나노와이어의 영역(예컨대, 도핑된 영역)에 가시광선 영역의 파장을 갖는 레이저 빔을 방사하는 단계를 포함한다. 이 방법은 도핑된 영역을 어닐링 하기 위하여 레이저 빔을 펄싱(pulsing)하는 단계를 포함할 수 있다. 레이저 빔은 Nd:YAG 레이저 소스 또는 Nd:YLF 레이저 소스(또는 다른 적합한 긴 파장 레이저 소스)를 포함하는 그룹에서 선택된 레이저 소스로부터 방사될 수 있다. 레이저 빔은 바람직하게는 약 100mJ/cm^2 미만, 예컨대, 약 50mJ/cm^2 미만, 약 20mJ/cm^2 미만, 약 2 내지 18mJ/cm^2 이거나, 또는 약 6 내지 14mJ/cm^2 인 레이저 플루언스를 갖는다.

<17> 본 발명의 다른 측면에서, 소자 기판의 활성 소자 영역 상에서 FET를 제조하기 위한 방법이 개시되고, 이 방법은 일반적으로 적어도 하나의 나노와이어를 소자 기판 상에 증착시키는 단계, 소스 및 드레인 콘택 접합을 형성하기 위하여, 상기 적어도 하나의 나노와이어의 적어도 소스 및 드레인 영역에 도펀트 이온을 주입하는 단계,

및 상기 소스 및 드레인 콘택 접합 내에서 상기 도펀트 이온을 활성화시키기 위하여, 약 100mJ/cm^2 미만의 플루언스를 갖는 펄스 레이저를 이용하여 레이저 열 어닐링을 수행하는 단계를 포함한다. 상기 펄스 레이저는 예를 들어, Nd:YLF 레이저, Nd:YAG 레이저, 또는 엑시머(excimer) 레이저를 포함하는 그룹에서 선택될 수 있다. 펄스 레이저는 바람직하게는 약 100mJ/cm^2 미만, 예컨대, 약 50mJ/cm^2 미만, 약 20mJ/cm^2 미만, 약 2 내지 18mJ/cm^2 이거나, 또는 약 6 내지 14mJ/cm^2 인 레이저 플루언스를 갖는다. 도펀트 이온을 주입하는 단계는, 예를 들어, 도펀트 이온을 주입하기 위해 플라즈마 잠입 이온 주입 기술을 사용하는 단계를 포함할 수 있다.

<18> 본 발명의 또 다른 측면에서, 일반적으로, 기판 위에 증착된 적어도 하나의 나노와이어를 포함하는 기판, 및 상기 기판 상의 상기 적어도 하나의 나노와이어의 도핑된 영역들에 약 100mJ/cm^2 미만의 플루언스를 갖는 레이저 빔을 방사하는 적어도 하나의 제1 레이저 소스(source)을 포함하고, 상기 레이저 빔은 상기 도핑된 영역들이 어닐링되도록 하기 위하여 펄싱되는(pulsed) 것인 시스템이 개시된다. 이 시스템은 상기 도핑된 영역에 제2 레이저 빔을 방사하는 제2 레이저 소스를 더 포함할 수 있다. 상기 도핑된 영역은 상기 적어도 하나의 나노와이어의 소스 및 드레인 영역 또는 하나 이상의 게이트 영역을 포함할 수 있다. 상기 기판은 상기 적어도 하나의 나노와이어 하부에 놓인 기판 상에 증착되는 광 버퍼 층(예를 들어, 가시광선에 대하여 실질적으로 투명함) 및 상기 광 버퍼 층 위 또는 아래에 증착되는 열 버퍼 층을 더 포함할 수 있다. 상기 열 버퍼 층은 상기 기판의 표면 온도를 감소시키기 위해 상기 광 버퍼 층으로부터 열을 방산(dissipate)하는 열 버퍼로서 작용한다. 상기 적어도 하나의 나노와이어는 기판 상에 증착되는 나노와이어 박막 내에 포함될 수 있다.

<19> 본 발명의 다른 실시예, 특징 및 장점들과 본 발명의 다양한 실시예들의 구조 및 동작은 첨부된 도면을 참조하여 이하에서 자세히 설명된다.

실 시 예

<26> 본 명세서에 도시되고 설명된 특정 구현예들은 본 발명의 실시예들로서, 본 발명의 범위를 제한하려는 것이 아님을 알아야 한다. 또한, 간결성을 위하여, 여기서는 종래의 전자기기, 제조, 반도체 소자 및 나노튜브, 나노로드(nanorod), 나노와이어 및 나노 리본 기술들 및 시스템의 다른 기능적 양태(및 시스템의 개별적인 동작 구성들의 구성들)이 자세히 기재되지 않을 것이다. 더욱이, 간결성을 위해, 본 발명은 종종 나노와이어를 포함하는 반도체 트랜지스터 소자에 관련하여 기재될 것이다. 그러나, 본 발명은 나노와이어에만 제한되지 않으며, 나노튜브, 나노로드, 나노위스컬(nanowisker), 나노리본(nanoribbon) 등도 사용될 수 있다. 더욱이, 나노와이어의 개수 및 상기 나노와이어의 간격(spacing)이 전술한 특정 구현예들에 대하여 제공되고 논의되지만, 구현예들은 제한하기 위한 것이 아니며, 나노와이어의 개수 및 간격은 광범위하게 사용될 수 있다. 본 명세서에서 기술된 제조 기술은 모든 반도체 소자 타입 및 다른 전자기기 컴포넌트 타입들을 제조하는데에도 사용될 수 있다. 또한, 이 기술은 전자 시스템, 광학 시스템, 가전제품, 무선 시스템, 우주 응용 분야 또는 다른 응용 분야에서의 적용에도 적합하다.

<27> 여기서 사용된 바와 같이, "나노와이어(nanowire)"라는 용어는 일반적으로 적어도 하나의 단면 치수(cross sectional dimension)를 포함하는 세장형 도체 또는 반도체 재료를 일컬으며, 상기 치수는 500nm 미만, 바람직하게는 100nm 미만이고, 10 보다 큰 종횡비(길이:너비), 바람직하게는 50 보다 큰, 보다 더 바람직하게는 100 보다 큰 종횡비를 갖는다. 이러한 나노와이어의 예는, 국제공개특허공보 제02/17362호, 제02/48701호, 및 제01/03208호에 기재된 바와 같은 반도체 나노와이어, 탄소 나노튜브 및 같은 크기의 세장형 기타 도체 또는 반도체 구조를 포함한다.

<28> 본 명세세에 기재된 구현예에서는 주로 실리콘(Si)을 사용하지만, 예를 들어, Si, Ge, Sn, Se, Te, B, C(다이아몬드 포함), P, B-C, B-P(BP_6), B-Si, Si-C, Si-Ge, Si-Sn 및 Ge-Sn, SiC, BN/BP/BAs, AlN/AlP/AlAs/AlSb, GaN/GaP/GaAs/GaSb, InN/InP/InAs/InSb, ZnO/ZnS/ZnSe/ZnTe, CdS/CdSe/CdTe, HgS/HgSe/HeTe, BeS/BeSe/BeTe/MgS/MgSe, GeS, GeSe, GeTe, SnS, SnSe, SnTe, PbO, PbS, PbSe, PbTe, CuF, CuCl, CuBr, CuI, AgF, AgCl, AgBr, AgI, BeSiN2, CaCN2, $ZnGeP_2$, CdSnAs2, $ZnSnSb_2$, $CuGeP_3$, $CuSi_2P_3$(Cu,Ag)(Al, Ga, In , Tl, Fe)(S, Se, Te)$_2$, Si_3N_4, Ge_3N_4, Al_2O_3, (Al, Ga, In)$_2$(S, Se, Te)$_3$, Al_2CO, 및 이러한 반도체들을 두 개 이상 적절히 조합한 것들로부터 선택된 반도체 재료로 구성되는 반도체 나노와이어를 포함하여, 다른 타입의 나노와이어들(및 나노리본, 나노튜브, 나노로드 등과 같은 다른 나노구조들)이 사용될 수 있다.

<29> 특정 측면에서, 반도체는 주기율표(periodic table)의 제3 족(group)의 p-형 도펀트; 주기율표의 제5 족의 n-형

도펀트; B, Al 및 In으로 구성된 그룹에서 선택되는 p-형 도펀트; P, As 및 Sb로 구성된 그룹에서 선택되는 n-형 도펀트; 주기율표의 제2 족에서 선택되는 p-형 도펀트; Mg, Zn, Cd 및 Hg로 구성된 그룹에서 선택된 p-타입 도펀트, 주기율표의 제4족에서 선택된 p-타입 도펀트; C 및 Si로 구성된 그룹에서 선택된 p-타입 도펀트; 또는 Si, Ge, Sn, S, Se, 및 Te로 구성된 그룹에서 선택되는 n-형 도펀트로 이루어진 그룹으로부터의 도펀트를 포함할 수 있다.

<30> 그에 더하여, 나노와이어는 카본 나노튜브 또는 도전성 또는 반도전성 유기 폴리머 재료(예컨대, 펜타센(pentacene) 및 전이 금속 산화물(transition metal oxides))을 포함할 수 있다.

<31> 그러므로, "나노와이어"라는 용어가 설명을 목적으로 명세서 전반에 언급되어 있지만, 여기서 명세서는 나노튜브의 사용을 포함한다. 나노튜브는, 여기에 기재된 특성들 및 이점들을 제공하기 위하여, 나노와이어에 대해 여기서 기재된 바와 같이, 단독으로 또는 나노와이어와 결합하여 나노튜브의 결합/박막으로 형성될 수 있다.

<32> 더욱이, 본 발명의 나노와이어 박막은 반도체 나노와이어 및/또는 나노튜브, 및/또는 상이한 구성 및/또는 구조적 특성을 조합한 것을 통합하는 "이종(heterogeneous)" 막일 수 있다. 예를 들어, "이종막"은 다양한 지름과 길이를 갖는 나노와이어/나노튜브와, 코어-셸(core-shell) 나노와이어/나노튜브 구조 및 2002년 3월 29일자로 출원된, "나노구조 및 나노와이어를 제조하는 방법 및 그 방법으로 제조된 소자"라는 명칭의 미국 특허출원 제10/112,578호(전체 내용이 여기에 참조문헌으로서 포함됨)에 기재된 바와 같이, 나노와이어/나노튜브의 길이를 따라 상이한 구성을 갖는 나노와이어/나노튜브를 포함하는 다양한 특성을 갖는 "이종 구조"인 나노와이어 및/또는 나노 튜브를 포함할 수 있다.

<33> 본 발명과 관련하여, 상세한 설명의 초점은 플라스틱 기판 상의 나노와이어 박막의 사용과 관련하나, 나노와이어가 부착되는 기판은 실리콘, 유리, 석영, 폴리머릭(polymeric) 등의 고체 재료 기판과 같은 균일한 기판과, 유리, 석영, 폴리카보네이트(polycarbonate), 폴리스틸렌(polystyrene) 등의 플라스틱과 같은 고체 재료의 큰 강판(large rigid sheet)을 포함하나 이들로 제한되지는 않는 다른 재료들을 포함할 수 있고, 또는 구조적이거나 구성적인 기타의 부가적인 엘리먼트들을 포함할 수 있다. 가요성 기판 이를테면, 폴리올레핀(polyolefin), 폴리아미드(polyamide) 등의 플라스틱 롤, 투명한 기판 또는 이러한 특징들의 조합 등이 사용될 수 있다. 더욱이, 기판은 궁극적으로 원하는 소자의 일부분인 다른 회로 또는 구조적 엘리먼트를 포함할 수 있다. 이러한 엘리먼트들의 특정예들은, 전기 콘택, 다른 와이어 또는 도전로(conductive path)와 같은 전기 회로 엘리먼트들을 포함하고, 나노와이어 또는 광학 및/또는 광전식 엘리먼트(예컨대, 레이저, LED 등)와 구조적 엘리먼트(예컨대, 마이크로캔틸레버(microcantilever), 피트(pit), 웰(well), 포스트(post) 등)와 같은 다른 나노스케일 도전성 엘리먼트를 포함한다.

<34> 실질적으로 "정렬된(aligned)" 또는 "배향된(oriented)"이라는 것은 나노와이어의 집합 또는 밀집에서 대부분의 나노와이어들의 세로축이 한 방향에서 30도 이내로 배향되는 것을 의미한다. 상기 대부분이라 함은 나노와이어 개수가 50% 이상인 것으로 여겨질 수 있으나, 다양한 실시예에서, 상기와 같이 배향된 나노와이어의 60%, 75%, 80%, 90% 또는 나노와이어의 다른 백분율도 대부분인 것으로서 고려될 수 있을 것이다. 바람직한 특정 측면에서, 나노와이어의 대부분은 원하는 방향의 10도 이내에서 배향된다. 부가적인 실시예에서, 대부분의 나노와이어는 원하는 방향의 각기 다른 개수 또는 다른 범위 내에서 배향될 수 있다.

<35> 여기서 행해진 공간적 묘사(예컨대, "위", "아래", "상", "하", "꼭대기", "밑" 등)는 단지 설명을 위한 것이고, 본 발명의 소자들은 공간적으로 임의의 방향 또는 방법으로 배치될 수 있을 것이다.

<36> Ⅰ. 개선된 콘택 도핑 및 어닐링에 대한 실시예

<37> 개선된 콘택 도핑 및 어닐링 시스템 및 처리에 대한 본 발명의 실시예들이 제공된다. 이 실시예들은 설명을 목적으로 제공되나, 본 발명을 제한하지는 않는다. 당업자는 본 명세서의 기재된 내용으로부터 본 발명에 대한 부가적인 동작적 및 구조적 실시예들을 명확하게 알 수 있을 것이다. 이러한 부가적인 실시예들은 본 발명의 범위와 정신에 속한다.

<38> 공동-출원중이고, 통상적으로 양도된, "대면적 나노인에이블된 매크로일렉트로닉스 기판 및 그 사용(Large-Area Nanoenabled Macroelectronics Substrates And Uses Therefor)"이라는 명칭으로 2003년 09월 30일에 출원된, 미국특허출원 제10/674,060호는 고성능 대면적 박막 전자소자를 위한 방법 및 시스템에 관하여 기재하고 있으며, 이 방법 및 시스템은 실리콘 기판의 전기적 성능을 제공하고, 가요성 플라스틱 기판 상의 대면적에 대해 저온에서 처리될 수 있다. 여기에 기재된 기판은, 기판에 증착되고 트랜지스터로서 동작하도록 구성되는 반도체 나노와이어 박막을 포함한다. 이 박막 트랜지스터들은 나노번들 트랜지스터(nanobundle transistor, NBT)로

도 명명된다.

<39> 이 박막 트랜지스터는 가요성 기판 상에 저온에서 고성능, 저전력, 대면적 전자 소자들을 형성 - 진정한 플라스틱 상의 반도체 기술 - 할 수 있도록, CMOS(complemntary metal oxide semiconductor) 공정과 같은 종래의 반도체 공정의 사용을 허용한다. NBT의 일 예는 100cm^2/V·s를 초과하는 이동성, 106보다 큰 온-오프 전류비, 5V 미만의 소자 동작 전압에서 1mA의 온-전류 및 1V 미만의 임계 전압과 같은 성능 특성들을 갖는다.

<40> NBT가 가요성 기판 상의 대면적에 대해 저온에서 처리하기에 적합한 반면, NBT의 소스 및 드레인 콘택은 일반적으로 종래의 이온 빔 및 고온 열 어닐링 반도체 공정을 이용하여 생산된다. 그러한 소소 및 드레인 콘택 형성 공정은 NBT에 대한 저온의 가요성 기판에는 적합하지 않다. 이 단계는 일반적으로 고온을 필요로 하는 처리 단계이며, 따라서 가요성 플라스틱 기판의 사용을 막는 주요한 장벽이다. 따라서, 나노 트랜지스터에 대한 옴 콘택(ohmic contact)을 형성하기 위한 새로운 저온 처리가 요구된다.

<41> 도 1의 흐름도(100)는 NBT 소자를 제조하기 위한 예시적인 통상의 단계들을 보여준다. 흐름도(100)의 단계들은 다음과 같이 간략하게 기재된다. 단계 102에서, 고온에서 나노와이어를 합성한다. 예를 들어, 나노와이어는 실리콘을 포함하는 모든 타입의 반도체 재료로 만들어진다. 더욱이, 나노와이어는 단결정 또는 다른 타입일 수 있다. 나노와이어는 임의의 방식으로 합성/제조될 수 있다.

<42> 단계 104에서, 열 산화를 수행하여 나노와이어 주위에서 균등하게 얇은 산화물 쉘 층을 성장시킨다. 트랜지스터 응용에 있어서, 쉘 층은 집적된 게이트 유전체로서 역할을 한다. 단계 106에서, 나노와이어를 기판으로 이송하여 균일한 박막을 형성한다. 예를 들어, 단계 106은 상온 또는 다른 온도에서 수행될 수 있다. 나노와이어는 상호 간에 상대적으로 정렬될 수도 있고, 정렬되지 않을 수도 있다. 나노와이어는 고밀도로 패킹거나 또는 특정 응용예에서 요구되는 바와 같이 패킹될 수 있다. 단계 108에서, 게이트를 형성한다. 예를 들어, 단계 108은 표준 박막 증착 및 리소그래피(lithography) 처리에 의해 사용되는 바와 같이 저온(<100℃)에서 수행될 수 있다. 단계 110에서, 블랭크 이온 주입을 수행하여 게이트 및 콘택 영역(예를 들어, 소스 및 드레인 영역)을 도핑한다. 단계 112에서, 열 어닐링 공정을 사용하여, 도펀트를 활성화하고, 이온 주입 동안 야기되는 결정 손상의 제거를 위하여 나노와이어 격자 구조를 재결정화한다. 단계 114에서, 유전체 막 증착 처리를 수행하여 소자를 패시베이팅(passivate)시킨다. 단계 116에서, 비아(via) 형성 처리를 수행하여 콘택을 개방시킨다. 단계 118에서, 필요한 바와 같이, 금속화 처리를 수행하여 상호 접속부(interconnects)를 형성한다.

<43> 단계 106(나노와이어 증착)을 제외한 흐름도(100)의 단계들은 종래의 TFT(thin film transistor) 제조 기술을 이용한다. 이것이 NBT 기술의 이점이다. 예를 들어, 실리콘 재료 실시예에서, 반도체 나노와이어가 실리콘으로 만들어지고 게이트 유전체가 이산화 규소(SiO_2)로 만들어지기 때문에, 제조 공정들을 변경할 필요가 없다.

이러한 공정을 이용함으로써, 동일하게 도핑된 크리스탈 실리콘 MOS 소자의 성능(예를 들어, 종래의 p-MOS 단결정 실리콘 소자에 대한 1.0μS/μm와 비교하여, p-MOS NBT에 대한 0.75μS/μm의 트랜스컨던턴스)에 근접한 성능을 갖는 NBT가 형성될 수 있다.

<44> NBT의 소스 및 드레인 영역에 대한 충분한 콘택(contact)을 갖는 것은 원하는 소자 성능 특성을 갖기 위한 기본이다. 예를 들어, 그러한 원하는 특성들은 낮은 직렬 저항, 높은 트랜스컨덕턴스 등을 포함한다. 종래의 반도체 공정에서, 콘택 형성은 도펀트 활성화 및 재결정화를 위한 열 어닐링(예를 들어, 흐름도(100)의 단계 114)이 후속되는 콘택 도핑(예를 들어, 흐름도(100)의 단계 110)을 포함한다. 개선된 반도체 소자에서 콘택을 형성하기 위한 현재의 방법은 낮은 에너지 이온 주입 및 급속 열 어닐링을 사용한다. 낮은 이온 에너지는 도펀트 프로파일(즉, 반도체 전체에 걸친 도펀트의 분배)을 제어하여 매우 얕은 접합(very shallow junction)(예컨대, 50nm 미만)을 형성하는데 필수적이다. 급속 열 어닐링은 도펀트 확산을 최소화하기 위한 낮은 열 버짓을 허용하고, 양호한 접합 프로파일 제어를 허용한다. 양호한 콘택 형성에 대한 이러한 필요조건에 더하여, 나노와이어 매크로 전자장치의 경우, 여러 가지 부가적인 요소들이 고려된다. 이러한 것들은 다음을 포함한다.

<45> 낮은 이온 에너지는 얕은 접합(shallow junction)을 형성하기 위하여 사용되고, (전술된 바와 같이) 나노와이어에서 격자 구조의 영구적인 손상을 방지하기 위한 도펀트 프로파일 제어에 사용된다. 예를 들어, 도펀트 이온은 재결정화 동안 회복을 용이하게 하도록 하부에 놓인 결정 구조의 일부가 유지되도록 하기 위해 이온 주입 동안 나노와이어를 완전히 관통하지는 말아야 한다.

<46> 나노와이어는 3차원 구조를 갖는다. 전체 나노와이어의 외주(circumference) 주변에 균일한 표면 도펀트가 형성되도록 나노와이어의 균등한(conformal) 이온 도핑이 수행된다. 이온은 집속된(focused) 빔 라인을 사용하여 주입되기 때문에, 종래의 빔 이온 주입은 일반적으로 불균일한 도핑 프로파일들을 발생시키므로, 빔을 사용하여

나노와이의 외주의 주변에서 균일하게 나노와이어를 도핑하기 어렵다는 것에 주의해야 한다.

<47> 롤투롤 공정과 같은 대규모 전자 기기 응용분야에서 있어서 전술된 기술들을 적용할 수 있는 것이 바람직하다. 현재의 이온 주입 방법과 함께, 기판의 크기에 대하여 거의 선형적인 프로세스 시간 의존성이 존재한다. 따라서, 큰 기판에 대한 스케일링(scaling)이 항상 경제적으로 실용적인 것은 아니다.

<48> 낮은 처리 온도는 가요성 플라스틱 기판 상에 제조되는 나노와이어 소자에 있어서 바람직하다. 종래의 반도체 열처리(퍼니스 어닐링 또는 급속 열처리)는 플라스틱 기판에 적합하지 않은 고온(예를 들어, 500℃ 보다 높은)을 요구한다.

<49> 본 발명의 실시예는 이러한 전술된 한계들을 극복한다. 실시예에서, 플라스마 잠입 이온 주입(PIII) 공정은 콘택 도핑을 위하여 사용된다. 더욱이 실시예에서 펄싱된 레이저 어닐링 처리(LAP)는 재결정화 및 도펀트 활성화를 위해 사용된다. 이러한 공정들은 여러 이점 중에서도 특히 다음의 이점들을 제공한다.

<50> 약 1 내지 5msec 사이, 예컨대, 1 내지 3msec 사이의 듀티 사이클(duty cycle)에서의 낮은 이온 주입 에너지(예컨대 5kV 미만, 예컨대 약 1 내지 2kHz)가 사용될 수 있다. 따라서, 나노와이어에 대한 잠재적 결정 구조 손상이 더 양호하게 제어될 수 있다. 낮은 콘택 및 직렬 저항에 대한 소스/드레인 콘택을 고농도로 제어가능하도록 도핑하기 위하여, 높은 도우즈 레이트(dose rate)의 주입이 수행될 수 있다. 나노와이어 내부 또는 주위의 균등한 표면 캐리어 농도를 위하여 균등한 도핑 프로파일이 달성될 수 있다. 롤투롤 제조 공정을 포함하는 이러한 공정들은 큰 형태의 기판에 있어서 용이하게 크기 조절을 할 수 있다. 진정한 저온 처리들이 달성될 수 있고, 고온 환경에서는 처리될 수 없는 가용성 플라스틱 기판의 사용을 가능하게 한다. 기존의 고밀도 플라즈마 시스템은 저가의 시스템 구현에 있어서 영향을 받을 수 있다.

<51> 이러한 공정들은 CMOS 기술에 적합하다.

<52> 다음의 소단락은 콘택 도핑을 위한 플라즈마 잠입 이온 주입(PIII) 공정과 재결정화 및 도펀트 활성화를 위한 펄싱된 레이저 어닐링 공정(LAP)을 사용하는 예시적인 실시예를 더 자세히 설명한다. 본 발명에 대한 부가적인 동작 및 구조상의 실시예들은 이하의 기재로부터 당업자에게 명확하게 이해될 것이다.

<53> a. PIII를 사용한 콘택 형성에 관한 실시예

<54> 본 발명의 실시예에 따르면, PIII는 나노와이어 및 다른 나노엘리먼트 기반 소자를 기판 상에 도핑하기 위해 사용된다. 예를 들어, PIII는 흐름도(100)의 단계 110에서 종래의 도핑 기술을 대신하여 사용될 수 있다. 도 2는 본 발명의 실시예에 따른 콘택 도핑을 위해 사용될 수 있는 종래의 PIII 리액터(reactor) 시스템(200)을 도시한 것이다. 시스템(200)은 소스 챔버(202), 처리 챔버(204), 기판 홀더(208), 플라즈마 발생기 또는 소스(210), 및 전압/전위 소스(212)를 포함한다. 도 2의 플라즈마 소스(210)는 플라즈마(220)를 발생하고, 기판(206)을 손상시키지 않고 기판(206)의 원하는 영역에 충분한 도펀트를 주입하기 위하여 충분히 높은 농도 및 충분히 높은 에너지의 이온들을 갖는다.

<55> 현재 실시예에서, 플라즈마 소스(210)는 마이크로파 소스(214), 가스 소스(216) 및 자성 코일(218)을 포함한다. 예를 들어, 플라즈마 소스(210)는 상용이고, 잘-조정된(well-regulated) 1500와트(watt)이고, 일렉트론 싸이클로트론 공명(electron cyclotron resonance, ECR)이 2.45GHz인 마이크로파 소스일 수 있다. 가스 소스(216)는 불활성 가스와 함께 전형적으로 포함된 도펀트 재료 가스를 제공한다. 마이크로파 소스(214)는 가스를 플라즈마 형태로 조사한다. 예를 들어, 방위 플라즈마 비균등성을 제거하고 종래의 커플링(coupling) 설계를 통하여 향상된 방사(radial) 균등성을 제공하는 TE01 정방형 모드 내지 TM01 원형 모드의 컨버터를 사용하여, 6인치 직경 소스 챔버(202)에 전원을 연결할 수 있다. 다른 고밀도 플라즈마 기기들도 본 발명의 방법들에 따라서 PIII 도핑을 수행하는데 사용될 수 있다.

<56> 플라즈마(220)는 소스 챔버(202)에서 18인치 직경, 30인치 길이의 처리 챔버(204)로 확장되고, 여기서 주입이 일어난다. 기판(206)은 처리 챔버(204)에서 생성된 플라즈마 이온(222)에 의해 주입된다. 기판(206)은 전위 소스(212)에 연결된 기판 홀더(208)에 의해 홀딩된다. 기판(206)에 충돌하는 이온(222)의 기판 전류(또는 펄스당 전하)는 예를 들어 로고브스키(Rogowski) 루프에 의해 감시될 수 있다. 10^{10} 내지 $10^{11}/cm^3$의 이온 농도가 1000와트의 마이크로파 전력을 갖는 기판 홀더(208)에서 달성될 수 있다. 이 실시예에서, 최대 도우즈 레이트는 펄스 동작상태에서는 대략 $10^{11}/cm^2$-펄스이고, DC 동작상태에서는 $10^{16}/cm^2$-초이다.

<57> 이온 이송 광기기(ion transport optics)와 매스 선택(mass selection)이 없기 때문에, PIII는 높은 이온 선속

(flux)을 제공할 수 있다. 또한, PIII는 종래의 빔 이온 주입과는 반대로, 비(non) "가시선(line of sight, LOS)" 처리이다. 따라서, 이는 나노와이어와 같이 비평판형 표면의 동종 균등 도핑 프로파일을 가능하게 한다. 예컨대, 나노와이어는 이 기술을 사용하여 그 영역 주위에서 균등하게 도핑될 것이다.

<58> PIII의 장점 및 이점은 매우 많다. 예컨대, PIII는 불순물(impurity) 용해도(solubility)와 같은 일반적인 열역학 제약들에 종속되지 않는다. PIII를 위해 사용되는 장비는 플라즈마 에처(etcher) 또는 증착 장비와 유사하고, 빔 이온 주입기보다 훨씬 간명하다. 주입 선속은 상대적으로 높다. 동시적이고 연속적인 주입, 증착 및 에칭과 같은 여러 공정들은, 기구의 파라미터들을 변화시킴에 의해 가능하다.

<59> 전술된 바와 같이, NBT 소자를 제조하는 동안 나노와이어에 대한 콘택을 제조하는 단계는 p+/n(또는 다른 p/n 도핑 레벨) 접합(junction)을 생성하기 위한 나노와이어의 소스-드레인 도핑이다. PIII 처리는 PIII를 사용하여 낮은 기생 저항을 갖는 나노와이어 FET의 소스-드레인 영역을 형성하기도록 변형될 수 있다.

<60> 평판형의 MOSFET 도핑은 나노와이어에 대하여, 예컨대, 10nm 정도로 얕게 접합(junction)을 형성할 수 있다. 나노와이어는 비평판형 표면(예를 들어, 곡면 단면)을 제공한다. PIII의 경우, 이온의 주입은 본래 고유하게도 비방향적(non-directional)이고, 플라즈마를 통하여 발생하며, 표면에 정합한다(confrom). 도핑 제어를 달성하기 위하여, 플라즈마 가스 압력은 이온-가스 충돌(collision)에 있어서의 평균 자유 경로(mean free path)를 제어하도록 제어될 수 있다. 이것은 이온이 플라즈마 쉬스(sheath)를 통과하면서 운동에너지를 획득하는 경우, 이온 궤적(trajectory)의 랜덤화를 가능하게 한다. 그 결과, 열처리 이후 와이어의 깊이에 대해 균등한 주입 및 도핑 프로파일 균등화가 발생한다. 선택적으로, 다양한 이온 침투 깊이를 발생시키기 위해, 주입하는 동안 여러 바이어스 파형이 사용될 수 있다. 그 결과 다양한 이온 침투 깊이의 중첩은 나노와이어 단면 전체에서 더욱 동질인 주입 프로파일을 발생시킨다.

<61> 실시예에서, NBT 소자는 자체 정렬된(self-aligned) 또는 비 자체 정렬된(non-self-aligned) 폴리 실리콘 게이트를 혼입할 수 있다. PIII를 사용하여, 소스/드레인 및 게이트 양자의 도핑을 위한 공정들이 동시에 발생할 수 있다. 약 1000Å 또는 그 미만의 게이트 두께에 있어서 폴리 실리콘 층에 걸쳐 균등한 도핑을 달성하기 위해, 나노와이어 속으로의 이온 침투 깊이는 콘택 영역에서 500Å 미만이 되어야 한다. PIII 처리 동안 제어는 폴리 디플리션(poly depletion)과 같은 기생 효과를 최소화하거나 감소시키기 위하여 사용된다. 더욱이, 폴리 실리콘 게이트의 드레인 구조는 시트 저항을 감소시키도록 도핑 효율을 향상시키기 위해 레이저 어닐링 공정 동안 제어될 수 있다.

<62> b. 콘택 영역을 위한 레이저 어닐링 공정에 관한 실시예

<63> 펄스 레이저 어닐링(PLA) 공정은 활성 매트릭스 액정 디스플레이(AMLCD) 응용을 위한 폴리 실리콘 박막 트랜지스터(TFT)의 제조에서 사용되어 왔다. PLA와 비교하면, 종래의 퍼니스 어닐링은 매주 느리고, 높은 열적 버짓을 가지며, 플라스틱 기판에는 적합하지 않은 경향이 있다. 선택적으로 초 급속 열 어닐링(VRTA) 공정은 1초 정도의 가열 주기를 갖고, 저온 기판(예를 들어, 유리 또는 플라스틱 기판)에 적합하지 않은 높은 피크 온도를 필요로 한다.

<64> 대조적으로, PLA는 퍼니스 어닐링 및 VRTA에 의해 달성되는 것을 훨씬 능가하는 TFT 성능을 산출할 수 있다. 본 발명의 실시예에 따르면, PLA는 나노와이어 및 다른 나노엘리먼트 기반 소자를 기판 상에 어닐링하기 위하여 사용된다. 예를 들어, PLA는 흐름도(100)의 단계 112에서 종래의 어닐링 기술을 대신하여 사용될 수 있다. PLA를 사용하면, 플라스틱(또는 다른 재료) 기판 상의 고성능 TFT가 획득될 수 있다.

<65> 도핑된 나노와이어와 관련하여, 나노와이어 재료을 재결정화하고 도펀트 분배를 활성화하기 위하여, 본 발명에 따라 펄스 레이저 어닐링 또는 가열이 사용된다. 플라즈마 이온 주입 후에, 이온이 격자 구조에 포함됨에 따라 반도체 결정 구조에 대한 손상이 발생한다. 재결정화는 도핑 처리 중에 야기된 주입 손상을 회복하기 위하여 격자 간의 위치(interstitial site) 바깥의 적절한 원자 위치로 원자들을 다시 이동시키는 것을 포함한다. 또한, 이 공정은 고체 상(solid phase) 도펀트 활성화를 유발하는 에너지를 제공하고, 그에 의해 주입된 이온은 전기적 성능을 향상시키기 위해 반도체 격자의 낮은 에너지 격자 간의 위치(interstitial site)에 화학적으로 본딩(bond)한다.

<66> 따라서, PLA는 활성화 및, 도핑 처리 중에 야기되는 NBT의 소스-드레인 콘택 영역에 대한 손상의 회복을 위해 사용된다. 실시예에서, TFT 제조 동안 주입되지 않는 NBT의 고-이동성 게이트 영역은 이미 완전한 단결정(single crystal)이고, 그러므로 재결정화가 필요하지 않다. 그러나 대안 실시예에서, PLA는 게이트 영역을 어닐링하기 위하여 사용될 수 있다.

<67> 본 출원의 발명자(들)는, 비교되는 종래의 벌크 실리콘(bulk Si)(예를 들어, 비정질 실리콘 또는 다결정 실리콘) 보다 낮은 레이저 플루언스, 예컨대, 약 100mJ/cm^2 미만 예컨대, 약 50mJ/cm^2 미만, 예컨대, 약 20mJ/cm^2 미만, 예컨대, 약 2 내지 16mJ/cm^2 사이의 레이저 플루언스의 레이저 어닐링을 사용하여, NW-TFT에서 사용되는 NW 박막이 효율적으로 어닐링될 수 있고, 이에 따라 폴리머 (및 다른 낮은 녹는점) 기판에 비해 높은 레이저 플루언스의 열적 영향을 방직할 수 있다는 놀라운 발견을 하였다. 이러한 펄스 레이저 어닐링 기술을 사용하여, 나노와이어 트랜지스터상의 낮은 저항 옴(Ohmic) 콘택은, 고가의 레이저 장치를 필요로 하고 하부에 놓인 저온 기판에 대한 열적 손상을 야기할 수 있는 종래의 열적 어닐링 공정을 사용하지 않고, 예컨대 플라스틱 기판에 적합한 보다 긴 파장 레이저(예를 들어, 약 400nm보다 긴 파장 예컨대, 파장이 약 500nm보다 긴 가시광선의 영역의 파장을 갖는 Nd:YAG 또는 Nd:YLF 레이저 등)를 사용함으로써 및/또는 저전력 레벨의 엑시머 레이저와 같은 더 짧은 파장 레이저를 사용함으로써 생성될 수 있다. 특정 이론에 종속되지 않고, 나노와이어를 어닐링하기 위하여 요구되는 레이저 플루언스는 벌크 실리콘 박막(예컨대, 비정실 실리콘 또는 다결정 실리콘막)에 대한 레이저 플루언스 보다 훨씬 낮은 것으로 여겨지며, 이는 나노와이어의 높은 표면 대 체적 비로 인해, 나노와이어가 벌크 기판 시스템에 비해 높은 열적 레이저 커플링 효율성을 가지며, 단열 시스템과 매우 유사한 양호한 열 구속(confinement)을 갖기 때문이다.

<68> 도 3은 본 발명의 일 실시예에 따른 PLA 시스템(300)의 일 예를 보여준다. PLA 시스템(300)은 레이저 소스(302)를 포함한다. 레이저 소스(302)는 레이저 빔(306)이 (기판 또는 다른 기판과 같은) 목표 시편(304)을 향하도록 하고, 목표 시편(304)의 어닐링을 발생시키도록 펄싱된다. 예를 들어, 레이저 소스(302)는 약 524nm의 파장을 갖는 Nd:YLF(neodymium: yttrium aluminum garnate) 레이저, 약 532nm의 파장을 갖는 Nd:YAG(neodymium: yttrium lithium fluoride) 레이저, 엑시머 레이저(예를 들어, 약 248nm의 파장을 갖는 KrF 레이저), 또는 기타 적합한 레이저 소스이다. 광학기구(308)는 선택적으로 목표 시편(304)에 레이저 빔(306)을 지향시키는 것을 돕기 위하여 존재한다. 전형적으로, 짧은 펄스 지속 시간(duration)이 사용되지만, 다른 적용예에서는 더 긴 펄스 지속 시간이 사용될 수 있다.

<69> 펄스 지속 시간이 짧은(예컨대, 100ns 미만의) 경우, 목표 시편(304)의 표면은 실질적으로 가열되지 않는다. 표면에서 온도 침투 깊이는 얕기(예컨대, 0.1㎛미만)때문에, 기판의 얇은 버퍼 단열막이 기판의 열적 열화(termal degradation)를 막기 위하여 목표 시편 기판 상에 선택적으로 증착될 수 있다. 예를 들어, 단열막은 기판 상에 나노와이어(또는 다른 나노엘리먼트)를 배치하기 전에 기판 상에 증착될 수 있다. 단열막은 알루미나(alumina), 이산화 규소(silicon dioxide) 또는 기타 단열 재료을 포함하는 임의의 단열 재료일 수 있다. 선택적으로, 가시광선 에너지에 대해 실질적으로 투명한 광 버퍼층(예컨대, $BaTiO_3$, MgO_2 등)은 하부에 놓인 기판에 대한 열적 손상을 방지하는 것을 돕기 위하여 열 격리막 위 또는 아래에 증착될 수 있다.

<70> 이미징 소자(310)는 목표 시편(304)에서 레이저 소스(302)를 지원하기 위해 존재할 수 있다. 예를 들어, 이미징 소자(310)는 카메라, 전하결합소자(charge coupled device, CCD), 포토다이오드, 또는 이미지 시편(304)을 획득하기 위한 다른 이미징 소자를 포함할 것이다. 이미징 소자(310)는 획득될 시편(304)의 이미지를 생성하도록 시편을 조명하기 위하여, 레이저와 같은 광원을 포함할 수 있다. 이미징 소자(310)는 획득된 이미지 정보를 처리하고, 레이저 소스(302)에 위치 정보를 제공/피드백하기 위해 프로세서를 포함하는 하드웨어, 소프트웨어, 및/또는 펌웨어를 포함할 수 있다. 예를 들어, 동조된 색조 레이저(dye laser)는 레이저 어닐링 처리의 시간-분해된(time-resolved) 이미징을 제공하기 위하여 사용될 수 있다. 전하결합소자(CCD) 카메라(미도시), 또는 다른 이미지 획득 장치는 위치 정보를 생성하기 위하여 반사된 빛을 수신할 수 있다. 위치 정보는 목표 제어를 제공하기 위하여 카메라와 연결된 컴퓨터에 의해 생성될 수 있다.

<71> 도 4a 및 4b에 도시된 실시예에서, 엑시머 레이저 어닐링은 7.6mJ/cm^2 (도 4a의 참조번호 402), 11.1mJ/cm^2 (도 4a의 참조번호 406), 12.5mJ/cm^2(도 4a의 참조번호 404), 및 18.7mJ/cm^2 (도 4a의 참조번호 408)의 다양한 플루언스에서 사용되었고, 석영 기판에서 (약 10nm 정도의 두께에 속하는) 산화물 쉘 층을 갖는 견본 나노와이어에서 보론 도펀트 활성화를 제어하기 위하여 다양한 개수의 펄스(예컨대, 도 4b의 참조번호 412 및 414는 각각 12.5 및 11.1mJ/cm^2 의 레이저 플루언스의 1개의 펄스를 나타내고, 참조번호 410 및 416은 각각 12.5 및 11.1mJ/cm^2 의 레이저 플루언스의 5개의 펄스를 나타낸다)를 갖는다. 도시된 바와 같이 적절한 레이저 플루언스를 갖는 경우, 레이저 어닐링은 나노와이어를 녹이지 않고, 나노와이어에서 도펀트 활성화를 분명하게 보여주었다. 하나의 레이저 펄스를 갖는 경우에도, 보론 도펀트 활성화 레벨은 나노와이어에서 옴(ohmic) 드레인/소스 콘택 형성에 대해 충분하였다. 그러나, 확산 제한 처리로 인하여 원하는 낮은 저항 콘택을 달성하기 위해서는

펄스 개수의 증가가 필요할 수 있다.

<72> PLA에 의한 가열의 정도를 제어하기 위하여, 나노와이어에 적용되는 에너지의 양, 공간-프로파일, 시간 영역(domain) 및 분배가 주어진 범위내에서 다양화될 수 있다. 예를 들어, 레이저 펄스 에너지의 시간 영역은 나노초(nanosecond) 및 초고속(즉, 펨토초(femtosecond)) 스케일로 제어될 수 있다. 나노초 시간 스케일의 경우, 에너지 축적 및 온도 방출이 기본적으로 열 처리에 의해 유발된다. 그러나, 냉각 속도는 전형적으로 매우 고속이므로(예컨대, 약 K/s), 재결정화 처리를 돕는다. 반대로, 격자와의 펨토초 레이저 에너지 커플링(coupling)은 캐리어 시스템에 대한 에너지 축적 및 격자에 대한 후속하는 충돌 에너지 전달을 통하여 발생할 것이다.

<73> 나노와이어가 비평판형의 기하학적 형태를 갖기 때문에, 나노와이어 재료로의 레이저 에너지 커플링은 나노와이어 크기, 파장 (및 이러한 고유 흡수 침투 깊이), 나노와이어 구성(예컨대, 고유 이산화 규소 유전체 쉘 두께) 및 기판 특성들에 따라 좌우될 것이다. 나노와이어 분산(scattering) 크기 파라미터(χ)는 다음과 같이 계산된다.

<74> $\chi = \pi D/\lambda$,

<75> 여기서, D = 나노와이어 직경,

<76> λ = 레이저 광 파장

<77> 파장(λ)은 1 마이크론(micron) 이하일 것으로 예상된다. FDTD(finite domain time difference) 방법에 기초한 전자기 이론 모델링은 나노와이어에서 레이저 빔 흡수를 정량화하기 위하여 사용될 수 있다. 예시적 실시예에서, 가시 파장(예컨대, λ = 532nm)의 나노초 레이저 펄스가 사용될 수 있다. 흡수 침투 깊이는 가시 파장에 대하여 수십 nm일 것이고, 이것은 나노와이어 지름에 필적한다. 레이저 어닐링 중에 도펀트의 측면 확산 및 격리를 제어하는 것이 바람직하다. 급속 열 어닐링(RTA) 처리는, 급속의 얕은(shallow) 접합(junction) 형성을 매우 어렵게 만드는 원하지 않는 도펀트 확산 및 고용도(solid solubility)로 인하여, 낮은 전자적 활성화로 제한된다. 레이저 어닐링은 가파른 접합(junctin) 프로파일을 형성하도록 사용될 수 있다. 레이저 어닐링 처리에서, 도펀트 확산성은 고체 실리콘에서 보다 용해된 실리콘에서 약 8배 정도로 크고, 이는 나노와이어 전체에 대해 균일하고 급속한 도펀트 분산 프로파일을 형성하는데 유용하다. 그러나, 도펀트 분산은 완전히 나노와이어 내로 제한되기 때문에, 콘택과 채널 간의 측면 도펀트 프로파일은 덜 제어되며, 잠정적으로 측면 도펀트 분산으로부터의 채널 변조와 같은 문제를 일으킬 수 있다. 이러한 문제를 해결하기 위하여, 여전히 콘택 영역에서 도펀트를 활성화하고 결정 손상을 제거할 수 있으면서 나노와이어를 녹일 필요가 없도록 하기 위해, 온도가 제어될 수 있다.

<78> 낮은 레이저 플루언스로의 NBT 소자의 레이저 활성화 어닐링은 국부적으로(locally) 발생하며, 저온 플라스틱 기판이 손상되지 않도록 나노와이어에 한정된다. 레이저 펄스 파라미터를 조정하는 것에 더하여, 패시베이션 층(또는 층들)은 열(heat)이 직접 기판으로 전도되는 것을 방지하기 위한 열 버퍼(또는 장벽)로서 동작하도록 나노와이어 상에서 사용될 수 있다. 부가적으로, 패시베이션 층은 나노와이어와 패시베이션 유전체 층 사이의 인터페이스에서 유발되는 열적 스트레스를 감소시키도록 선택될 수 있다.

<79> c. PIII 및 레이저 어닐링 공정 단계의 실시예

<80> 도 5a 내지 5g는 본 발명의 일 실시예에 따라서 성장 기판 상에 나노와이어를 성장시키고, 소자 기판에 와이어를 이송하고, 나노와이어에 소스 및 드레인 콘택 영역을 형성하기 위하여 PIII 및 펄스 레이저 어닐링을 사용하는 예시적인 공정 단계들을 보여준다. 실시예에서, 도 5a를 참조하면 첫 번째로 도시된 바와 같이, 공지된 직경을 갖는 금 나노입자(미도시)는 직접 증발(evaporation)에 의한 용매의 증발이 후속하는 용액으로부터의 증착에 의해 실리콘 성장 기판(502) 상에 분포될 수 있다. 하나 이상의 세정(washing) 단계들에 의해 남은 유기 잔류물(residue)을 제거한 후에, 실리콘 나노와이어(504)를 성장시키기 위하여 기판을 성장 퍼니스(growth furnace)에 배치될 수 있다. 예를 들어, 실란(SiH_4) 또는 사염화규소($SiCl_4$)가 성장 가스로서 사용될 수 있다. 성장 가스 밀도, 온도 및 시간을 포함하는 성장 조건을 조절함으로써, 길이 50㎛까지(또는 더 긴)의 나노와이어(504)가 획득될 수 있다. 그 후에, 나노와이어에서 자연 산화물을 제거하기 위하여, 예컨대 불화수소(HF)를 이용한 증기 식각(vapor etch)이 사용될 수 있고, 후속하여 도 5b에 도시된 바와 같이 나노와이어 위에 집적된 산화(예컨대, SiO2) 게이트 유전체 쉘 층(506)의 성장이 후속한다.

<81> 최종 Si/SiO_2 코어/쉘 나노와이어(504)는 제거되고 도 5c(명료하도록 단일 나노와이어(504) 만을 도시한다)에 도시되고 이하에서 더 자세히 설명되는 바와 같이, SiO_2층(510)(예컨대, 약 6000Å 두께)으로 코팅된 소자 기판

(508) 상에 주위 온도(ambient temperature)에서 증착될 수 있다. 유리, 스테인리스 스틸 또는 플라스틱 적층된(laminated) 기판과 같은 저온 기판은 전자 빔(e-beam) 증발 또는 스퍼터링(sputtering) 증착에 의해 약 300-1000Å 두께를 갖는 유전체 층(511)(예컨대, 질화규소(SiN))으로 코팅될 수 있다. SiN층은 나노와이어가 부착될 중간층으로서 역할을 하고, 기판으로의 열전달을 최소화하기 위한 일시적인 열 장벽으로서 역할을 한다. 기판에 의한 레이저 에너지 흡수를 최소화하기 위해(예컨대, 기판이 녹는 것을 방지하기 위해), 예를 들어 박막 코팅 방법을 사용하여, 하나 이상의 부가적인 열 버퍼층 및/또는 광 버퍼층(예컨대, Al_2O_3, SiO_2, MgO, $BaTiO_3$ 등)(미도시)이 유전체 층(511) 상에 형성될 수 있다. 광 버퍼층은 사용될 경우 높은 열용량을 갖는 가시광선(예컨대, 강한 UV광 영역내에서 높은 광 흡수력을 갖음)에 대하여 실질적으로 투명한 것이 바람직하다.

<82> 나노와이어(504)는 기판에 증착될 수 있으며(예컨대, 용액 내의 나노와이어 박막으로), 그리고 나서 TFT 소자가 제조될 수 있다. 예를 들어, 가요성 또는 강성(rigid) 디스플레이, 전파 식별 태그(radiofrequency identification tag) 장치, 빔-조향(steering) 안테나 어레이, 스마트 카드 등을 포함하는 임의의 타입의 박막 트랜지스터 소자가 제조될 수 있다. 나노와이어의 집합은 나노와이어 박막을 달성하기 위하여 용액으로부터 임의의 타입의 기판 상에 용이하게 조립(assembled)될 수 있다. 정렬 및 비정렬된, 그리고 복합체 및 비복합체로 된 나노와이어의 박막이, 본 발명에 따르면, 다양한 방법으로 생산될 수 있다. 무작위로 배향된 나노와이어의 박막이 다양한 방법으로 획득될 수 있다. 예를 들어, 나노와이어는 적합한 용액(예컨대, 에탄올 또는 다른 용액들)속으로 분산(dispersed)될 수 있다. 그 후 나노와이어는 스핀-캐스팅(spin-casting), 드롭-앤-드라이(drop-and-dry), 플러드-앤-드라이(flood-and-dry), 또는 딥-앤-드라이(dip-and-dry) 연구 방법을 사용하여 원하는 기판 상에 증착될 수 있다. 이러한 공정들은 고도의 커버리지(coverage)를 보장하기 위하여, 여러 번 수행될 수 있다. 무작위로 배향된 나노와이어/폴리머 복합체의 박막은, 나노와이어가 분산되는 용액이 폴리머 용액인 경우, 유사한 방법에 의해 생산될 수 있다.

<83> 정렬된 나노와이어 박막은 다양한 방법으로 획득될 수 있다. 예를 들어, 정렬된 나노와이어 박막은 다음 기술들을 사용함으로써 생산될 수 있다. (a) 랑뮈어-블로젯(Langmuir-Blodgett) 막 정렬; (b) 2002년 9월 10에 출원된, 미국특허출원 제10/239,000호, 2001년 8월 22일에 출원된 리버(Lieber)의 미국특허출원 공보 제2002/0130311호 및 2004년 8월 30일에 출원된 "나노와이어들을 제조하고, 수집하고, 기능적 나노와이어 기반 소자에 집적하기 위한 공정들"을 명칭으로 한 미국특허출원번호 제60/605,454호에 기재된 바와 같은, 유체 흐름(fluidic flow) 연구 방법(전체 내용이 여기에 참조문헌으로서 포함됨), 및 (c) 기계적 전단력(shear force)의 적용(예컨대, 그라비어 코터(gravure coater)를 이용하여). 예를 들어, 기계적 전단력은 나노와이어를 제1 및 제2 표면 사이에 배치하고, 나노와이어를 정렬하기 위해 제1 및 제2 표면을 반대 방향으로 움직이는 것에 의해 사용될 수 있다. 정렬된 나노와이어/폴리머 복합체의 박막은 이러한 기술들을 사용하여 획득될 수 있으며, 나노와이어의 생성된 박막 상에 원하는 폴리머를 스핀-캐스팅하는 공정이 후속된다. 예를 들어, 나노와이어는 액체 폴리머 용액에 증착될 것이고, 그 후 이러한 또는 다른 정렬 공정들 중 하나에 따라서 정렬이 수행수 있고, 정렬된 나노와이어가 경화(cure)될 것이다(예컨대, UV 경화, 크로스링크 등). 정렬된 나노와이어/폴리머 합성물의 박막은 무작위로 배향된 나노와이어/폴리머 복합체의 박막을 기계적으로 스트레칭(stretching)시킴으로써도 획득될 수 있다.

<84> 기판 상에 증착될 때, 명료하고 저가의 제조 공정을 허용함과 동시에, 개선된 소자 성능(behavior)을 위하여 종래의 전자 소자에서의 비정질 실리콘 또는 유기 박막 대신에 나노와이어 박막이 사용될 수 있다. 나노와이어 박막의 사용을 통하여, 본 발명은 특히, 고성능 저가 소자를 크고 가요성 기판 상에 제조할 수 있도록 적응된다. 본원 명세서에서 기재된 바와 같은 나노와이어 박막은 가능한 넓은 표면 면적 범위로 형성될 것이다. 예를 들어, 본 발명에 따른 나노와이어 박막은 1 보다 큰, 1 보다 큰, 10 보다 큰, 1 보다 큰, 그리고 더 크거나 또는 작은 기능 영역을 갖도록 형성될 수 있다.

<85> 나노와이어 박막은 서로에 가깝게 위치하는 복수의 개별적인 나노와이어들을 포함할 수 있다. 나노와이어 박막은 하나의 나노와이어의 두께와 같거나 또는 그보다 큰 다양한 두께의 크기를 가질 수 있다. 예를 들어, 나노와이어 박막의 나노와이어들은 그것들의 장축들이 실질적으로 서로에 대해 평행하도록 정렬된다. 대안 실시예에서는, 나노와이어 박막의 나노와이어들이 정렬되지 않고, 대신, 랜덤하게 또는 다른 방법으로 서로 상이한 방향으로 배향될 수 있다는 것을 알아야 한다. 대안 실시예에서는, 모든 방향으로 높은 이동성이 제공되도록, 나노와이어 박막의 나노와이어는 등방적으로 배향될 수 있다. 나노와이어 박막의 나노와이어들은, 특정 응용예에 의해 요구되는 바와 같이, 성능을 향상시키기 위하여 전자 흐름의 방향에 관계된 방식에 따라 정렬될 수 있음을 알아야 한다.

<86> 본 명세서에서 기재된 실시예에서, 나노와이어 박막의 나노와이어(들)(504)은 이하에서 더 설명되는 바와 같이, 소스 전극(524)과 드레인 전극(522) 사이의 전체에 걸치는(도 5g 참조) 단결정 반도체 나노와이어이다. 나노와이어 박막은 거기로부터 형성되는 반도체 소자(예컨대, 저항, 트랜지스터, 다이오드 등)에 대하여 필요한 특성들을 제공하기 위하여 충분한 개수의 나노와이어로 형성될 수 있다. 예를 들어, 나노와이어 박막은 특정 반도체 소자에 대해 원하는 전류 밀도 또는 원하는 전류 레벨을 달성하기 위하여 충분한 개수의 나노와이어 소자로 형성될 수 있다. 예를 들어, 여기에 개시된 도 5a 내지 5g의 트랜지스터의 예에서, 나노와이어 박막은 약 2나노암페어보다 큰 채널 내의 전류 레벨 (예컨대, 약 10나노암페어(nanoamp)보다 큼)을 갖도록 형성될 수 있다.

<87> 한 실시예에서, 나노와이어 박막은 비대칭 이동성을 갖도록 형성될 수 있다. 예를 들어, 이는 나노와이어 박막의 나노와이어들을 비대칭적으로 정렬하고, 및/또는 나노와이어를 특정 방식으로 도핑함으로써 달성될 수 있다. 그러한 비대칭 이동성은 제2 방향보다 제1 방향에서 훨씬 더 크도록 유도될 수 있다. 예를 들어, 비대칭 이동성이 제2 방향보다 제1 방향에서 10배, 100배, 1000배 및 10000배 정도 더 크도록 또는 이들 값 사이, 또는 이들 값보다 더 크거나 더 작은 비대칭 이동성 비율을 갖도록 생성될 수 있다.

<88> 다음으로, 도 5d를 참조하면, 표준 포토리소그래피(photolithography)기술을 사용하여, 게이트 마스크(미도시)가 나노와이어(504)의 선택된 영역을 마스킹하도록 사용될 수 있고, 노출된 영역에 게이트 재료(512)(예컨대, 비정질 실리콘)의 증착 처리가 후속하여 행해진다. 그 후 PIII 처리를 사용하여, 도 5e에 도시된 바와 같이, 나노와이어(504)는 헬륨(He) 캐리어 가스 내의 BF_3 플라즈마와 같은 p-타입 도펀트(또는, PH_3와 같은 n-타입 도펀트)와 같은 플라즈마에 의해 도핑될 수 있다.(여기서 아래 방향으로 지향된 화살표는 플라즈마 이온 주입 에너지를 가리킨다). 예를 들어, 5kV이하의 PIII 바이어스 전압이 10초 미만의 주입 시간으로 사용될 수 있다. 플라즈마 밀도 및 바이어스 파형은, 플라즈마 쉬스(sheath)에 걸치는 용량성 결합이, 가해진 바이어스 대부분을 픽 업(pick up)할 수 있도록 조정된다. 이것은 쉬스 두께를 수정하기 위하여 펄스 지속시간(예를 들어, 듀티 팩터) 및/또는 플라즈마 압력을 조정함으로써 달성될 수 있다.

<89> 나노와이어 박막의 나노와이어(504)는 성능을 개선시키기 위해 다양한 방법으로 도핑될 수 있다. 나노와이어(504)는 소자 기판(508) 상에 도핑되는 것으로 본 명세서에서 도시되었으나, 나노와이어는 기판 상에 증착되기에 앞서 도핑될 수도 있다. 그러한 단결정 나노와이어(504)는 p 또는 n 타입의 반도체 속으로 도핑될 수 있다. 나노와이어(504)는 그것의 장축부를 따라서 상이하게 도핑될 수 있고, 나노와이어 박막 내의 다른 나노와이들과 상이하도록 도핑될 수도 있다. 나노와이어(504)는 균등하게 도핑된 단결정 나노와이어일 수 있고, 또는 나노와이어(504)의 표면 상에 분자 모노층(monolayer)만을 포함하고, 다양한 두께 레벨들을 가질 수 있는 도핑된 표면층을 포함하도록 코어-쉘 구조에 따라 도핑될 수 있다. 그러현 표면 도핑은 불순물을 나노와이어의 도전 채널(conducting channel)로부터 분리할 수 있고, 불순물-관련 분산의 발생을 억제할 수 있어서, 상당히 개선된 캐리어 이동성을 산출할 수 있다. 예를 들어, 나노와이어가 코어-셸 구조에 따라 도핑되는 경우, "탄도성(ballistic)" 이송은 나노와이어 내부에서 달성될 것이다. "탄도성(ballistic)" 이송은 전자 캐리어가 본질적으로 어떠한 저항도 없이 나노와이어를 통하여 이송되는 경우이다.

<90> 다음으로, 본 명세서에서 기재된 약 100 mJ/cm^2 미만, 예컨대, 약 50mJ/cm^2 미만, 예컨대, 약 2에서 18mJ/cm^2 사이의 레이저 플루언스를 갖는 펄스 레이저를 사용하는 펄스 레이저 어닐링은, 고체 상 재결정화 및 나노와이어(504)의 소스 및 드레인 영역에서 도펀트 활성화를 위하여 사용될 수 있다. 레이저 어닐링은 예컨대, 약 400nm 보다 큰, 예컨대, 약 500nm 보다 큰 파장을 갖는 Nd:YAG 또는 Nd:YLF 레이저를 사용하여, 또는 더 짧은 파장(예컨대, 약 248nm)의 엑시머 레이저(예컨대, 플로리다 포트로더대일에 위치하는 Lambda Physik(주)에서 상업적으로 상용화한 KrF 레이저)와 같은 짧은 파장 레이저를 사용함으로써 수행될 수 있다. 이러한 재료들로 제조된 나노와이어의 집합은 고성능 전자장치를 위한 빌딩 블록(building block)으로서 유용하다. 실질적으로 동일한 방향으로 배향된 나노와이어의 집합은 높은 이동성 수치를 가질 것이다. 예를 들어, 반도체 소자에서 사용되는 나노와이어의 박막은 고성능 전자장치에서 사용하기 위하여, 이 박막은 2개, 5개, 10개, 100개 및 이들 개수들 사이 또는 이들 개수들 보다 큰 다른 개수의 나노와이어들을 포함하도록 형성될 수 있다. 나노와이어는, 임의 타입의 기판 상에서 유연하게 스핀-캐스팅될 수 있는 유기 반도체 재료들과 같은 폴리머/재료들과 결합되는 경우, 고성능 복합 재료들을 제조하기 위하여 사용될 수도 있음을 알아야 한다. 나노와이어/폴리머 합성물은 순수한 폴리머 재료들을 능가하는 특성들을 제공할 수 있다.

<91> 열적 산화물/질화물 패시베이션층(516)(예컨대, AlO와 같은 산화물, SiN과 같은 질화물 등)은 표준리소그래피 기술을 사용하여 어닐링된 나노와이어(504) 상에 증착될 수 있고, 비아들(518, 519 및 520)은 (예컨대, 리소그래피, 포토레지스트(photoresist) 스트립 등을 사용하여) 패시베이션층(516)에 패터닝되며, 이경우, 나노와이어

에 게이트 콘택과 소스 및 드레인 전자 콘택을 증착하는 것이 바람직하다. 도 5g에 도시된 실시예에서, 코어 나노와이어(504)의 종단의 쉘층(506)의 일부는, 나노와이어의 코어를 노출하도록 (예를 들어, BOE(buffered oxide etch) 공정 또는 다른 건식 식각(dry etch) 공정을 사용하여) 패터닝되고/제거됨으로써, 드레인 콘택(552) 및 소스 콘택(524)이 코어 나노와이어(504)와 접촉될 수 있도록 한다.

<92> 도 5g에 도시된 바와 같이, 전자 콘택은 소스 , 드레인 및 게이트 콘택 영역에서 증착될 수 있다. 드레인 콘택(522), 소스 콘택(524), 및 게이트 콘택(526)은 유기물(도전성 폴리머) 또는 무기물(예컨대, 금속 또는 금속/합금의 조합)을 포함하여, 임의의 절적한 도전체일 수 있고, 본 명세서에서 기재되거나 이외 다른 곳에서 참조되거나, 또는 공지된 바와 같이, 페인팅되거나(painted), 전기도금되거나(electroplated), 증발되거나(evaporated), 스퍼터링되거나(sputtered), 스핀-온되거나(spun-on) 또는, 도포될(applied) 수 있다. 실시예에서, 나노와이어(504)의 박막의 나노와이어는 소스 콘택(524) 및 드레인 콘택(522) 사이의 전체에 걸친다(span). 따라서, 전하 캐리어는 단결정 나노와이어를 통하여 이송될 수 있고, 현재의 비정질 및 폴리실리콘 기술로는 실질적으로 달성하기 불가능한 높은 이동성을 야기한다.

<93> 상기 공정 단계들은 롤투롤 공정, 잉크젯 프린팅, 마이크로-콘택 프린팅 등의 다양한 증착 기술들을 사용하여, 가요성 기판 또는 강성 기판을 포함하는 다양한 기판에 적용될 수 있다. 예를 들어, 롤투롤 공정은 가요성 플라스틱 또는 금속 포일(foil)의 롤(roll) 상에 전자 소자를 제조하는 공정이다. 박막 NW-TFT 및 다른 소자로 제작된 큰 회로가 큰 기판 상에 용이하게 패터닝될 수 있으며, 이러한 큰 기판은 수 미터 너비 및 50Km 길이까지 가능하다. 일부 소자들은 잉크젯 프린터가 잉크를 증착하듯이 직접적으로 패터닝될 수 있다. 본 명세서에서 기재된 상기 PIII 및 레이저 어닐링 공정 단계들은 도 6에 예시적으로 도시된 바와 같이, 롤 투 롤 처리에 용이하게 적용될 수 있다. 도 6에서, 전술된 바와 같이 나노와이어 박막이 증착되는 가요성 기판(508)은, 롤러(602, 604) 사용으로, 연속 방식으로 다양한 처리 챔버들, 이를 테면 PIII 처리 챔버(606) 및 레이저 어닐링 처리 챔버(608)를 통하여 이동될 수 있고, 나노와이어 박막은 본 명세서에서 기재된 것처럼 PIII 시스템(200)을 사용하여 도핑될 수 있고 레이저 어닐링 시스템(300)을 사용하여 어닐링될 수 있다. 부가적인 처리 챔버들(미도시)이, 반도체 소자에 게이트, 소스, 및 드레인 콘택을 패터닝/증착하기 위한 종래의 포토리소그래피 단계들을 포함하는 NW-TFT 제조 공정의 다양한 다른 단계들을 수행하기 위하여, 도시된 것들에 연속하여 추가될 수 있다.

<94> Ⅱ. 응용예

<95> 본 명세서에 기재된 실시예들은, 나노와이어 TFT 기술에 적용될 때, 종래의 상당히 큰 가요성 기판 상에 종래의 단결정 실리콘으로부터 제조된 트랜지스터에 필적하거나 그것을 능가하는 성능 특성을 갖는 트랜지스터의 제조를 가능하게 한다. 이것은 초대규모, 고밀도 전기적 집적을 가능하게 하고, 진정한 실리콘-온-플라스틱(silicon-on-plastic) 기술을 제공한다. 군사적인 응용분야들을 포함하여, 이 기술의 잠재적 응용분야들은 매우 광범위하며, RF 통신, 센서 어레이, X-레이 영상기, 전파 식별 태그(RFID), 가요성 또는 강성 디스플레이, 위상 배열 안테나(phased array antenna), 전자장치 및 그 밖의 것들을 포함하여, 다양한 독특한 응용분야에서의 개발을 포함한다.

<96> 예를 들어, 나노와이어 TFT를 대면적 전자 반사기(LAER, large area electronic reflector)에 포함시키는 응용은 방향성 고이득 RF 전송 또는 수신을 위한 파라볼릭(parabolic) 안테나에 "어떠한" 표면도 전기적으로 모핑(morphing)할 수 있도록 한다. 이것은 지붕(roof top)의 전기적 형상이 매우 큰 위성용 접시안테나(satellite dish)로서 동작하면서, 지붕이 물로부터 집을 최적으로 보호하기 위해 물리적으로 형성되도록 하는 것과 유사하다. 볼록(convex) 형상은 전기적으로 오목해지도록 만들어 질 수 있고, 따라서, 수신기의 효율성을 증가시키고, 그것들이 동작하는데 필요한 전력을 감소시키며, 또는 그것들의 수명 또는 (유효)범위를 증가시킬 수 있다. 더욱이, (소형 비행선과 같은) 비행선의 블레이더(bladder)는 매우 큰 모핑 안테나 개구(aperture)로서 동작하도록 제조될 수 있다. 그러한 비행선은 고 고도(high altitude) 전자 감시/통신기를 추진하기 위한 저가의 해결책이다. 비행선 블레이더의 표면 위에서 RF 주파수로 동작하는 내장된(embedded) TFT는 무게를 감소시키고 비행선의 성능을 증가시킨다.

<97> 본 발명의 다양한 실시예들이 위에서 설명되었으나, 이들은 제한하기 위해서가 아니라 단지 실시예로서 제공된 것으로 이해되어야 할 것이다. 당업자는 본 발명의 범위 및 정신으로부터 벗어나지 않고, 그 형태 및 상세사항을 다양하게 변화시킬 수 있음은 자명할 것이다. 따라서, 본 발명의 넓이와 범위는 전술된 예시적인 실시예들에 의해 제한되지 않고, 다음의 청구범위 및 그에 상당하는 것과 관련하여 정의되어야 한다.

도면의 간단한 설명

<20> 도 1은 종래의 나노와이어 박막 트랜지스터 소자를 제조하기 위한 예시적인 단계들을 도시한 것이다.

<21> 도 2는 본 발명의 실시예들에 따른, 플라즈마 잠입 이온 주입(PIII)을 수행하기 위한 시스템(200)의 일 예를 도시한 것이다.

<22> 도 3은 본 발명의 일 실시예에 따른, 펄스 레이저 어닐링(pulsed laser annealing, PLA) 시스템(300)의 일 예를 도시한 것이다.

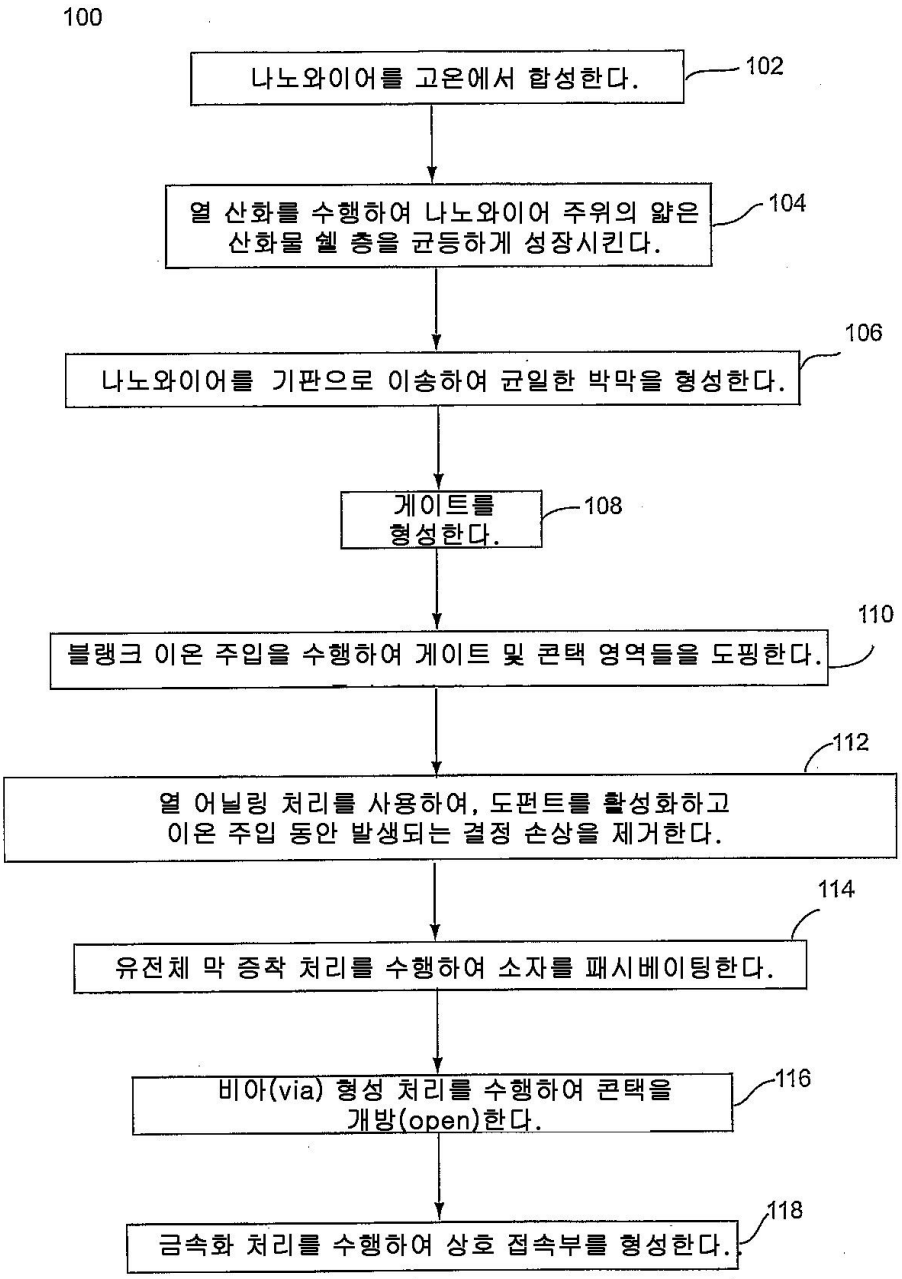
<23> 도 4a 및 4b는 다양한 펄스에서의 낮은 레이저 플루언스를 사용하여 나노와이어 내의 보론(boron) 도펀트 활성화를 위한 엑시머 레이저 어닐링의 사용을 나타내는 그래프로서, 도 4a는 엑시머 레이저 어닐링을 사용하여 다양한 레이저 플루언스에서의 나노와이어 저항을 나타내는 그래프이고, 도 4b는 엑시머 레이저 어닐링을 사용하여 레이저 에너지의 펄스 개수에 대한 나노와이어의 저항을 나타내는 그래프이다.

<24> 도 5a 내지 5g는 본 발명의 실시예에 따라서, 나노와이어를 성장 기판 상에서 성장시키고, 상기 와이어를 소자 기판으로 이송하고, 상기 나노와이어에 소스 및 드레인 콘택 영역을 형성하기 위해 플라즈마 잠입 이온 주입(PIII) 및 펄스 레이저 어닐링을 이용하는 처리 단계들을 나타내는 개략도이다.

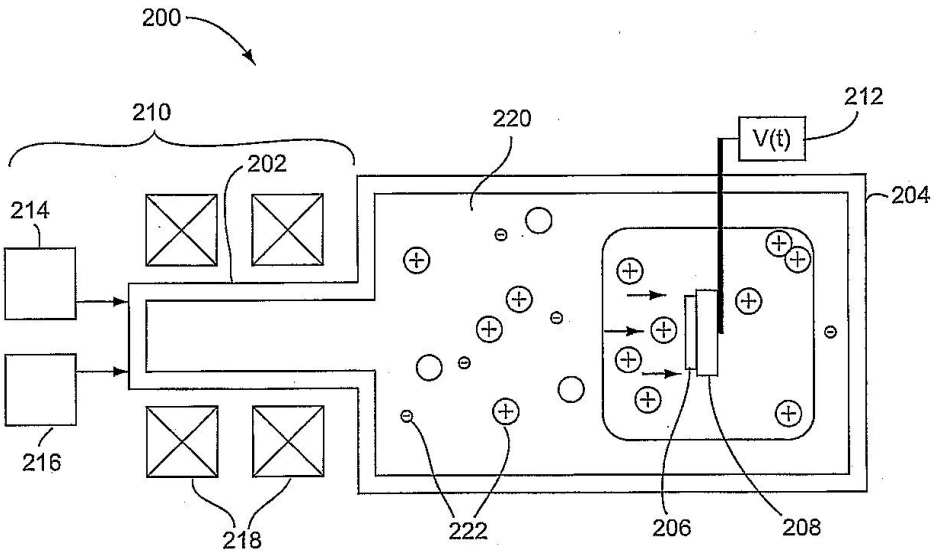
<25> 도 6은 본 발명의 방법을 실행하는데 사용될 수 있는 롤투롤 공정 시스템의 실시예에 관한 개략도이다.

도면

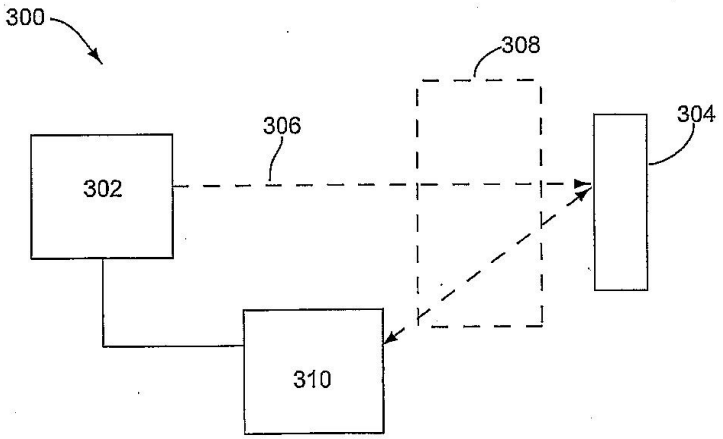
도면1


100
나노와이어를 고온에서 합성한다.
102
열 산화를 수행하여 나노와이어 주위의 얇은 산화물 쉘 층을 균등하게 성장시킨다.
104
나노와이어를 기판으로 이송하여 균일한 박막을 형성한다.
106
게이트를 형성한다.
108
블랭크 이온 주입을 수행하여 게이트 및 콘택 영역들을 도핑한다.
110
열 어닐링 처리를 사용하여, 도펀트를 활성화하고 이온 주입 동안 발생되는 결정 손상을 제거한다.
112
유전체 막 증착 처리를 수행하여 소자를 패시베이팅한다.
114
비아(via) 형성 처리를 수행하여 콘택을 개방(open)한다.
116
금속화 처리를 수행하여 상호 접속부를 형성한다.
118

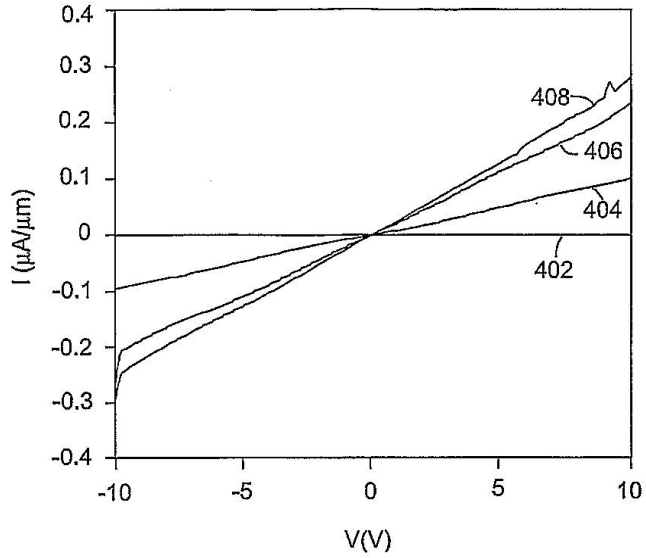
도면2


200
210
202
214
216
218
220
212
V(t)
204
222
206
208

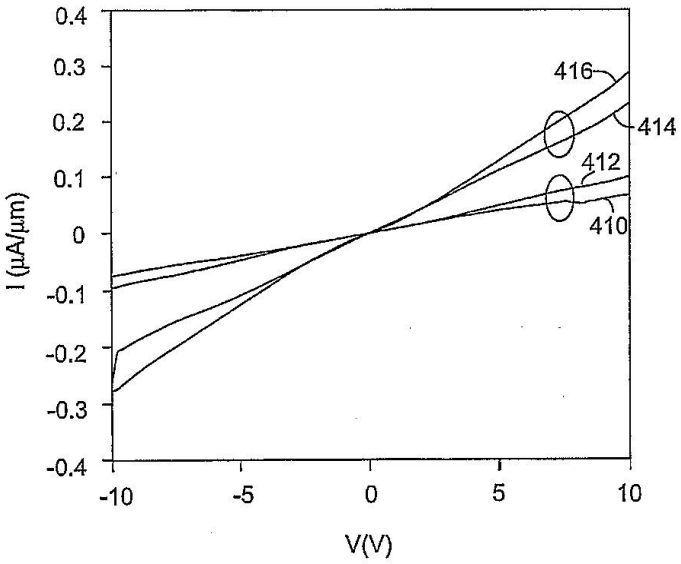
도면3


300
308
306
304
302
310

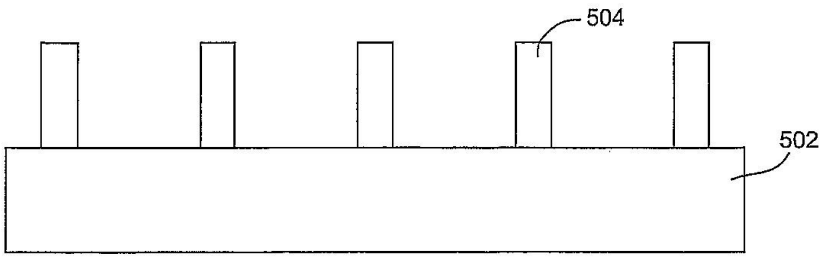
도면4a



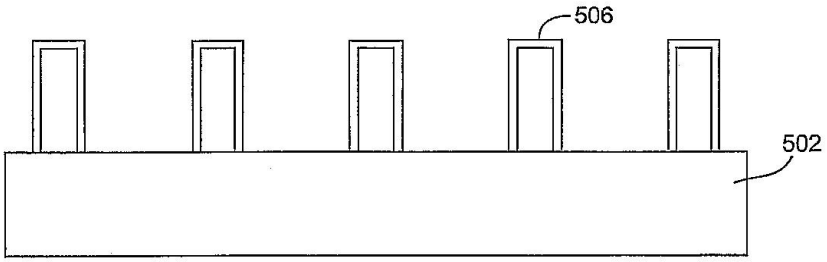
도면4b



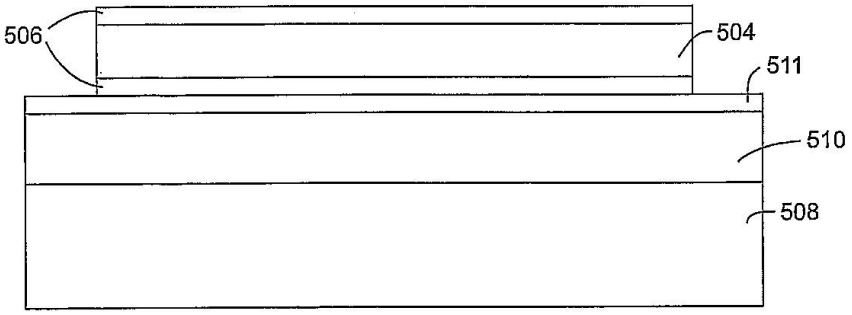
도면5a



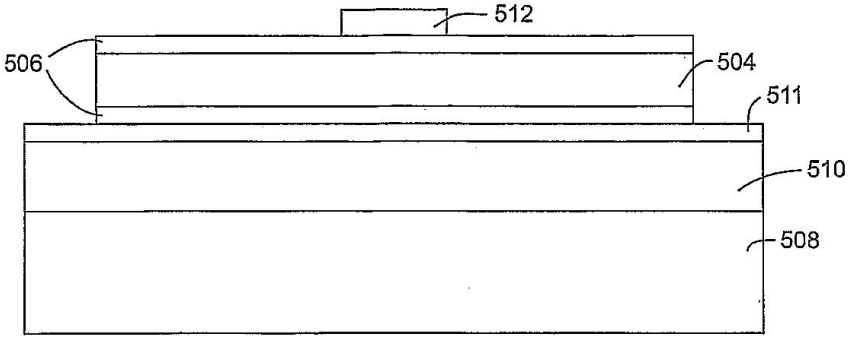
도면5b



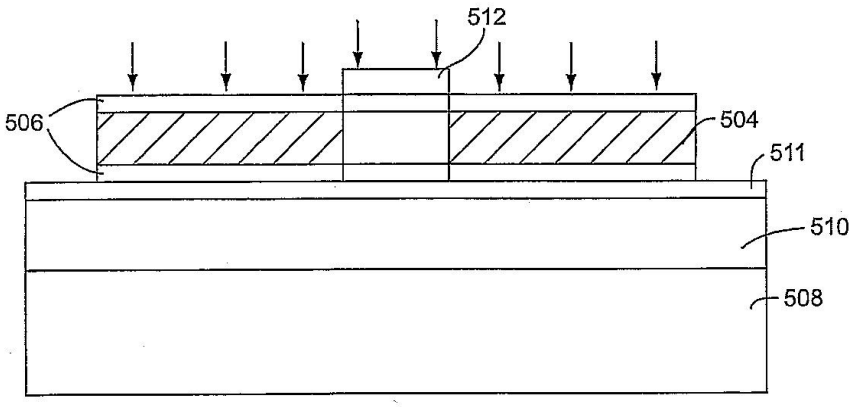
도면5c



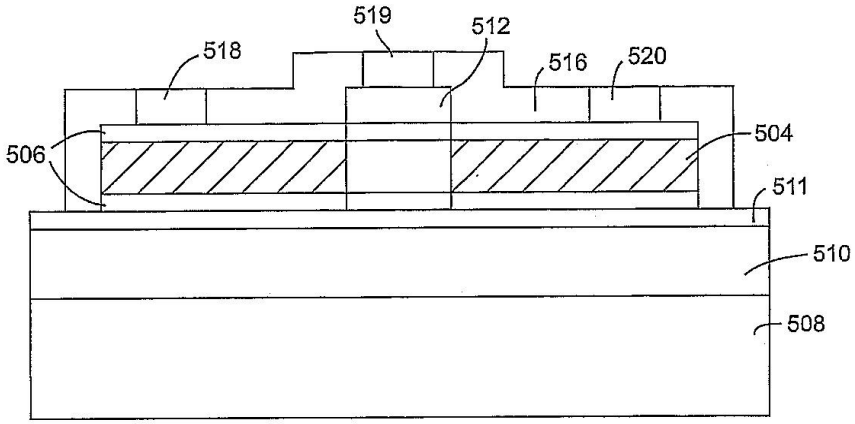
도면5d



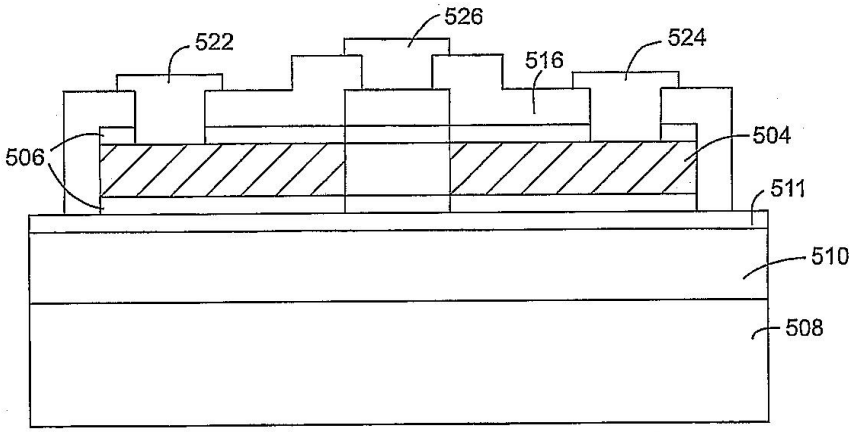
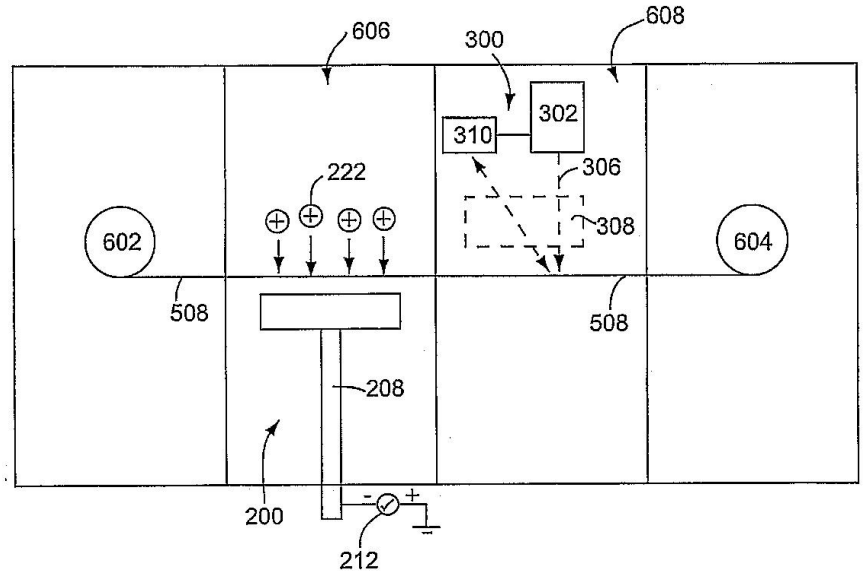
도면5e



도면5f



도면5g



도면6