



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월22일
(11) 등록번호 10-2410321
(24) 등록일자 2022년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) G09G 3/3225 (2016.01)
G09G 3/3266 (2016.01) G09G 3/3275 (2016.01)

(52) CPC특허분류
H01L 27/1251 (2013.01)
G09G 3/3225 (2013.01)

(21) 출원번호 10-2021-7005816
(22) 출원일자(국제) 2020년02월28일
심사청구일자 2021년02월25일
(85) 번역문제출일자 2021년02월25일
(65) 공개번호 10-2021-0105327
(43) 공개일자 2021년08월26일
(86) 국제출원번호 PCT/CN2020/077226
(87) 국제공개번호 WO 2021/159563
국제공개일자 2021년08월19일

(30) 우선권주장
202010089264.4 2020년02월12일 중국(CN)

(56) 선행기술조사문헌
CN109036303 A*
CN110534531 A*
CN110634888 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
우한 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 후베이 430079, 우한, 이스트 레이크 하이-테크 디벨롭먼트 존, 넘버 666 가오신 애비뉴, 바이오레이크 오브 옵틱스 밸리, 딩, 케 빌딩 씨5

(72) 발명자
시아오, 준청
중국, 후베이 430070, 우한, 우한 이스트 레이크 하이-테크 디벨롭먼트 존, 넘버 666 가오신 애비뉴, 바이오레이크 오브 옵틱스 밸리, 빌딩 씨5
티엔, 차오
중국, 후베이 430070, 우한, 우한 이스트 레이크 하이-테크 디벨롭먼트 존, 넘버 666 가오신 애비뉴, 바이오레이크 오브 옵틱스 밸리, 빌딩 씨5
(뒷면에 계속)

(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 16 항

심사관 : 장영주

(54) 발명의 명칭 **디스플레이 패널, 게이트 구동회로 및 전자장치**

(57) 요약

본 발명은 디스플레이 패널, 게이트 구동회로 및 전자장치를 제공하고, 상기 디스플레이 패널은 제1 금속층, 제2 금속층, 폴리 실리콘 반도체층, 제3금속층 및 금속 산화물 반도체층을 포함하고, 상기 제1 금속층은 제1 게이트를 포함하고, 제2 금속층은 제1 소스, 제1 드레인 및 제2 게이트를 포함하고, 상기 폴리 실리콘 반도체층의 양단은 각각 상기 제1 소스 및 상기 제1 드레인과 전기적 연결되며, 제3 금속층은 제2 소스와 제2 드레인을 포함하고, 금속 산화물 반도체층의 양단은 각각 상기 제2 소스 및 상기 제2 드레인과 전기적 연결된다.

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 3/3275 (2013.01)

H01L 27/1225 (2013.01)

H01L 27/124 (2013.01)

(72) 발명자

구안, 안칭

중국, 후베이 430070, 우한, 우한 이스트 레이크
하이-테크 디벨롭먼트 존, 넘버 666 가오신
애비뉴, 바이오레이크 오브 옵틱스 밸리, 빌딩 씨5

카오, 하이밍

중국, 후베이 430070, 우한, 우한 이스트 레이크
하이-테크 디벨롭먼트 존, 넘버 666 가오신
애비뉴, 바이오레이크 오브 옵틱스 밸리, 빌딩 씨5

명세서

청구범위

청구항 1

게이트 구동영역을 포함하는 디스플레이 패널에 있어서, 상기 게이트 구동영역의 단면구조는,

폴리 실리콘 반도체층;

상기 폴리 실리콘 반도체층상에 배치되는 제1 금속층;

상기 제1 금속층상에 배치되는 제2 금속층;

상기 제2 금속층상에 배치되는 금속 산화물 반도체층; 및

상기 금속 산화물 반도체층상에 배치되는 제3 금속층

을 포함하고,

상기 제1 금속층은 제1 게이트를 포함하고,

상기 제2 금속층은 제1 소스, 제1 드레인 및 제2 게이트를 포함하고, 상기 폴리 실리콘 반도체층의 양단은 각각 상기 제1 소스 및 상기 제1 드레인과 전기적 연결되며,

상기 제3 금속층은 제2 소스 및 제2 드레인을 포함하고, 상기 금속 산화물 반도체층의 양단은 각각 상기 제2 소스 및 상기 제2 드레인과 전기적 연결되며,

상기 제1 금속층은 적어도 하나의 제1 연결부를 더 포함하고, 상기 제2 게이트는 상기 제1 연결부와 연결되고, 상기 게이트 구동영역은 상기 제1 금속층과 상기 제2 금속층 사이에 배치되는 게이트 절연층을 더 포함하고, 상기 게이트 절연층에 제1 연결구멍이 배치되어 있고, 상기 제2 게이트는 상기 제1 연결구멍을 통하여 상기 제1 연결부와 연결되는 디스플레이 패널.

청구항 2

제1항에 있어서,

상기 금속 산화물 반도체층의 재료는 IGZO, IGZTO 및 ITZO 중의 하나를 포함하는 디스플레이 패널.

청구항 3

제1항에 있어서,

상기 제2 금속층은 적어도 하나의 제2 연결부를 더 포함하고, 상기 제2 소스 및 상기 제2 드레인은 모두 하나의 상기 제2 연결부와 연결되는 디스플레이 패널.

청구항 4

제3항에 있어서,

상기 게이트 구동영역은,

상기 제2 금속층과 상기 금속 산화물 반도체층 사이에 배치되는 제2 절연층; 및

상기 금속 산화물 반도체층과 제3 금속층 사이에 배치되는 제3 절연층

을 더 포함하고,

상기 제2 연결부는 상기 제2 절연층과 상기 제3 절연층을 관통하는 디스플레이 패널.

청구항 5

삭제

청구항 6

삭제

청구항 7

복수의 캐스캐이드의 게이트 구동유닛을 포함하는 게이트 구동회로에 있어서, 제n 스테이지 게이트 구동유닛은, 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 제5 박막 트랜지스터, 제6 박막 트랜지스터 및 제7 박막 트랜지스터를 포함하고,

상기 제1 박막 트랜지스터의 게이트는 제n-2 스테이지 스캔신호를 접속하고, 소스는 제1 전원전압을 접속하며, 드레인에는 제1 노드와 연결되고;

상기 제2 박막 트랜지스터의 게이트는 상기 제1 전원전압을 접속하고, 소스는 제1 노드와 연결되며, 드레인에는 상기 제3 박막 트랜지스터의 게이트와 연결되고;

상기 제3 박막 트랜지스터의 소스는 제n 스테이지 클럭 신호를 접속하고, 드레인에는 제1 출력단과 연결되며, 상기 제1 출력단은 제n 스테이지 스캔신호를 출력하고;

상기 제7 박막 트랜지스터(NT7)의 게이트는 제n+1 스테이지 클럭 신호를 접속하고, 소스는 상기 제1 전원전압을 접속하며, 드레인에는 제2 노드와 연결되고;

상기 제6 박막 트랜지스터의 게이트는 상기 제1 박막 트랜지스터의 드레인과 연결되고, 드레인에는 상기 제2 노드와 연결되며, 소스는 제2 전원전압을 접속하고;

상기 제5 박막 트랜지스터의 게이트는 상기 제2 노드와 연결되고, 드레인에는 제1 노드와 연결되며, 소스는 상기 제2 전원전압을 접속하고;

상기 제4 박막 트랜지스터의 게이트는 상기 제2 노드와 연결되고, 드레인에는 상기 제1 출력단과 연결되며, 소스는 상기 제2 전원전압을 접속하고; 상기 제5 박막 트랜지스터의 반도체층의 재료 및 상기 제6 박막 트랜지스터의 반도체층의 재료는 모두 금속 산화물이고, 상기 제1 박막 트랜지스터의 반도체층의 재료, 상기 제2 박막 트랜지스터의 반도체층의 재료, 상기 제3 박막 트랜지스터의 반도체층의 재료, 상기 제4 박막 트랜지스터의 반도체층의 재료 및 상기 제7 박막 트랜지스터의 반도체층의 재료는 모두 폴리 실리콘인 게이트 구동회로.

청구항 8

제7항에 있어서,

상기 제1 박막 트랜지스터의 반도체층, 상기 제2 박막 트랜지스터의 반도체층, 상기 제3 박막 트랜지스터의 반도체층, 상기 제4 박막 트랜지스터의 반도체층 및 상기 제7 박막 트랜지스터의 반도체층은 모두 폴리 실리콘 반도체층에 위치하고;

상기 제1 박막 트랜지스터의 게이트, 상기 제2 박막 트랜지스터의 게이트, 상기 제3 박막 트랜지스터의 게이트, 상기 제4 박막 트랜지스터의 게이트, 상기 제7 박막 트랜지스터의 게이트는 모두 제1 금속층에 위치하며;

상기 제1 박막 트랜지스터의 소스와 드레인, 상기 제2 박막 트랜지스터의 소스와 드레인, 상기 제3 박막 트랜지스터의 소스와 드레인, 상기 제4 박막 트랜지스터의 소스와 드레인, 상기 제7 박막 트랜지스터의 소스와 드레인 및 상기 제5 박막 트랜지스터의 게이트 및 상기 제6 박막 트랜지스터의 게이트는 모두 제2 금속층에 위치하고;

상기 제5 박막 트랜지스터의 반도체층 및 상기 제6 박막 트랜지스터의 반도체층은 모두 금속 산화물 반도체층에 위치하고;

상기 제5 박막 트랜지스터의 소스와 드레인 및 상기 제6 박막 트랜지스터의 소스와 드레인은 모두 제3 금속층에 위치하는 게이트 구동회로.

청구항 9

제8항에 있어서,

상기 제1 금속층, 상기 제2 금속층, 상기 금속 산화물 반도체층 및 상기 제3 금속층은 순차적으로 상기 폴리 실리콘 반도체층에 배치되는 게이트 구동회로.

청구항 10

제7항에 있어서,

상기 제5 박막 트랜지스터는 제1 노드의 전위를 풀 다운(pulldown)하는 게이트 구동회로.

청구항 11

제7항에 있어서,

상기 제6 박막 트랜지스터는 제2 노드의 전위를 풀 다운하는 게이트 구동회로.

청구항 12

디스플레이 패널을 포함하는 전자장치에 있어서, 상기 디스플레이 패널은 게이트 구동영역을 포함하고, 상기 게이트 구동영역의 단면구조는,

폴리 실리콘 반도체층;

상기 폴리 실리콘 반도체층상에 배치되는 제1 금속층;

상기 제1 금속층상에 배치되는 제2 금속층;

상기 제2 금속층상에 배치되는 금속 산화물 반도체층; 및

상기 금속 산화물 반도체층상에 배치되는 제3 금속층

을 포함하고,

상기 제1 금속층은 제1 게이트를 포함하고,

상기 제2 금속층은 제1 소스, 제1 드레인 및 제2 게이트를 포함하고, 상기 폴리 실리콘 반도체층의 양단은 각각 상기 제1 소스와 상기 제1 드레인과 전기적 연결되며,

상기 제3 금속층은 제2 소스 및 제2 드레인을 포함하고, 상기 금속 산화물 반도체층의 양단은 각각 상기 제2 소스와 상기 제2 드레인과 전기적 연결되며,

상기 제1 금속층은 적어도 하나의 제1 연결부를 더 포함하고, 상기 제2 게이트와 상기 제1 연결부는 연결되고, 상기 게이트 구동영역은 상기 제1 금속층과 상기 제2 금속층 사이에 배치되는 게이트 절연층을 더 포함하고, 상기 게이트 절연층에 제1 연결구멍이 배치되어 있고, 상기 제2 게이트는 상기 제1 연결구멍을 통하여 상기 제1 연결부와 연결되는 전자장치.

청구항 13

제12항에 있어서,

상기 금속 산화물 반도체층의 재료는 IGZO, IGZTO 및 ITZO 중의 하나를 포함하는 전자장치.

청구항 14

제12항에 있어서,

상기 제2 금속층은 적어도 하나의 제2 연결부를 더 포함하고, 상기 제2 소스 및 상기 제2 드레인 모두 하나의 상기 제2 연결부와 연결되는 전자장치.

청구항 15

제14항에 있어서,

상기 게이트 구동영역은,

상기 제2 금속층과 상기 금속 산화물 반도체층 사이에 배치되는 제2 절연층; 및

상기 금속 산화물 반도체층과 제3 금속층 사이에 배치되는 제3 절연층

을 더 포함하고,

상기 제2 연결부는 상기 제2 절연층과 상기 제3 절연층을 관통하는 전자장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

제12항에 있어서,

상기 제2 금속층의 재료는 Mo, Al 및 Cu 중의 적어도 하나를 포함하는 전자장치.

청구항 19

제12항에 있어서,

상기 디스플레이 패널은,

상기 폴리 실리콘 반도체층과 상기 제1 금속층 사이에 위치하는 제1 절연층을 더 포함하는 전자장치.

청구항 20

제19항에 있어서,

상기 제1 절연층의 재료는 SiO_2 를 포함하는 전자장치.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 기술영역에 관한 것이고, 특히 디스플레이 패널, 게이트 구동회로 및 전자장치에 관한 것이다.

배경 기술

[0002] LTPO(Low Temperature Polycrystalline-Si Oxide) 저온 다결정 실리콘 산화물 공법은 저온 폴리 실리콘(LTPS, Low Temperature Poly Si)과 금속 산화물(Oxide) 두가지 공법을 결합하였고, 즉 하나의 디스플레이 패널에 제1 박막 트랜지스터와 제2 박막 트랜지스터를 동시에 형성하는 것이다.

[0003] LTPO 기술을 이용하여 장비의 응용을 초저주파 디스플레이 영역으로 확장할 수 있어 전력소비를 최적화하는 목적을 실현할 수 있다. 그러나 저주파 실현과정에 구동회로(Gate Driver On Array, GOA로 약칭) 내부 노드의 유지(Holding) 시간이 길어 회로 스테이지 전송 안정성의 감소 및 GOA회로가 쉽게 오류가 발생하여 화면분할 현상이 나타나 디스플레이 효과를 감소시킨다.

[0004] 따라서, 디스플레이 패널, 게이트 구동회로 및 전자장치를 제공하여 종래 기술에 존재하는 문제를 해결할 필요가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 디스플레이 패널, 게이트 구동회로 및 전자장치를 제공하여 회로의 스테이지 전송 안정성을 향상시켜 GOA 회로 오류 및 화면분할 현상이 나타나는 것을 방지하여 디스플레이 효과를 향상시키는 것이다.

과제의 해결 수단

[0006] 상술한 기술문제를 해결하기 위하여, 본 발명은 디스플레이 패널을 제공하고, 상기 디스플레이 패널은 게이트 구동영역을 포함하고, 상기 게이트 구동영역의 단면구조는, 폴리 실리콘 반도체층; 상기 폴리 실리콘 반도체층에 배치되는 제1 금속층; 상기 제1 금속층에 배치되는 제2 금속층; 상기 제2 금속층에 배치되는 금속 산화물 반도체층; 및 상기 금속 산화물 반도체층에 배치되는 제3 금속층을 포함하고, 상기 제1 금속층은 제1 게이트를 포함하고, 상기 제2 금속층은 제1 소스, 제1 드레인 및 제2 게이트를 포함하고, 상기 폴리 실리콘 반도체층의 양단은 각각 상기 제1 소스와 상기 제1 드레인과 전기적 연결되며, 상기 제3 금속층은 제2 소스 및 제2 드레인을 포함하고, 상기 금속 산화물 반도체층의 양단은 각각 상기 제2 소스 및 상기 제2 드레인과 전기적 연결된다.

[0007] 본 발명은 복수의 캐스캐이드의 게이트 구동유닛을 포함하는 게이트 구동회로를 더 제공하고, 제n 스테이지 게이트 구동유닛은, 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 제5 박막 트랜지스터, 제6 박막 트랜지스터 및 제7 박막 트랜지스터를 포함하고, 상기 제1 박막 트랜지스터의 게이트는 제n-2 스테이지 스캔신호를 접속하고, 소스는 제1 전원전압을 접속하며, 드레인은 제1 노드와 연결되고; 상기 제2 박막 트랜지스터의 게이트는 제1 전원전압을 접속하고, 소스는 제1 노드와 연결되며, 드레인은 상기 제3 박막 트랜지스터의 게이트와 연결되고; 상기 제3 박막 트랜지스터의 소스는 제n 스테이지 클럭 신호를 접속하고, 드레인은 제1 출력단과 연결되며, 상기 제1 출력단은 제n 스테이지 스캔신호를 출력하고; 상기 제7 박막 트랜지스터(NT7)의 게이트는 제n+1 스테이지 클럭 신호를 접속하고, 소스는 제1 전원전압을 접속하며, 드레인은 제2 노드와 연결되고; 상기 제6 박막 트랜지스터의 게이트는 제1 박막 트랜지스터의 드레인과 연결되고, 드레인은 제2 노드와 연결되며, 소스는 제2 전원전압을 접속하고; 상기 제5 박막 트랜지스터의 게이트는 제2 노드와 연결되고, 드레인은 제1 노드와 연결되며, 소스는 제2 전원전압을 접속하고; 상기 제4 박막 트랜지스터의 게이트는 제2 노드와 연결되고, 드레인은 제1 출력단과 연결되며, 소스는 제2 전원전압을 접속하고; 상기 제5 박막 트랜지스터의 반도체층의 재료 및/또는 상기 제6 박막 트랜지스터의 반도체층의 재료는 금속 산화물이고, 상기 제1 박막 트랜지스터의 반도체층의 재료, 상기 제2 박막 트랜지스터의 반도체층의 재료, 상기 제3 박막 트랜지스터의 반도체층의 재료, 상기 제4 박막 트랜지스터의 반도체층의 재료 및 상기 제7 박막 트랜지스터의 반도체층의 재료는 폴리 실리콘이다.

[0008] 본 발명은 상술한 디스플레이 패널을 포함하는 전자장치를 더 제공한다.

[0009] 본 발명의 디스플레이 패널, 게이트 구동회로 및 전자장치에서 상기 디스플레이 패널은 게이트 구동영역을 포함하고, 상기 게이트 구동영역은, 폴리 실리콘 반도체층; 상기 폴리 실리콘 반도체층에 배치되는 제1 금속층; 상기 제1 금속층에 배치되는 제2 금속층; 상기 제2 금속층에 배치되는 금속 산화물 반도체층; 및 상기 금속 산화물 반도체층에 배치되는 제3 금속층을 포함하고, 상기 제1 금속층은 제1 게이트를 포함하고, 상기 제2 금속층은 제1 소스, 제1 드레인 및 제2 게이트를 포함하고, 상기 폴리 실리콘 반도체층의 양단은 각각 상기 제1 소스와 상기 제1 드레인과 전기적 연결되며, 상기 제3 금속층은 제2 소스 및 제2 드레인을 포함하고, 상기 금속 산화물 반도체층의 양단은 각각 상기 제2 소스 및 상기 제2 드레인과 전기적 연결된다.

물 반도체층에 배치되는 제3 금속층을 포함하고, 상기 제1 금속층은 제1 게이트를 포함하고, 상기 제2 금속층은 제1 소스, 제1 드레인 및 제2 게이트를 포함하고, 상기 폴리 실리콘 반도체층의 양단은 각각 상기 제1 소스와 상기 제1 드레인과 전기적 연결되며, 상기 제3 금속층은 제2 소스 및 제2 드레인을 포함하고, 상기 금속 산화물 반도체층의 양단은 각각 상기 제2 소스와 상기 제2 드레인과 전기적 연결되고, 금속 산화물 반도체층을 더 증가하였기에 대응하는 박막 트랜지스터의 오프 상태 전류가 사전 설정값보다 작도록 하여 누설전류를 감소하고, GOA 회로의 스테이지 전송 안정성을 향상시켜 GOA 회로 오류 및 화면분할 현상이 나타나는 것을 방지하여 디스플레이 효과를 향상시킨다.

도면의 간단한 설명

[0010]

- 도 1은 종래 게이트 구동회로의 구조 설명도이다.
- 도 2는 종래 게이트 구동회로의 첫번째 작업순서도이다.
- 도 3은 종래 게이트 구동회로의 두번째 작업순서도이다.
- 도 4는 본 발명의 일 실시예의 디스플레이 패널의 구조 설명도이다.
- 도 5는 본 발명의 디스플레이 패널 제작방법의 제1 단계의 구조 설명도이다.
- 도 6은 본 발명의 디스플레이 패널 제작방법의 제2 단계 중의 제1 분할 단계의 구조 설명도이다.
- 도 7은 본 발명의 디스플레이 패널 제작방법의 제2 단계 중의 제2 분할 단계의 구조 설명도이다.
- 도 8은 본 발명의 디스플레이 패널 제작방법의 제3 단계의 구조 설명도이다.
- 도 9는 본 발명의 디스플레이 패널 제작방법의 제4 단계의 구조 설명도이다.
- 도 10은 본 발명의 디스플레이 패널 제작방법의 제5 단계의 구조 설명도이다.
- 도 11은 본 발명의 디스플레이 패널 제작방법의 제6 단계의 구조 설명도이다.
- 도 12는 본 발명의 게이트 구동회로의 구조 설명도이다.

발명을 실시하기 위한 구체적인 내용

[0011]

아래의 각 실시예의 설명은 첨부도면을 참고하고, 본 발명은 특정 실시예로 실시하는 것을 예시한다. 본 발명에서 언급한 방향용어, 예를 들면, [상], [하], [전], [후], [좌], [우], [내], [외], [측면] 등은 단지 첨부도면을 참고한 방향이다. 따라서 사용한 방향용어는 본 발명을 설명 및 이해하기 위해 사용된 것이고, 본 발명을 한정하기 위한 것이 아니다. 도면에서 구조가 유사한 유닛은 같은 도면기호로 표시하였다.

[0012]

본 출원의 명세서와 청구범위 및 상술한 첨부도면의 용어 “제1”, “제2” 등은 서로 다른 대상을 구별하기 위한 것이지 특정순서를 설명하기 위한 것이 아니다. 또한, 용어 “포함”과 “배치” 및 이들의 어떠한 변형은 배타적이지 않은 것을 포함하는 것을 의미한다.

[0013]

도 1과 같이, 종래 게이트 구동회로는 제1 박막 트랜지스터(NT1) 내지 제7 박막 트랜지스터(NT7)를 포함하고, 제1 박막 트랜지스터(NT1)의 게이트는 제n-2 스테이지 스캔신호(G(n-2))를 접속하고, 소스는 제1 전원전압(VGH)을 접속하며, 드레인은 제1 노드 Q점과 연결된다. 제2 박막 트랜지스터(NT2)의 게이트는 제1 전원전압(VGH)을 접속하고, 소스는 제1 노드 Q점과 연결되며, 드레인은 제3 박막 트랜지스터(NT3)의 게이트와 연결되고, 제3 박막 트랜지스터(NT3)의 소스는 제n 스테이지 클럭 신호(CK(n))를 접속하며, 드레인은 제1 출력단과 연결되고, 제1 출력단은 제n 스테이지 스캔신호(G(n))를 출력한다.

[0014]

제7 박막 트랜지스터(NT7)의 게이트는 제n+1 스테이지 클럭 신호(CK(n+1))를 접속하고, 소스는 제1 전원전압(VGH)을 접속하며, 드레인은 제2 노드 P점과 연결된다. 제6 박막 트랜지스터(NT6)의 게이트는 제1 박막 트랜지스터(NT1)의 드레인과 연결되고, 드레인은 제2 노드 P점과 연결되며, 소스는 제2 전원전압(VGL)을 접속한다.

[0015]

제5 박막 트랜지스터(NT5)의 게이트는 제2 노드 P점과 연결되고, 드레인은 제1 노드 Q점과 연결되며, 소스는 제2 전원전압(VGL)을 접속한다.

[0016]

제4 박막 트랜지스터(NT4)의 게이트는 제2 노드 P점과 연결되고, 드레인은 제1출력단과 연결되며, 소스는 제2 전원전압(VGL)을 접속한다.

- [0017] 제1 커패시터(C1)의 일단은 제1 박막 트랜지스터(NT1)의 드레인과 연결되고, 제1 커패시터(C1)의 타단은 제2 전원전압(VGL)을 접속한다.
- [0018] 제2 커패시터(C2)의 일단은 제2 노드 P점과 연결되고, 제2 커패시터(C2)의 타단은 제2 전원전압(VGL)을 접속한다.
- [0019] 제5 박막 트랜지스터(NT5)는 Q점의 전위를 풀 다운하는데 사용되고, 제6 박막 트랜지스터(NT6)는 P점의 전위를 풀 다운하는데 사용된다.
- [0020] 도 2와 같이, CK1 내지 CK4는 클럭 신호를 표시하고, Q(n)은 n스테이지 게이트 구동유닛의 Q점의 신호를 표시하고, P(n)은 n스테이지 게이트 구동유닛의 P점의 신호를 표시하며, t0은 제n 스테이지 게이트 구동유닛의 Q점의 충전시간이고, t1은 제n 스테이지 게이트 구동유닛의 Q점의 부스트(Boost)시간이며, P점은 Q점이 저전위(Low potential)일 때 고전위(high potential)를 유지한다.
- [0021] 하나의 저주파 구동방식은 클럭 신호사이의 간격을 증가하는 것이고, 1HZ를 예로 들면, 도 3과 같이 저주파 구동시 회로의 4CK 시간 순서 설명도이고, t3은 제n 스테이지 게이트 구동유닛의 Q점의 충전시간이고, t4는 제n 스테이지 게이트 구동유닛의 Q점의 부스트(Boost)시간이며, P점은 Q점이 저전위일 때 고전위를 유지한다. 저주파(예를 들면 1HZ)로 작업할 때, Q점이 고레벨(high level)인 기간은 t3+t4이고, 여기서 t3+t4는 t0+t1보다 크며, 박막 트랜지스터(NT5)가 오프 상태일 때에도 일정한 누설전류가 존재하기에 GOA의 스테이지 전송 안정성을 감소시킨다. 이로부터 알 수 있듯이, NT5의 오프 상태 전류(I_{off})는 GOA 회로의 안정성에 직접 영향준다.
- [0022] 다른 하나의 저주파 구동방식은 정상적 60HZ로 프레임을 스캔한 후, 모든 스테이지 GOA유닛이 저레벨(Low level)로 출력하고, 이런 상황에서 P점은 항상 고전위를 유지할 것을 요구하고, 60HZ 상황과 비교하면 시간이 많이 지연되지만, 박막 트랜지스터(NT6)가 오프 상태일 때에도 일정한 누설전류가 존재하고, 이는 플로팅값(Floating)으로 출력하는 리스크를 증가시켜 디스플레이 효과에 영향을 준다. 이로부터 알 수 있듯이 NT6의 오프 상태 전류(I_{off})는 GOA 회로의 출력신호의 안정성에 직접 영향준다.
- [0023] 도 4를 참조하면, 도 4는 본 발명의 일 실시예의 디스플레이 패널의 구조 설명도이다.
- [0024] 본 실시예의 디스플레이 패널은 게이트 구동영역을 포함하고, 상기 게이트 구동영역은 베이스 기판(11) 및 베이스 기판(11)에 순차적으로 배치된 완충층(12), 폴리 실리콘 반도체층(13), 제1 절연층(14), 제1 금속층(15), 게이트 절연층(16), 제2 금속층(18), 제2 절연층(19)과 제3 절연층(19'), 금속 산화물 반도체층(20) 및 제3 금속층(22)을 포함하고, 그 외에 제4 절연층과 픽셀 전극을 더 포함할 수 있다.
- [0025] 일 실시예에서, 상기 베이스 기판(11)은 유리 기판일 수 있다.
- [0026] 일 실시예에서, 박막 트랜지스터의 전도성능을 향상시키기 위하여 상기 폴리 실리콘 반도체층(13)의 재료는 폴리 실리콘이다.
- [0027] 제1 금속층(15)은 제1 게이트(151)를 포함하고, 제1 금속층(15)은 두 개의 제1 연결부(152)를 더 포함할 수 있다. 즉 상기 제1 게이트(151)와 상기 제1 연결부(152)는 동일한 금속층에 위치하고, 따라서 제조공법을 간략화할 수 있다. 여기서 제1 연결부의 수량은 이에 한정되지 않는다.
- [0028] 게이트 절연층(16)은 상기 제1 금속층(15)와 상기 제2 금속층(18)사이에 배치되고, 상기 게이트 절연층(16)에 제1 연결구멍(미도시)이 배치되고, 상기 제2 게이트(183)는 상기 제1 연결구멍을 통하여 상기 제1 연결부(152)와 연결된다.
- [0029] 제1 절연층(14)과 게이트 절연층(16)에 복수의 제1 접촉구멍이 배치되고, 상기 제1 소스(181)와 상기 제1 드레인(182)은 모두 제1 접촉구멍을 통하여 상기 폴리 실리콘 반도체층(13)과 연결된다.
- [0030] 제2 금속층(18)은 제1 소스(181)와 제1 드레인(182), 제2 게이트(183)를 포함하고, 여기서 폴리 실리콘 반도체층(13), 제1 게이트(151), 제1 소스(181) 및 제1 드레인(182)은 저온 폴리 실리콘 박막 트랜지스터를 구성한다. 즉 상기 제1 소스(181), 상기 제1 드레인(182) 및 상기 제2 게이트(183)는 모두 동일한 금속층(제2 금속층)에 위치하고, 따라서 제조공법을 간략화 할 수 있다. 다른 실시방식에서 상기 제1 소스(181), 상기 제1 드레인(182) 및 상기 제2 게이트(183)는 서로 다른 금속층에 위치할 수 있다.
- [0031] 상기 제2 게이트(183)는 상기 제1 연결부(152)와 연결된다. 제1 연결부(152)는 폴리 실리콘 박막 트랜지스터와 제2 게이트(183)가 연결되도록 한다. 제1 연결부(152)의 수량은 복수 개 또는 하나일 수 있다.

- [0032] 또한, 제2 금속층(18)은 제2 연결부(184)를 더 포함할 수 있다. 제2 연결부(184)의 수량은 복수 개 일 수 있음을 이해해야 한다.
- [0033] 일 실시방식에서, 상기 금속 산화물 반도체층(20)의 재료는 IGZO, IGZTO 및 ITZO 중의 하나를 포함할 수 있어 금속 산화물 박막 트랜지스터(T2)의 오프 상태 전류를 더 감소시킨다.
- [0034] 일 실시방식에서, 제2 절연층(19)은 상기 제2 금속층(18)과 상기 금속 산화물 반도체층(20)사이 배치되고, 제3 절연층(19')은 상기 금속 산화물 반도체층(20)과 제3 금속층(22)사이 배치되며, 상기 제2 연결구멍은 상기 제2 절연층(19)과 상기 제3 절연층(19')을 관통한다. 상기 제2 절연층(19)에 복수의 제2 접촉구멍(미도시)이 배치되고, 상기 제2 소스(221)와 상기 제2 드레인(222)은 각각 하나의 제2 접촉구멍을 통하여 상기 금속 산화물 반도체층(20)과 전기적 연결된다. 기타 실시방식에서 상기 제2 드레인(222)도 하나의 상기 제2 연결구멍을 통하여 상기 제2 연결부(184)와 연결된다. 상기 제2 연결부(184)는 폴리 실리콘 박막 트랜지스터가 제2 소스 및 제2 드레인 중의 적어도 하나와의 연결을 용이하게 하는데 사용된다.
- [0035] 제3 금속층(22)은 제2 소스(221) 및 상기 제2 드레인(222)을 포함한다. 상기 제2 소스(221) 및/또는 상기 제2 드레인(222)은 모두 그 중의 하나의 상기 제2 연결부(184)와 연결된다. 제2 게이트(183), 제2 소스(221), 제2 드레인(222) 및 금속 산화물 반도체층(20)은 금속 산화물 박막 트랜지스터를 구성한다.
- [0036] 기타 실시예에서, 게이트 구동영역의 막층의 적층순서는 이에 한정되지 않는다. 게이트 구동영역 이외의 영역의 패널구조와 종래 구조는 같을 수 있음을 이해해야 하고, 여기서 더 이상 설명하지 않는다.
- [0037] 게이트 구동영역에 금속 산화물 박막 트랜지스터를 증가할 때, 대응하는 박막 트랜지스터의 오프 상태 전류가 사전 설정값보다 작도록 하여 누설전류를 감소하고, GOA의 스테이지 전송 안정성 및 디스플레이 효과를 향상시킬 수 있다.
- [0038] 본 발명은 디스플레이 패널의 제작방법을 더 제공하였고, 아래의 단계를 포함한다.
- [0039] S101, 베이스 기판에 폴리 실리콘 반도체층을 제작한다.
- [0040] 일 실시예에서, 베이스 기판(11)이 유리 기판일 때를 예로 들면, 도 5와 같이 유리 기판에 대하여 세척 및 사전 건조시킨 후, 유리 기판에 완충재료를 침적시켜 완충층(12)을 형성하고, 완충층(12)의 재료는 SiN_x 와 SiO_2 중의 적어도 하나를 포함할 수 있다. 다음, 완충층(12)에 비결정질 실리콘(a-Si)을 침적시키고, a-Si에 대하여 급속 열처리 또는 레이저 결정화를 하여 a-Si(비결정질 실리콘)이 폴리 실리콘(Poly-Si)으로 전환되도록 하여 폴리 실리콘층을 얻는다. 다음, 황광(yellow light)공법과 에칭으로 폴리 실리콘층에 대하여 처리하여 반도체층의 패턴을 정의함으로써 패턴화의 폴리 실리콘 반도체층(13)을 얻는다. 폴리 실리콘 반도체층(13)의 재료는 이에 한정되지 않음을 이해해야 한다.
- [0041] S102, 상기 폴리 실리콘 반도체층에 제1 금속층을 제작한다.
- [0042] 도 6과 같이, 상기 폴리 실리콘 반도체층(13)에 순차적으로 제1 절연층(14)을 제작하고, 제1 절연층(14)은 단층막 또는 다층막이고, 제1 절연층(14)의 재료는 SiN_x 와 SiO_2 중의 적어도 하나를 포함할 수 있다.
- [0043] 도 7과 결합하면, 그 다음으로 제1 절연층(14)에 제1 금속층(15)을 침적시키고, 상기 제1 금속층(15)에 대하여 패턴화 처리를 하여 제1 게이트(151)와 제1 연결부(152)를 얻는다.
- [0044] 구체적으로, 제1 금속층(15)에 포토 레지스트층(31)을 제작하여 포토 레지스트층(31)에 대하여 패턴화 처리를 하고, 패턴화의 포토 레지스트층(31)을 차단체로 하여 제1 금속층에 대하여 제1차 에칭을 하여 제1 부분(151') 및 제1 연결부(152)를 얻는다. 여기서 패턴화 처리의 과정은 노광, 현상, 에칭 등 단계를 포함한다.
- [0045] 패턴화의 포토 레지스트층(31)을 차단체로 이용하여 제1 부분(151') 양측의 폴리 실리콘 반도체층(13)에 대하여 제1차 이온 삽입을 진행하고, 즉 구체적으로 소스 드레인 영역 중의 최외측 폴리 실리콘에 대하여 도핑한다(n+ 또는 p+ 헤비 도핑(heavy doping)영역을 형성).
- [0046] 도 7을 결합하면, 패턴화의 포토 레지스트층(31)의 양측에 대하여 제2차 에칭을 진행하고, 에칭과정에 제1 부분(151')의 양측도 에칭되어 제1 부분(151')이 제1 게이트(151)를 형성하도록 하고, 다음 포토 레지스트층(3)을 박리한다. 제1 게이트(151)을 차단체로 이용하여 제1 게이트(151) 양측의 폴리 실리콘 반도체층(13)에 대하여 제2차 이온 삽입을 진행하고, 즉 구체적으로 소스 드레인 영역의 중간영역의 폴리 실리콘에 대하여 도핑한다(n- 또는 p- 라이트 도핑(light doping)영역을 형성). 제1 금속층(15)의 재료는 Mo, Al 및 Cu 중의 적어도 하나를

포함할 수 있다.

- [0047] S103, 상기 제1 게이트와 상기 제2 게이트에 제2 절연층을 제작하고, 상기 제2 절연층에 복수의 제1 접촉구멍과 적어도 하나의 제2 연결구멍이 배치된다.
- [0048] 도 8과 같이, 상기 제1 게이트(151)와 상기 제1 연결부(152)에 게이트 절연층(16)을 제작하고, 상기 게이트 절연층(16)에 두 개의 제1 접촉구멍(161)과 두 개의 제1 연결구멍(162)이 제작되어 있다. 상기 제2 게이트(183)는 상기 제1 연결구멍(162)을 통하여 상기 제1 연결부(152)와 연결된다. 상기 제1 소스(181)와 상기 제1 드레인(182)은 모두 하나의 제1 접촉구멍(161)을 통하여 상기 폴리 실리콘 반도체층(13)과 연결된다. 제1 접촉구멍의 수량과 제1 연결구멍의 수량은 이에 한정되지 않음을 이해해야 한다.
- [0049] S104, 상기 제2 절연층에 제2 금속층을 제작한다.
- [0050] 도 9와 같이, 상기 게이트 절연층(16)에 제2 금속층(18)을 침적시키고, 상기 제2 금속층(18)에 대하여 패터닝 처리를 하여 제1 소스(181), 제1 드레인(182), 제2 게이트(183) 및 제2 연결부(184)를 얻는다. 제2 금속층(18)의 재료는 Mo, Al 및 Cu 중의 적어도 하나를 포함할 수 있다.
- [0051] S105, 상기 제1 소스와 상기 제1 드레인에 금속 산화물 반도체층을 제작한다.
- [0052] 도 10과 같이, 제1 소스(181), 제1 드레인(182), 상기 제2 게이트(183)와 상기 제2 연결부(184)에 제2 절연층(19)을 제작하고, 다음 제2 절연층(19)에 금속 산화물 반도체층(20)을 침적시키고 패터닝 처리를 하여 요구하는 패턴을 얻는다. 금속 산화물 반도체층(20)의 재료는 IGZO, IGZTO 및 ITZO 중의 하나를 포함한다.
- [0053] S106, 상기 금속 산화물 반도체층에 제3 절연층을 제작한다.
- [0054] 도 11과 같이, 금속 산화물 반도체층에 제3 절연층(192)을 제작하고, 상기 제3 절연층(192)에 두 개의 제2 접촉구멍(201)과 두 개의 제2 연결구멍(202)을 제작한다. 상기 제2 소스(221)는 상기 제2 접촉구멍(201)을 통하여 상기 제2 연결부(184)와 연결된다. 상기 제2 소스(221)와 상기 제2 드레인(222)은 모두 하나의 제2 연결구멍(202)을 통하여 상기 금속 산화물 반도체층(20)과 연결된다. 제2 접촉구멍의 수량과 제2 연결구멍의 수량은 이에 한정되지 않음을 이해해야 한다.
- [0055] S107, 상기 제3 절연층에 제3 금속층을 제작한다.
- [0056] 도 4로 돌아가, 상기 제3 절연층(192)에 제3 금속층(22)을 제작한다. 상기 제3 금속층(22)에 대하여 패터닝 처리를 하여 제2 소스(221), 제2 드레인(222)을 얻는다. 제3 금속층(22)의 재료는 Mo, Al 및 Cu 중의 적어도 하나를 포함할 수 있다. 상기 방법은 아래의 단계를 더 포함할 수 있다.
- [0057] S108, 상기 제3 금속층에 픽셀 전극을 제작하고, 상기 픽셀 전극은 상기 제2 접촉구멍을 통하여 상기 제2 드레인과 연결된다.
- [0058] 예를 들면, 상기 제3 금속층에 평탄층(flat layer)을 제작하고, 평탄층에 관통구멍을 제작하며, 평탄층 및 상기 관통구멍 내에 픽셀 전극을 제작하고, 상기 픽셀 전극은 관통구멍을 통하여 상기 제2 드레인(222)과 연결된다.
- [0059] 본 발명은 상술한 임의의 한가지 디스플레이 패널을 포함하는 전자장치를 더 제공한다. 상기 전자장치는 핸드폰, 태블릿 PC 등 전자제품일 수 있다.
- [0060] 도 12와 같이, 본 발명은 복수의 캐스캐이드의 게이트 구동유닛을 포함하는 게이트 구동회로를 더 제공하고, 제 n 스테이지 게이트 구동유닛은 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 제5 박막 트랜지스터, 제6 박막 트랜지스터 및 제7 박막 트랜지스터를 포함한다.
- [0061] 제1 박막 트랜지스터(NT1)의 게이트는 제n-2 스테이지 스캔신호(G(N-2))를 접속하고, 소스는 제1 전원전압(VGH)을 접속하며, 드레인은 제1 노드 Q점과 연결된다.
- [0062] 제2 박막 트랜지스터(NT2)의 게이트는 제1 전원전압(VGH)을 접속하고, 소스는 제1 노드 Q점과 연결되며, 드레인은 제3 박막 트랜지스터(NT3)의 게이트와 연결된다.
- [0063] 제3 박막 트랜지스터(NT3)의 소스는 제n 스테이지 클럭 신호(CK(n))를 접속하고, 드레인은 제1 출력단과 연결되며, 제1 출력단은 제n 스테이지 스캔신호(G(n))를 출력한다.
- [0064] 제7 박막 트랜지스터(NT7)의 게이트는 제n+1 스테이지 클럭 신호(CK(n+1))를 접속하고, 소스는 제1 전원전압(VGH)을 접속하며, 드레인은 제2 노드 P점과 연결된다.

- [0065] 제4 박막 트랜지스터(NT4)의 게이트는 제2 노드 P점과 연결되고, 드레인은 제1 출력단과 연결되며, 소스는 제2 전원전압(VGL)을 접속한다.
- [0066] 제5 박막 트랜지스터(NT8)의 게이트는 제2 노드 P점과 연결되고, 드레인은 제1 노드 P점과 연결되며, 소스는 제2 전원전압(VGL)을 접속한다.
- [0067] 제6 박막 트랜지스터(NT9)의 게이트는 제1 박막 트랜지스터(NT1)의 드레인과 연결되고, 드레인은 제2 노드 P점과 연결되며, 소스는 제2 전원전압(VGL)을 접속한다.
- [0068] 제5 박막 트랜지스터(NT8)는 Q점의 전위를 풀 다운하는데 사용되고, 제6 박막 트랜지스터(NT9)는 P점의 전위를 풀 다운하는데 사용된다.
- [0069] 상기 제5 박막 트랜지스터(NT8)의 반도체층의 재료 및/또는 상기 제6 박막 트랜지스터(NT9)의 반도체층의 재료는 금속 산화물이고, 상기 제1 박막 트랜지스터(NT1)의 반도체층의 재료, 상기 제2 박막 트랜지스터(NT2)의 반도체층의 재료, 상기 제3 박막 트랜지스터(NT3)의 반도체층의 재료, 상기 제4 박막 트랜지스터(NT4)의 반도체층의 재료 및 상기 제7 박막 트랜지스터(NT7)의 반도체층의 재료는 모두 폴리 실리콘이다.
- [0070] 즉 제1 박막 트랜지스터 내지 제4 박막 트랜지스터 및 제7 박막 트랜지스터는 폴리 실리콘 박막 트랜지스터를 사용하고, 제5 박막 트랜지스터 및/또는 제6 박막 트랜지스터는 금속 산화물 박막 트랜지스터를 사용한다.
- [0071] 일 실시방식에서, 도 12와 도 4를 결합하면, 상기 제1 박막 트랜지스터(NT1)의 반도체층, 상기 제2 박막 트랜지스터(NT2)의 반도체층, 상기 제3 박막 트랜지스터(NT3)의 반도체층, 상기 제4 박막 트랜지스터(NT4)의 반도체층 및 상기 제7 박막 트랜지스터(NT7)의 반도체층은 모두 폴리 실리콘 반도체층(13)에 위치한다.
- [0072] 상기 제1 박막 트랜지스터(NT1)의 게이트, 상기 제2 박막 트랜지스터(NT2)의 게이트, 상기 제3 박막 트랜지스터(NT3)의 게이트, 상기 제4 박막 트랜지스터(NT4)의 게이트 및 상기 제7 박막 트랜지스터(NT7)의 게이트는 모두 제1 금속층(15)에 위치한다.
- [0073] 상기 제1 박막 트랜지스터(NT1)의 소스와 드레인, 상기 제2 박막 트랜지스터(NT2)의 소스와 드레인, 상기 제3 박막 트랜지스터(NT3)의 소스와 드레인, 상기 제4 박막 트랜지스터(NT4)의 소스와 드레인, 상기 제7 박막 트랜지스터(NT7)의 소스와 드레인 및 상기 제5 박막 트랜지스터(NT8)의 게이트 및/또는 상기 제6 박막 트랜지스터(NT9)의 게이트는 모두 제2 금속층(18)에 위치한다.
- [0074] 상기 제5 박막 트랜지스터(NT8)의 반도체층 및/또는 상기 제6 박막 트랜지스터(NT9)의 반도체층은 모두 금속 산화물 반도체층(20)에 위치한다.
- [0075] 상기 제5 박막 트랜지스터(NT8)의 소스와 드레인 및/또는 상기 제6 박막 트랜지스터(NT9)의 소스와 드레인은 모두 제3 금속층(22)에 위치한다.
- [0076] 일 실시방식에서, 상기 제1 금속층(15), 상기 제2 금속층(18), 상기 금속 산화물 반도체층(20) 및 상기 제3 금속층(22)은 순차적으로 상기 폴리 실리콘 반도체층(13)에 배치된다.
- [0077] 도 12에서, NT1내지 NT4, NT7은 상술한 폴리 실리콘 박막 트랜지스터를 사용할 수 있고, 도 12의 NT8과 NT9의 적어도 하나는 상술한 금속 산화물 박막 트랜지스터를 사용할 수 있다.
- [0078] 게이트 구동영역 중의 NT8이 금속 산화물 박막 트랜지스터를 사용할 때, NT8의 오프 상태 전류가 사전 설정값보다 작도록 하여 누설전류를 감소시키고, GOA의 스테이지 전송 안정성 및 디스플레이 효과를 향상시킬 수 있다. 또한, 게이트 구동영역 중의 NT9도 금속 산화물 박막 트랜지스터를 사용할 때, NT9의 오프 상태 전류(I_{off})를 감소시켜 GOA 회로의 출력신호의 안정성 및 디스플레이 효과를 향상시킬 수 있다.
- [0079] 본 발명의 디스플레이 패널, 게이트 구동회로 및 전자장치에서, 상기 디스플레이 패널은 게이트 구동영역을 포함하고, 상기 게이트 구동영역은, 폴리 실리콘 반도체층; 상기 폴리 실리콘 반도체층에 배치되는 제1 금속층; 상기 제1 금속층에 배치되는 제2 금속층; 상기 제2 금속층에 배치되는 금속 산화물 반도체층; 및 상기 금속 산화물 반도체층에 배치되는 제3 금속층을 포함하고, 상기 제1 금속층은 제1 게이트를 포함하고, 상기 제2 금속층은 제1 소스, 제1 드레인 및 제2 게이트를 포함하고, 상기 폴리 실리콘 반도체층의 양단은 각각 상기 제1 소스와 상기 제1 드레인과 전기적 연결되며, 상기 제3 금속층은 제2 소스 및 제2 드레인을 포함하고, 상기 금속 산화물 반도체층의 양단은 각각 상기 제2 소스와 상기 제2 드레인과 전기적 연결되고, 금속 산화물 반도체층을 더 증가하였기에 대응하는 박막 트랜지스터의 오프 상태 전류가 사전 설정값보다 작도록 하여 누설전류를

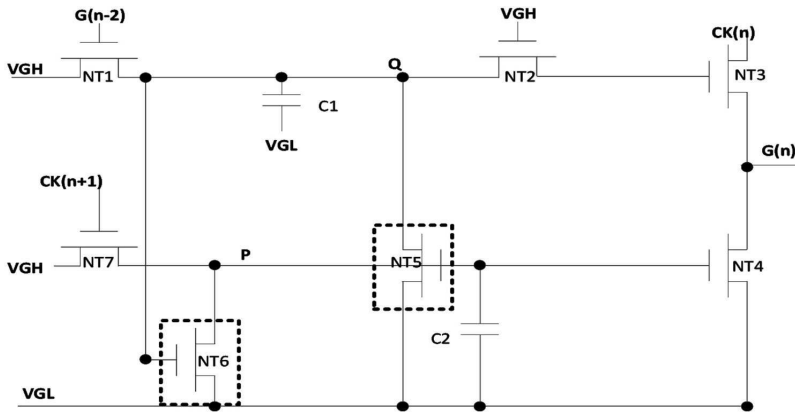
감소하고, GOA 회로의 스테이지 전송 안정성을 향상시켜 GOA 회로 오류 및 화면분할 현상이 나타나는 것을 방지하여 디스플레이 효과를 향상시킨다.

[0080]

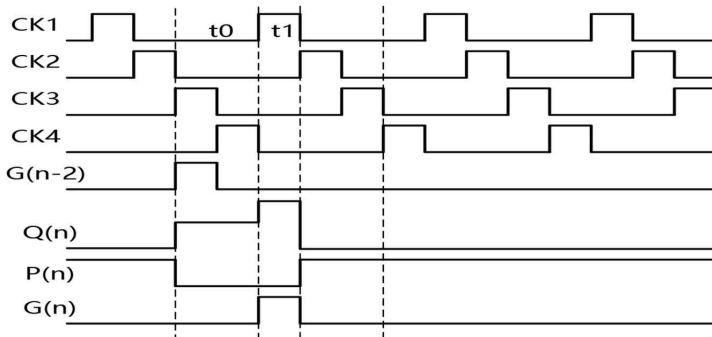
상술한 내용을 종합하면, 비록 본 발명은 바람직한 실시예로 공개되었지만, 상술한 바람직한 실시예는 본 발명을 한정하기 위한 것이 아니고, 해당 기술영역에서 통상의 지식을 가진 자는 본 발명의 사상과 범위를 벗어나지 않는 전제하에 각종 변경과 수정을 할 수 있으며, 본 발명의 보호범위는 청구범위에서 규정한 범위를 기준으로 결정된다.

도면

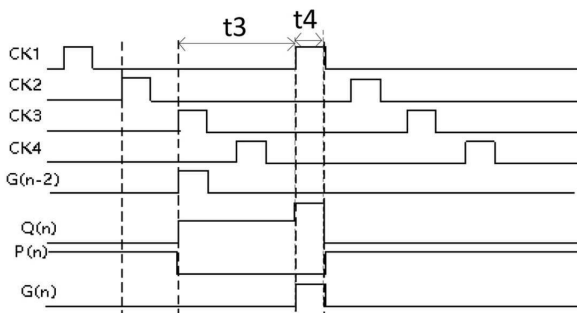
도면1



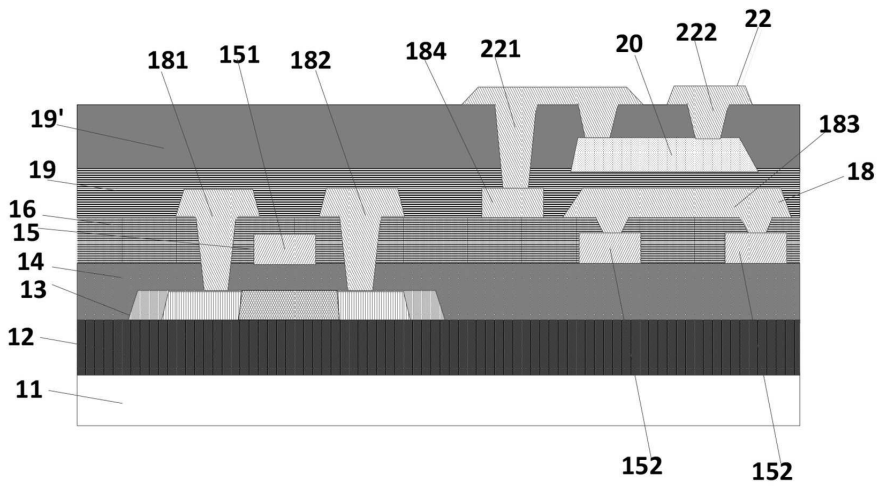
도면2



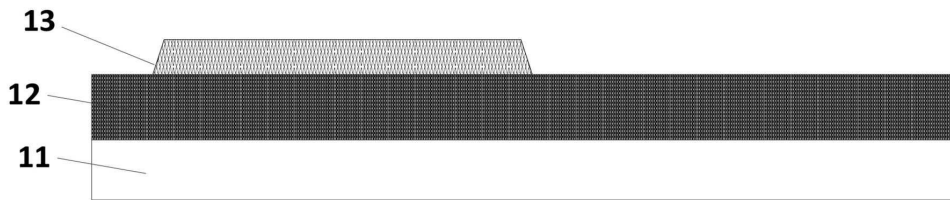
도면3



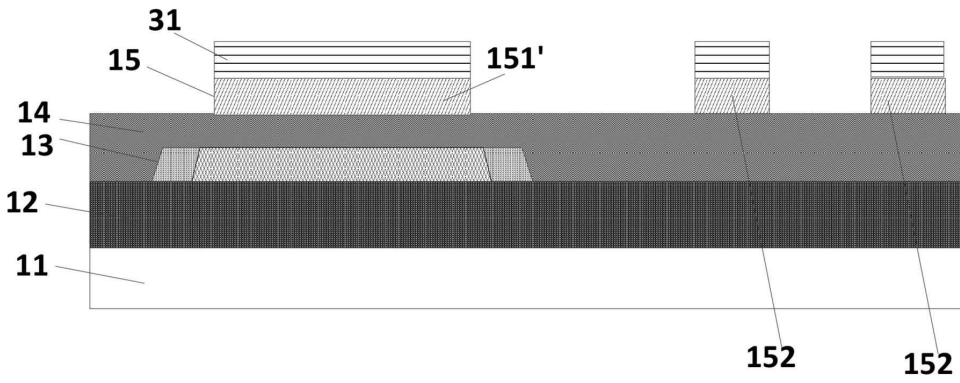
도면4



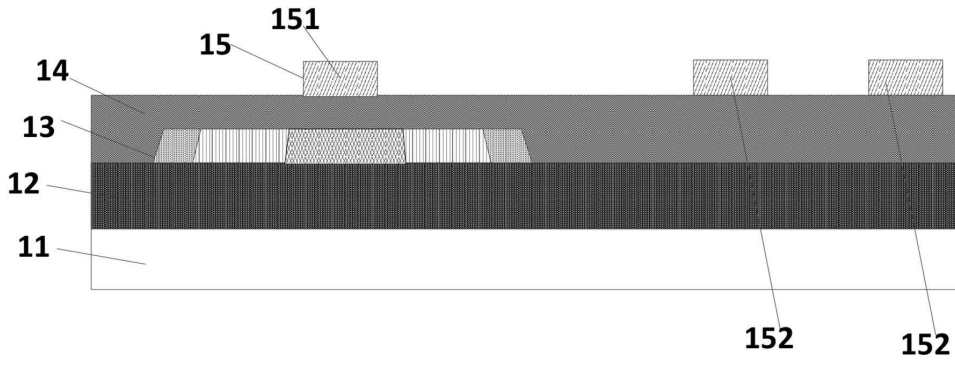
도면5



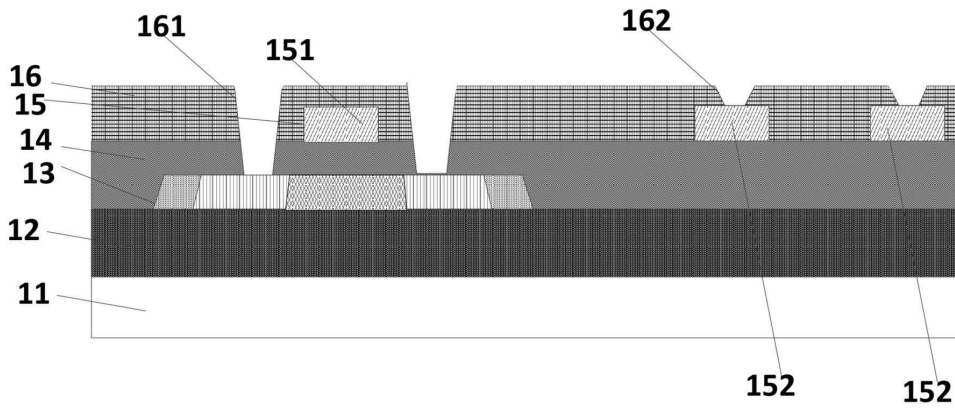
도면6



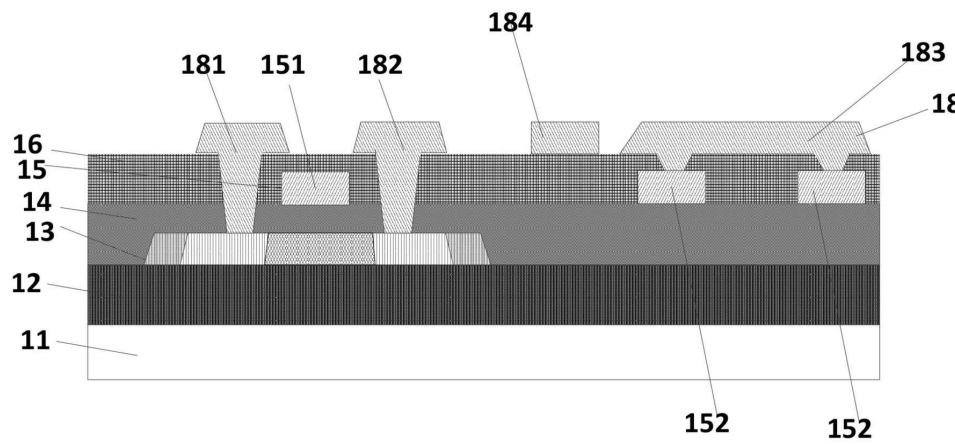
도면7



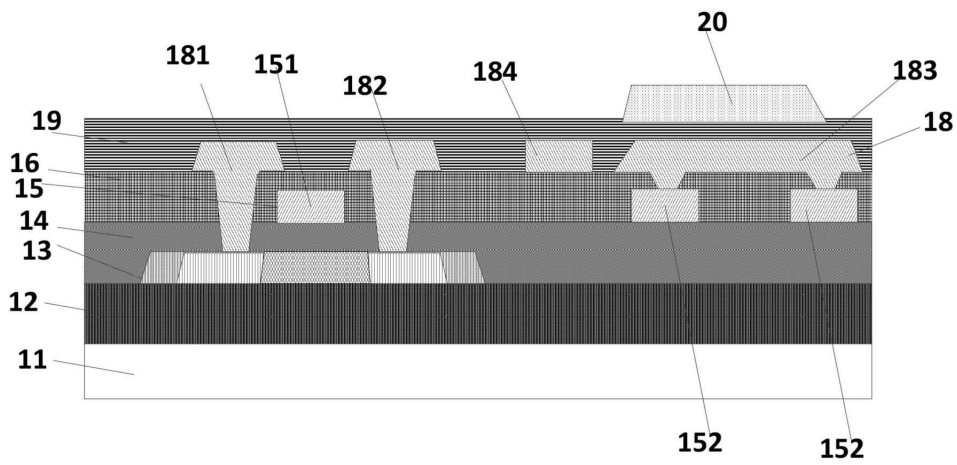
도면8



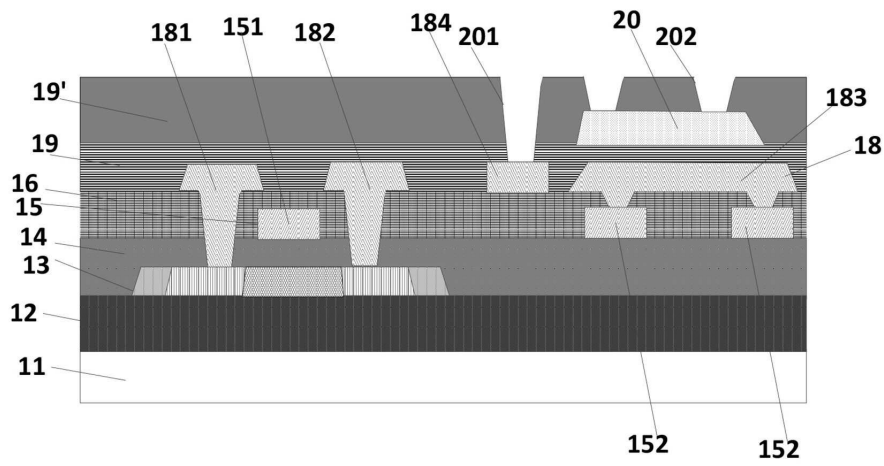
도면9



도면10



도면11



도면12

