



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월21일
 (11) 등록번호 10-0805699
 (24) 등록일자 2008년02월14일

(51) Int. Cl.
G11C 11/401 (2006.01) **G11C 29/00** (2006.01)
 (21) 출원번호 10-2006-0083742
 (22) 출원일자 2006년08월31일
 심사청구일자 2006년08월31일
 (56) 선행기술조사문헌
 KR100116011 B1
 (뒷면에 계속)

(73) 특허권자
주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
한희현
 경기 이천시 고담동 72-1 고담기숙사 101-306
 (74) 대리인
특허법인 신성

전체 청구항 수 : 총 13 항

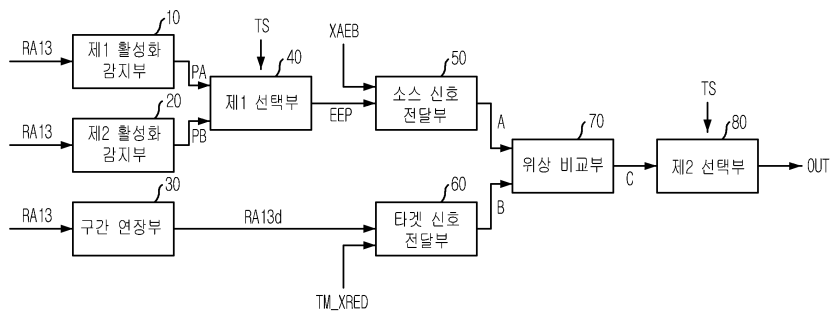
심사관 : 이보형

(54) 반도체 메모리 장치 및 그의 구동방법

(57) 요약

본 발명은 노멀영역과 리던던시영역의 리프레쉬 동작이 시작되고 종료되는 타이밍을 쉽게 파악할 수 있는 반도체 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 리던던시영역의 리프레쉬 동작을 시작함에 따라 활성화되고, 리프레쉬 동작이 종료됨에 따라 비활성화되는 기준신호의 활성화 타이밍에 대응하는 제1 펄스를 생성하기 위한 제1 활성화감지부; 상기 기준신호의 비활성화타이밍에 대응하는 제2 펄스를 생성하기 위한 제2 활성화감지부; 테스트 신호에 응답하여 상기 제1 펄스와 상기 제2 펄스중 하나를 선택하여 활성화 감지신호를 출력하는 제1 선택부; 상기 활성화 감지신호에 응답하여 노멀영역의 액세스 동작에 대응하는 액세스신호를 전달하기 위한 소스신호 전달부; 및 리던던시영역의 리프레쉬 동작을 제어하는 리던던시 리프레쉬 신호와 상기 소스신호 전달부에서 출력하는 액세스 신호의 위상을 비교하여 테스트 결과신호를 출력하기 위한 위상비교부를 구비하는 반도체 메모리 장치를 제공한다.

대표도 - 도1



(56) 선행기술조사문헌

KR100668864 B1

KR1020030055747 A

KR1020050095980 A

KR1020060066876 A

KR1020070036602 A

특허청구의 범위

청구항 1

리던던시영역의 리프레쉬 동작을 시작함에 따라 활성화되고, 리프레쉬 동작이 종료됨에 따라 비활성화되는 기준 신호의 활성화 타이밍에 대응하는 제1 펄스를 생성하기 위한 제1 활성화감지부;

상기 기준신호의 비활성화타이밍에 대응하는 제2 펄스를 생성하기 위한 제2 활성화감지부;

테스트 신호에 응답하여 상기 제1 펄스와 상기 제2 펄스중 하나를 선택하여 활성화 감지신호를 출력하는 제1 선택부;

상기 활성화 감지신호에 응답하여 노멀영역의 액세스 동작에 대응하는 액세스신호를 전달하기 위한 소스신호 전달부; 및

리던던시영역의 리프레쉬 동작을 제어하는 리던던시 리프레쉬 신호와 상기 소스신호 전달부에서 출력하는 액세스 신호의 위상을 비교하여 테스트 결과신호를 출력하기 위한 위상비교부

를 구비하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 테스트 신호에 응답하여 상기 위상비교부의 출력을 그대로 출력하거나 반전하여 상기 테스트 결과신호로 출력하기 위한 제2 선택부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 기준신호의 활성화 구간을 연장하여 출력하기 위한 구간 연장부; 및

상기 구간연장부에 의해 연장된 기준신호와, 다수의 뱅크에 각각 구비된 리던던시영역의 리프레쉬 동작을 수행하기 위해 상기 기준신호를 이용하여 생성된 뱅크리던던시 리프레쉬 신호를 조합한 상기 리던던시 리프레쉬 신호를 상기 위상비교부로 출력하기 위한 타겟신호 전달부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 제1 활성화 감지부는

상기 기준신호를 반전하기 위한 제1 인버터;

상기 제1 인버터의 출력을 예정된 타이밍 동안 지연시켜 출력하기 위한 제1 지연부; 및

상기 제1 지연부의 출력과 상기 기준신호를 입력받아 상기 제1 펄스신호를 출력하기 위한 앤드게이트를 구비하는 반도체 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 제2 활성화 감지부는

상기 기준신호를 반전하기 위한 제2 인버터;

상기 제2 인버터의 출력을 상기 예정된 타이밍 동안 지연시켜 출력하기 위한 제2 지연부; 및

상기 제2 지연부의 출력과 상기 기준신호를 입력받아 상기 제2 출력신호를 출력하기 위한 노어게이트를 구비하는 반도체 메모리 장치.

청구항 6

제 5 항에 있어서,
 상기 구간연장부는
 상기 기준신호를 반전하여 출력하기 위한 제3 인버터;
 상기 기준신호의 출력을 상기 예정된 타이밍동안 지연시켜 출력하기 위한 제3 지연부; 및
 상기 제3 인버터와 상기 제3 지연부의 출력을 입력받는 노어게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제 6 항에 있어서,
 상기 제1 선택부는
 상기 테스트신호의 제1 레벨에 응답하여 상기 제1 펄스를 전달하기 위한 제1 전송게이트;
 상기 테스트 신호의 제2 레벨에 응답하여 상기 제2 펄스를 전달하기 위한 제2 전송게이트; 및
 상기 제1 전송게이트에 의해 전달되는 신호와 상기 제2 전송게이트에 의해 전달되는 신호를 논리합하여 상기 활성화감지신호를 출력하기 위한 논리합수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제 7 항에 있어서,
 상기 소스신호 전달부는
 상기 활성화 감지신호와 상기 억세스 신호를 논리곱하여 출력하기 위한 제1 논리곱수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제 8 항에 있어서,
 상기 타겟신호 전달부는
 상기 연장된 기준신호와 상기 बैं크 리던던시 리프레쉬 신호를 논리곱하여 출력하기 위한 제2 논리곱수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제 9 항에 있어서,
 상기 제2 선택부는
 상기 테스트 신호의 제1 레벨에 응답하여 상기 위상비교부의 출력을 상기 테스트 결과신호로 출력하기 위한 제3 전송게이트; 및
 상기 테스트 신호의 제2 레벨에 응답하여 상기 위상비교부의 출력을 반전하여 상기 테스트 결과신호로 출력하기 위한 제4 전송게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

리던던시영역의 리프레쉬 동작을 시작함에 따라 활성화되고, 리프레쉬 동작이 종료됨에 따라 비활성화되는 기준신호의 활성화 타이밍에 대응하는 제1 펄스를 생성하는 단계;
 상기 기준신호의 비활성화타이밍에 대응하는 제2 펄스를 생성하는 단계;
 테스트 신호에 응답하여 상기 제1 펄스와 상기 제2 펄스중 하나를 선택하여 활성화 감지신호로 출력하는 단계;

상기 활성화 감지신호에 응답하여 노멀영역의 액세스 동작에 대응하는 액세스신호를 전달하는 단계; 및 리던던시영역의 리프레쉬 동작을 제어하는 리던던시 리프레쉬 신호와 상기 액세스 신호의 위상을 비교하여 테스트 결과신호를 출력하는 단계를 포함하는 반도체 메모리 장치의 구동방법.

청구항 12

제 11 항에 있어서, 상기 테스트 신호에 응답하여 상기 테스트 결과신호를 반전하여 출력하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

청구항 13

제 12 항에 있어서, 상기 기준신호의 활성화 구간을 연장하여 출력하는 단계; 및 상기 구간연장부에 의해 연장된 기준신호와, 상기 기준신호를 이용하여 다수의 뱅크에 각각 구비된 리던던시영역의 리프레쉬 동작을 수행하기 위해 뱅크리던던시 리프레쉬 신호를 조합한 상기 리던던시 리프레쉬 신호를 출력하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 반도체 메모리 장치에 관한 것으로, 반도체 메모리 장치의 리프레쉬 동작에 관한 것이다.
- <17> 반도체 메모리 장치는 다수의 데이터를 저장하기 위한 반도체 메모리 장치이다. 반도체 메모리 장치는 데이터를 저장하기 위한 데이터 저장영역과 데이터 저장영역에 저장된 데이터를 액세스하기 위한 주변영역과 입출력영역으로 구분된다. 데이터 저장영역은 각각 하나의 데이터를 저장하는 단위셀을 구비한다. 주변영역은 데이터 저장영역에 배치된 단위셀의 데이터를 효과적으로 액세스하기 위한 각종회로가 배치된다.
- <18> 반도체 메모리 장치중에서 가장 널리 사용되고 있는 디램(Dynamic Random Access Memory, DRAM)은 하나의 모스트랜지스터와 캐패시터를 하나의 단위셀로 구성하고 있다. 보다 많은 데이터를 저장하기 위해서, 데이터 저장영역의 단위셀을 구성하는 모스트랜지스터와 캐패시터는 최대한 작은 사이즈로 제조한다.
- <19> 디램과 같은 반도체 메모리 장치는 데이터를 저장하는 기본 구성요소로 캐패시터를 사용하기 때문에 정기적으로 캐패시터에 저장된 데이터를 리프레쉬 시켜주어야만 한다. 캐패시터는 그 특성상 데이터에 대응하는 저장된 전하량을 시간이 지남에 따라 잃게 된다. 반도체 메모리 장치는 단위셀을 이루는 캐패시터에 저장된 전하량이 일정한 양 이하로 손실되기 전에 손실된 양을 보충하는 동작을 하며, 이를 리프레쉬 동작이라고 한다.
- <20> 리프레쉬 동작에는 오토리프레쉬 동작과 셀프리프레쉬 동작이 있다. 오토리프레쉬 동작은 반도체 메모리 장치가 데이터를 액세스하는 도중에 외부로부터 리프레쉬 명령을 입력받고, 리프레쉬를 수행할 어드레스를 내부적으로 생성하여 리프레쉬 동작을 수행하는 것을 말한다. 셀프리프레쉬 동작은 반도체 메모리 장치가 파워다운 모드 등과 같이 데이터 액세스 동작을 수행하지 않을 때, 외부에서 셀프리프레쉬 관련 명령을 입력받아 내부적으로 리프레쉬 명령과 리프레쉬를 수행할 어드레스를 생성하여 리프레쉬 동작을 수행하는 것을 말한다.
- <21> 한편, 반도체 메모리 장치가 데이터를 액세스하는 동작은 크게 액티브 동작과 리드/라이트 동작으로 나눌 수 있다. 액티브 동작은 외부에서 로우 어드레스를 입력받아 뱅크 및 워드라인을 선택하고, 선택된 워드라인에 대응하는 다수의 단위셀에 저장된 데이터 신호를 대응하는 비트라인 센스앰프를 이용하여 감지 및 증폭하는 과정을 말한다. 리드/라이트 동작은 감지 증폭된 다수의 데이터 신호중에서 컬럼어드레스에 대응하는 데이터 신호를 외부로 출력하거나, 외부에서 입력된 데이터 신호로 대체하는 과정을 말한다. 해당되는 데이터 신호가 리드 또는 라이트 되고 나서, 다수의 비트라인 센스앰프에 래치된 데이터 신호들은 원래의 단위셀에 각각 재저장된다. 재

저장이 완료되면 다음의 액티브 동작을 준비하기 위한 프리차지 동작이 수행된다.

- <22> 리프레쉬 동작은 액티브 동작과 유사한 과정으로 진행이 된다. 그러나, 외부에서 로우어드레스를 입력받는 것은 아니고, 내부에 구비된 카운터에서 생성된 어드레스를 이용하여 리프레쉬를 수행할 워드라인을 정하게 된다. 리프레쉬 동작은 리드/라이트 동작이 수행되지 않기 때문에 선택된 워드라인에 대응하는 단위셀의 데이터 신호를 대응하는 비트라인 센스앰프가 감지 및 증폭하였다가 다시 원래의 단위셀에 저장하는 동작만을 한다. 리프레쉬 동작시에는 데이터신호가 리드 또는 라이트되지 않기 때문에, 리드 명령이나 라이트 명령이 수행되지 않고, 비트라인 센스앰프에 래치된 이후 데이터신호는 예정된 일정시간 이후에 대응하는 단위셀에 저장된다. 비트라인 센스앰프에 일정하게 데이터가 래치되는 시간은 내부적으로 정해진 타이밍에 의해 정해진다.
- <23> 한편, 반도체 메모리 장치를 제조할 때에는 반도체 메모리 장치가 저장하기로 예정된 데이터에 대응하는 수의 노멀셀 이외에도 리던던시 셀을 추가로 더 제조한다. 노멀셀에 에러가 발생하면, 추가로 구비된 리던던시 셀이 에러가 발생한 노멀셀을 대체하여 역세스될 수 있도록 한다.
- <24> 셀프리프레쉬 동작이 수행될 때에 먼저 노멀셀이 있는 노멀영역에 대하여 순차적으로 리프레쉬를 수행하고, 리던던시 셀이 있는 리던던시영역에 대하여 순차적으로 리프레쉬를 수행한다. 반도체 메모리 장치는 내부적으로 노멀영역에 대한 리프레쉬 수행이 종료되면, 다시 리던던시영역에 대한 리프레쉬 동작이 수행하도록 내부 제어 신호를 생성한다. 리던던시영역에 대한 리프레쉬 동작이 종료되면 노멀영역에 대한 리프레쉬 동작이 다시 시작된다.
- <25> 만약 노멀영역에 대한 리프레쉬 동작이 종료되지 않은 상태에서 리던던시영역에 대한 리프레쉬 동작이 수행되거나, 리던던시영역에 대한 리프레쉬 동작이 종료되지 않은 상태에서 노멀영역에 대한 리프레쉬 동작을 시작하게 되면 리프레쉬 동작에 대한 에러가 생긴다. 따라서 반도체 메모리 장치에 대해서 노멀영역에 대한 리프레쉬 동작이 시작되고 종료되는 것에 대해 외부에서 쉽게 알 수 있도록 하는 것이 필요하다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명은 노멀영역과 리던던시영역의 리프레쉬 동작이 시작되고 종료되는 타이밍을 쉽게 파악할 수 있는 반도체 메모리 장치 및 그의 구동방법을 제공함을 목적으로 한다.

발명의 구성 및 작용

- <27> 본 발명은 리던던시영역의 리프레쉬 동작을 시작함에 따라 활성화되고, 리프레쉬 동작이 종료됨에 따라 비활성화되는 기준신호의 활성화 타이밍에 대응하는 제1 펄스를 생성하기 위한 제1 활성화감지부; 상기 기준신호의 비활성화타이밍에 대응하는 제2 펄스를 생성하기 위한 제2 활성화감지부; 테스트 신호에 응답하여 상기 제1 펄스와 상기 제2 펄스중 하나를 선택하여 활성화 감지신호를 출력하는 제1 선택부; 상기 활성화 감지신호에 응답하여 노멀영역의 역세스 동작에 대응하는 역세스신호를 전달하기 위한 소스신호 전달부; 및 리던던시영역의 리프레쉬 동작을 제어하는 리던던시 리프레쉬 신호와 상기 소스신호 전달부에서 출력하는 역세스 신호의 위상을 비교하여 테스트 결과신호를 출력하기 위한 위상비교부를 구비하는 반도체 메모리 장치를 제공한다.
- <28> 또한 본 발명은 리던던시영역의 리프레쉬 동작을 시작함에 따라 활성화되고, 리프레쉬 동작이 종료됨에 따라 비활성화되는 기준신호의 활성화 타이밍에 대응하는 제1 펄스를 생성하는 단계; 상기 기준신호의 비활성화타이밍에 대응하는 제2 펄스를 생성하는 단계; 테스트 신호에 응답하여 상기 제1 펄스와 상기 제2 펄스중 하나를 선택하여 활성화 감지신호로 출력하는 단계; 상기 활성화 감지신호에 응답하여 노멀영역의 역세스 동작에 대응하는 역세스신호를 전달하는 단계; 및 리던던시영역의 리프레쉬 동작을 제어하는 리던던시 리프레쉬 신호와 상기 역세스 신호의 위상을 비교하여 테스트 결과신호를 출력하는 단계를 포함하는 반도체 메모리 장치의 구동방법을 제공한다.
- <29> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <30> 도1은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 나타내는 블럭도이다.
- <31> 도1을 참조하여 살펴보면, 본 실시예에 따른 반도체 메모리 장치는 제1 활성화감지부(10)와, 제2 활성화감지부(20)와, 구간연장부(30)와, 제1 선택부(40)와, 소스신호전달부(50)와, 타겟신호 전달부(60)와, 위상비교부(70)와, 제2 선택부(80)를 구비한다.

- <32> 제1 활성화감지부(10)는 리던던시영역의 리프레쉬 동작을 시작함에 따라 활성화되고, 리프레쉬 동작이 종료됨에 따라 비활성화되는 기준신호(RA13)의 활성화 타이밍에 대응하는 제1 펄스(PA)를 생성한다. 제2 활성화감지부(20)는 기준신호(RA13)의 비활성화타이밍에 대응하는 제2 펄스(PB)를 생성한다. 구간연장부(30)는 기준신호(RA13)의 활성화 구간을 연장하여 출력한다. 제1 선택부(40)는 테스트 신호(TS)에 응답하여 제1 펄스(PA)와 제2 펄스(PB)중 하나를 선택하여 활성화 감지신호(EEP)를 출력한다.
- <33> 소스신호 전달부(50)는 활성화 감지신호(EEP)에 응답하여 노멀영역의 액세스 동작에 대응하는 액세스신호(XAE B)를 입력받아 출력한다. 타겟신호 전달부(60)는 구간연장부(30)에 의해 연장된 기준신호(RA13d)와, 다수의 뱅크에 각각 구비된 리던던시영역의 리프레쉬 동작을 수행하기 위해 기준신호(RA13)를 이용하여 생성된뱅크리던던시 리프레쉬 신호(TM_XRED)를 조합한 리던던시 리프레쉬 신호(B)를 위상비교부(70)로 출력한다. 위상비교부(70)는 리던던시영역의 리프레쉬 동작을 제어하는 리던던시 리프레쉬 신호(B)와 소스신호 전달부(50)에서 출력하는 액세스 신호(A)의 위상을 비교한다. 제2 선택부(80)는 테스트 신호(TS)에 응답하여 위상비교부(70)의 출력신호를 그대로 출력하거나 반전하여 테스트 결과신호(OUT)로 출력한다.
- <34> 도2는 도1에 도시된 제1 활성화감지부를 나타내는 회로도이다.
- <35> 도2를 참조하여 살펴보면, 제1 활성화 감지부(10)는 기준신호(RA13)를 반전하기 위한 인버터(I1)와, 인버터(I1)의 출력을 예정된 타이밍인 10ns 동안 지연시켜 출력하기 위한 제1 지연부와, 제1 지연부의 출력과 기준신호(RA13)를 입력받아 제1 펄스신호(PA)를 출력하기 위한 낸드게이트(ND1)와 인버터(I2)를 구비한다.
- <36> 도3은 도1에 도시된 제2 활성화감지부를 나타내는 회로도이다.
- <37> 도2를 참조하여 살펴보면, 제2 활성화 감지부(20)는 기준신호(RA13)를 반전하기 위한 인버터(I3)와, 인버터(I3)의 출력을 예정된 10ns 타이밍 동안 지연시켜 출력하기 위한 제2 지연부와, 제2 지연부의 출력과 기준신호(RA13)를 입력받아 제2 출력신호를 출력하기 위한 노어게이트(NOR1)를 구비한다.
- <38> 도4는 도1에 도시된 구간연장부를 나타내는 회로도이다.
- <39> 도4를 참조하여 살펴보면, 구간연장부(30)는 기준신호(RA13)를 반전하여 출력하기 위한 인버터(I3)와, 기준신호(RA13)의 출력을 예정된 10ns 타이밍 동안 지연시켜 출력하기 위한 제3 지연부와, 인버터(I4)와 제3 지연부의 출력을 입력받는 노어게이트(NOR2)를 구비한다.
- <40> 도5는 도1에 도시된 제1 선택부를 나타내는 회로도이다.
- <41> 도5를 참조하여 살펴보면, 제1 선택부(40)는 테스트신호(TS)의 로우레벨에 응답하여 제1 펄스(PA)를 전달하기 위한 전송게이트(T1)와, 테스트 신호(TS)의 하이레벨에 응답하여 제2 펄스(PB)를 전달하기 위한 전송게이트(T2)와, 전송게이트(T1)에 의해 전달되는 신호와 전송게이트(T2)에 의해 전달되는 신호를 논리합하여 활성화감지신호(EEP)를 출력하기 위해 노어게이트(NOR3)와 인버터(I6)을 구비한다.
- <42> 도6은 도1에 도시된 소스신호 전달부를 나타내는 회로도이다.
- <43> 도6을 참조하여 살펴보면, 소스신호 전달부(50)는 활성화 감지신호(EEP)와 액세스 신호(XAEB)를 논리곱하여 출력하기 위해, 앤드게이트(ND2)와 인버터(I7)를 구비한다.
- <44> 도7은 도1에 도시된 타겟신호 전달부를 나타내는 회로도이다.
- <45> 도7을 참조하여 살펴보면, 타겟신호 전달부(60)는 연장된 기준신호(RA13d)와 뱅크 리던던시 리프레쉬 신호(TM_XRED)를 논리곱하여 출력하기 위해 앤드게이트(ND3)와, 인버터(I8)를 구비한다.
- <46> 도8은 도1에 도시된 위상비교부를 나타내는 회로도이다.
- <47> 도8을 참조하여 살펴보면, 위상비교부(70)는 리던던시영역의 리프레쉬 동작을 제어하는 리던던시 리프레쉬 신호(B)와 소스신호 전달부(50)에서 출력하는 액세스 신호(A)의 위상을 비교하기 위해 복수의 낸드게이트(ND4 ~ ND9)를 구비한다.
- <48> 도9는 도1에 도시된 제2 선택부를 나타내는 회로도이다.
- <49> 도9를 참조하여 살펴보면, 제2 선택부(80)는 테스트 신호(TS)의 로우레벨에 응답하여 위상비교부(70)의 출력을 테스트 결과신호(OUT)로 출력하기 위한 전송게이트(T3)와, 테스트 신호(TS)의 하이레벨에 응답하여 위상비교부(70)의 출력을 반전하여 테스트 결과신호(OUT)로 출력하기 위한 전송게이트(T4)를 구비한다.

- <50> 도10은 도1에 도시된 반도체 메모리 장치의 동작을 나타내는 파형도이다.
- <51> 셀프리프레쉬 동작이 시작되면, 노멀셀영역에서 리프레쉬 동작이 순차적으로 수행된다. 반도체 메모리 장치의 내부에 구비된 카운터에 의해 순차적으로 노멀영역의 워드라인이 순차적으로 활성화된다. 노멀영역의 마지막 워드라인에 대한 리프레쉬가 종료되면, 플래그신호(FLAG)가 뜨고 그 신호를 받아서 뱅크 리턴던시 리프레쉬 신호(TM_XRED)가 인에이블 된다. 뱅크 리턴던시 리프레쉬 신호(TM_XRED)는 노멀영역에서 어떠한 동작이 수행되는 것을 막고, 리턴던시 영역에서 리프레쉬가 수행되도록 제어하기 위한 신호이다. 또한 뱅크 리턴던시 리프레쉬 신호(TM_XRED)는 기준신호(RA13)를 이용하여 생성되는 신호이다. 도10에 도시된 뱅크 리턴던시 리프레쉬 신호(TM_XRED_0 ~ TM_XRED_3)는 각 뱅크에 대응하여 생성된 신호이다. 여기서는 편의상 'TM_XRED'로 표기한다.
- <52> 리턴던시 영역의 리프레쉬 동작이 종료되면, 다시 노멀영역의 리프레쉬 동작이 시작된다. 리턴던시 영역의 리프레쉬 동작이 시작되면 뱅크 리턴던시 리프레쉬 신호(TM_XRED)가 하이레벨로 활성화되고, 리턴던시 영역의 리프레쉬 동작이 종료되면 로우레벨로 비활성화된다. 뱅크 리턴던시 리프레쉬 신호(TM_XRED)가 예정된 타이밍보다 빨리 활성화되거나 빨리 비활성화될 경우에는 노멀영역에서 정상적인 동작이 수행되지 못해 반도체 메모리 장치에 에러가 생길 수 있다.
- <53> 본 실시예에 따른 반도체 메모리 장치는 노멀영역의 동작을 제어하는 신호와 리턴던시 영역의 리프레쉬 동작을 수행하는 뱅크 리턴던시 리프레쉬 신호(TM_XRED)간의 타이밍을 외부에서 쉽게 감지할 수 있는 것이 특징이다. 노멀영역의 동작을 제어하는 신호와 뱅크 리턴던시 리프레쉬 신호(TM_XRED)간의 타이밍을 쉽게 감지함으로써 웨이퍼 레벨에서의 불량분석을 용이하게 할 수 있다.
- <54> 먼저, 제1 활성화 감지부에서 리턴던시 영역의 리프레쉬 동작을 시작하고 종료하는 기준이 되는 신호인 기준신호(RA13)의 인에이블 타이밍을 이용한 제1 펄스(PA)를 생성한다. 제1 펄스는 기준신호(RA13)의 하이레벨로 천이되는 타이밍에 대응하여 폭이 10ns가 되는 펄스이다. 또한 제2 활성화감지부(20)는 기준신호(RA13)가 로우레벨로 천이되는 타이밍에 대응하여 폭이 10ns가 되는 제2 펄스(PB)를 생성한다. 제1 선택부(40)는 리턴던시영역의 리프레쉬 동작을 시작할 때의 타이밍을 검출할 것인지, 종료할 때의 타이밍을 검출할 것인지에 따라 제1 펄스(PA)와 제2 펄스(PB)중 하나를 활성화감지신호(EEP)로 출력한다. 리턴던시영역의 리프레쉬 동작을 시작할 때의 타이밍을 검출할 것인지, 종료할 때의 타이밍을 검출할 것인지는 테스트 신호(TS)에 의해 정해진다.
- <55> 소스신호전달부(50)는 노멀영역에서 액티브 동작과 프리차지 동작을 제어하기 위한 역세스신호(XAEB)와 활성화 감지신호(EEP)로 논리곱한 신호(A)를 출력한다. 타겟신호 전달부(60)는 연장된 기준신호(RA13d)와, 뱅크 리턴던시 리프레쉬 신호(TM_XRED)를 논리곱하여 신호(B)를 출력한다. 위상비교부(70)는 신호(A,B)의 위상차이를 비교하고, 그에 따른 논리값을 가지는 신호(C)를 출력한다. 제2 선택부(80)는 테스트 신호(TS)에 응답하여 신호(C)를 그대로 또는 반전하여 테스트 결과신호(OUT)를 출력한다.
- <56> 테스트신호(TS)가 로우레벨일 때에는 리턴던시 영역으로 리프레쉬 동작이 시작될 때, 역세스 신호(XAEB)와 뱅크 리턴던시 리프레쉬 신호(TM_XRED)의 우선순위를 출력해준다. 테스트신호(TS)가 하이레벨일 때에는 리턴던시 영역의 리프레쉬 동작이 종료될 때, 역세스 신호(XAEB)와 뱅크 리턴던시 리프레쉬 신호(TM_XRED)의 우선순위를 출력해준다. 즉 신호의 우선순위가 맞는 상황일때는 테스트 결과신호가 하이레벨이 나오고 그렇지 않을때는 "로우레벨이 나오게 된다.
- <57> 셀프리프레쉬 상황에서 노멀영역의 동작수행타이밍과 리턴던시 영역의 리프레쉬 동작의 시작과 종료 타이밍의 우선순위가 중요하다. 본 실시예에 따른 반도체 메모리 장치는 테스트신호(TS)의 레벨에 따라서 테스트 결과신호(OUT)의 레벨을 검증하면 쉽게 알 수 있기 때문에 반도체 메모리 장치의 불량분석을 보다 용이하게 할 수 있다.
- <58> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

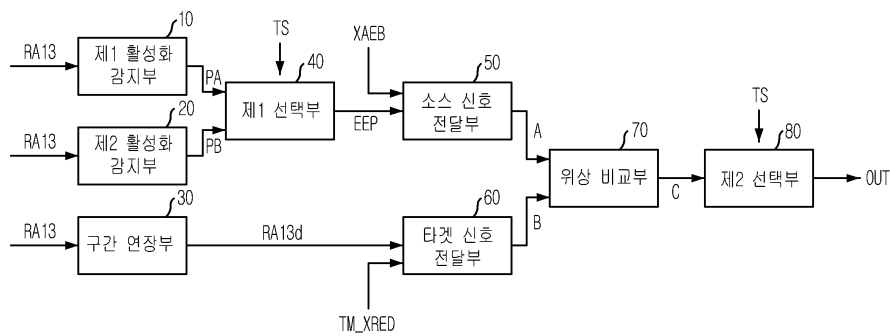
- <59> 본 발명에 의해 노멀영역에서 리프레쉬 동작이 시작될 때와 리프레쉬 동작이 종료될 때를 보다 쉽게 파악할 수 있다. 또한, 노멀영역에서 리프레쉬 동작이 시작될 때와 종료될때에 노멀영역에서 동작을 제어하는 신호가 제대로 발생하는 지를 파악할 수 있다. 따라서 불량분석이 용이한 반도체 메모리 장치를 쉽게 제조할 수 있다.

도면의 간단한 설명

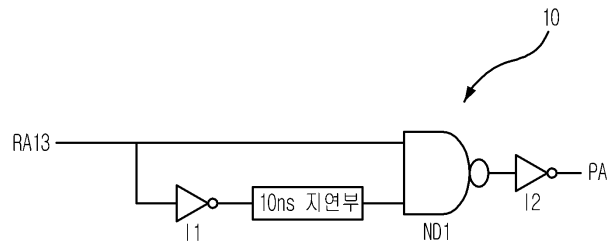
- <1> 도1은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 나타내는 블록도.
- <2> 도2는 도1에 도시된 제1 활성화감지부를 나타내는 회로도.
- <3> 도3은 도1에 도시된 제2 활성화감지부를 나타내는 회로도.
- <4> 도4는 도1에 도시된 구간연장부를 나타내는 회로도.
- <5> 도5는 도1에 도시된 제1 선택부를 나타내는 회로도.
- <6> 도6은 도1에 도시된 소스신호 전달부를 나타내는 회로도.
- <7> 도7은 도1에 도시된 타겟신호 전달부를 나타내는 회로도.
- <8> 도8은 도1에 도시된 위상비교부를 나타내는 회로도.
- <9> 도9는 도1에 도시된 제2 선택부를 나타내는 회로도.
- <10> 도10은 도1에 도시된 반도체 메모리 장치의 동작을 나타내는 파형도.
- <11> * 도면의 주요부분에 대한 부호의 설명 *
- <12> 10 : 제1 활성화감지부 20 : 제2 활성화감지부
- <13> 30 : 구간연장부 40 : 제1 선택부
- <14> 50 : 소스신호전달부 60 : 타겟신호전달부
- <15> 70 : 위상전달부 80 : 제2 선택부

도면

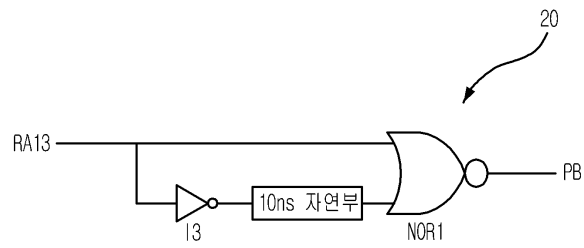
도면1



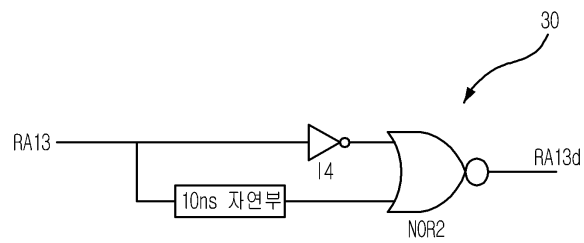
도면2



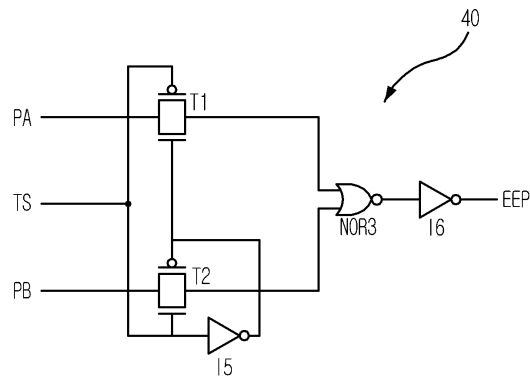
도면3



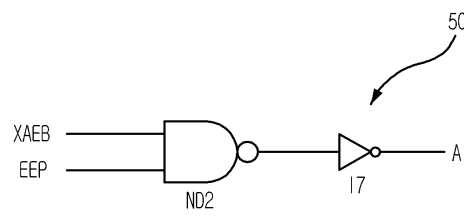
도면4



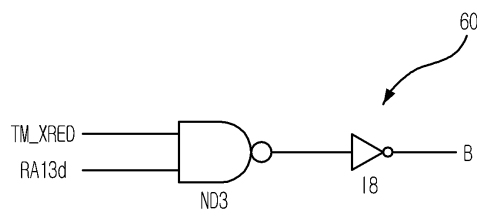
도면5



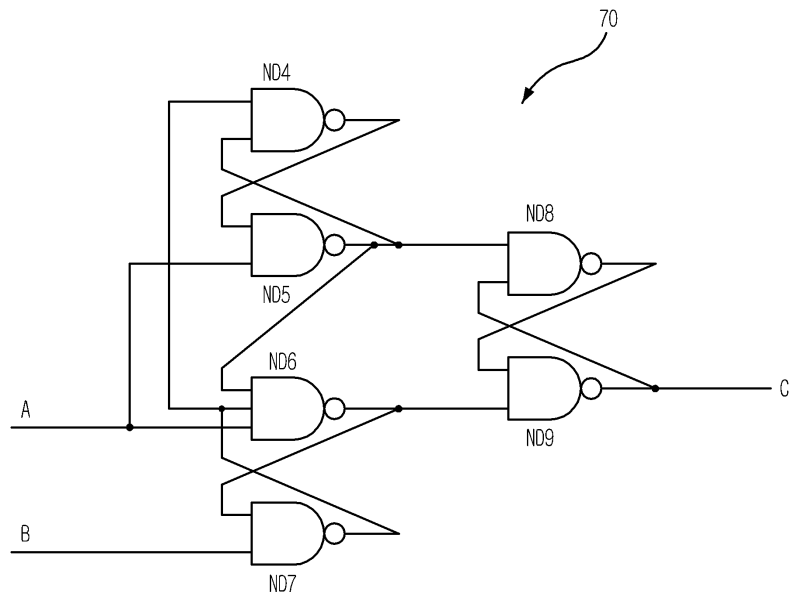
도면6



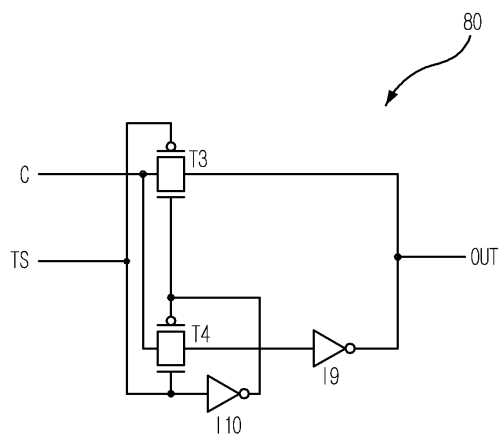
도면7



도면8



도면9



도면10

