

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7492410号
(P7492410)

(45)発行日 令和6年5月29日(2024.5.29)

(24)登録日 令和6年5月21日(2024.5.21)

(51)国際特許分類	F I
G 0 9 F 9/30 (2006.01)	G 0 9 F 9/30 3 3 8
H 0 1 L 29/786 (2006.01)	H 0 1 L 29/78 6 1 6 S
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78 6 1 6 V
	H 0 1 L 29/78 6 1 8 B
	H 0 1 L 29/78 6 1 9 A

請求項の数 9 (全20頁)

(21)出願番号	特願2020-148560(P2020-148560)	(73)特許権者	000004352 日本放送協会 東京都渋谷区神南2丁目2番1号
(22)出願日	令和2年9月3日(2020.9.3)	(74)代理人	100147485 弁理士 杉村 憲司
(65)公開番号	特開2022-42894(P2022-42894A)	(74)代理人	230118913 弁護士 杉村 光嗣
(43)公開日	令和4年3月15日(2022.3.15)	(74)代理人	100161148 弁理士 福尾 誠
審査請求日	令和5年8月3日(2023.8.3)	(74)代理人	100185225 弁理士 齋藤 恭一
		(72)発明者	辻 博史 東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内
		(72)発明者	中田 充

最終頁に続く

(54)【発明の名称】 画素回路及びその製造方法

(57)【特許請求の範囲】

【請求項1】

駆動用薄膜トランジスタとS値制御用薄膜トランジスタと発光素子を備える画素回路において、

基板上にゲート電極、ゲート絶縁膜、酸化物半導体薄膜、前記酸化物半導体薄膜を保護するためのエッチストップ層、前記酸化物半導体薄膜に接続する電極、及び保護膜をこの順で有し、前記酸化物半導体薄膜の内、平面視で前記電極と重ならない領域が、前記電極と重なる領域よりも抵抗率の低い低抵抗領域であり、前記低抵抗領域をドレイン領域又はソース領域とし、前記電極及び前記エッチストップ層とが重なる前記酸化物半導体薄膜の領域をチャンネル領域とし、前記電極をソース電極又はドレイン電極として構成される薄膜トランジスタを複数備え、

前記薄膜トランジスタの一つを前記駆動用薄膜トランジスタとし、他の前記薄膜トランジスタはそれぞれのゲート電極とドレインを短絡して前記S値制御用薄膜トランジスタとし、前記駆動用薄膜トランジスタと前記S値制御用薄膜トランジスタを直列に発光素子と接続することを特徴とする画素回路。

【請求項2】

請求項1に記載の画素回路において、

隣接する前記薄膜トランジスタは、前記低抵抗領域又は前記電極を共有することを特徴とする画素回路。

【請求項3】

請求項 1 又は 2 に記載の画素回路において、
前記酸化物半導体薄膜は少なくとも I_n 、 G_a 、 S_n 、及び O を含む酸化物半導体であり、前記保護膜は SiN_x を含むことを特徴とする画素回路。

【請求項 4】

請求項 3 に記載の画素回路において、
前記酸化物半導体薄膜は、前記酸化物半導体に含まれる I_n 、 G_a 及び S_n の合計に対する各金属元素の原子数比が下記式 (1) ~ (3) を全て満たすアモルファス構造を有することを特徴とする画素回路。

$$0.30 \quad I_n / (I_n + G_a + S_n) \quad 0.50 \quad \dots (1)$$

$$0.20 \quad G_a / (I_n + G_a + S_n) \quad 0.30 \quad \dots (2)$$

$$0.25 \quad S_n / (I_n + G_a + S_n) \quad 0.45 \quad \dots (3)$$

10

【請求項 5】

請求項 1 又は 2 に記載の画素回路において、
前記低抵抗領域は、酸化物半導体内に酸素欠損が形成され、キャリア密度が高くなった領域であることを特徴とする画素回路。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の画素回路において、
前記低抵抗領域の一部が、前記ゲート電極と前記低抵抗領域とを接続する配線領域となり、前記ゲート電極とドレインを短絡していることを特徴とする画素回路。

【請求項 7】

駆動用薄膜トランジスタと S 値制御用薄膜トランジスタと発光素子を備える画素回路の製造方法において、

基板上にゲート電極、ゲート絶縁膜、酸化物半導体薄膜、前記酸化物半導体薄膜を保護するためのエッチストップ層、前記酸化物半導体薄膜に接続する電極、及び保護膜をこの順で形成し、

前記酸化物半導体薄膜の内、平面視で前記電極と重ならない領域を、前記電極と重なる領域よりも抵抗率の低い低抵抗領域とする低抵抗化処理を行い、前記低抵抗領域をドレイン領域又はソース領域とし、前記電極及び前記エッチストップ層とが重なる前記酸化物半導体薄膜の領域をチャンネル領域とし、前記電極をソース電極又はドレイン電極として構成される薄膜トランジスタを複数形成し、

30

前記薄膜トランジスタの一つを前記駆動用薄膜トランジスタとし、他の前記薄膜トランジスタのそれぞれのゲート電極とドレインを短絡して前記 S 値制御用薄膜トランジスタとし、前記駆動用薄膜トランジスタと前記 S 値制御用薄膜トランジスタを直列に発光素子と接続することを特徴とする画素回路の製造方法。

【請求項 8】

請求項 7 に記載の画素回路の製造方法において、
前記酸化物半導体薄膜を少なくとも I_n 、 G_a 、 S_n 、及び O を含む酸化物半導体薄膜とし、前記保護膜を SiN_x を含む膜とし、前記低抵抗化処理は、ポストアニールにより前記保護膜から前記酸化物半導体薄膜に水素を拡散させて前記低抵抗領域を形成することを特徴とする、画素回路の製造方法。

40

【請求項 9】

請求項 7 に記載の画素回路の製造方法において、
前記低抵抗化処理は、前記基板の反対側から前記酸化物半導体薄膜にレーザー光を照射し、平面視で前記電極と重ならない領域に前記低抵抗領域を形成することを特徴とする、画素回路の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路及びその製造方法に関し、特に、酸化物半導体を有する薄膜トランジスタで構成された画素回路及びその製造方法に関する。以下では、薄膜トランジスタを

50

、TFT (Thin Film Transistor) と呼ぶことがある。

【背景技術】

【0002】

酸化物半導体は、汎用のアモルファスシリコンに比べて高いキャリア移動度を有している。また酸化物半導体は、光学バンドギャップが大きく、低温で成膜できるため、大型・高解像度・高速駆動が要求される次世代ディスプレイや、耐熱性の低い樹脂基板などへの適用が期待されている。

【0003】

酸化物半導体として、例えば、インジウム、ガリウム、亜鉛、及び酸素からなるIn-Ga-Zn系酸化物半導体やインジウム、ガリウム、錫からなるIn-Ga-Sn系酸化物半導体が良く知られている。

10

【0004】

また、TFTとしては、図13に示す、エッチストップ構造のTFTが用いられる。図13(a)は素子構造の断面図であり、図13(b)はその等価回路である。エッチストップ構造のTFTは、基板11上にゲート電極12、ゲート絶縁膜13、酸化物半導体薄膜14、酸化物半導体薄膜14を保護するためのエッチストップ層15、ソース/ドレイン電極16(16S, 16D)をこの順序で積層して形成する(特許文献1、2)。

【0005】

図14は、TFTを用いて構成された有機EL(Electroluminescence)ディスプレイの画素回路の従来例である。各画素は、選択用TFT10、駆動用TFT20、保持容量60、発光素子(有機EL)70を備え、信号線1、走査線2、電源線3により制御される。このような画素が、縦・横二次元的に多数配置され、ディスプレイ(画素アレイ)を構成する。

20

【0006】

酸化物半導体を用いたTFTを有機ELディスプレイの画素回路に適用する場合、一般的に2つのTFTが用いられる。1つは保持容量を充電するための選択用TFT10、もう1つは有機EL素子(発光素子)70に電流を流すための駆動用TFT20である。選択用TFT10に求められる特性として、(a)オン電流(ゲート電極とドレイン電極に正電圧をかけたときの最大ドレイン電流)が大きく、(b)オフ電流(ゲート電極に負電圧を、ドレイン電極に正電圧を夫々かけたときのドレイン電流)が小さく、(c)S値(Subthreshold Swing: ドレイン電流を1桁あげるのに必要なゲート電圧)が小さいこと、などが挙げられる。その一方で、駆動用TFT20の場合には、選択用TFT10と同様に(a)オン電流が大きく、(b)オフ電流が小さいことが求められるが、しきい値電圧(ゲート電極に正負いずれかの電圧をかけたときにドレイン電流が流れ始める電圧)にバラツキがある場合には、S値が小さければ小さいほど、低階調画像を表示した場合の表示ムラが大きくなる課題がある。

30

【0007】

この解決には、選択用TFT10と駆動用TFT20が異なるS値を持つことが求められる。しかし、一般的には選択用TFT10と駆動用TFT20は同じプロセスで同時に作製されるため、選択用TFT10と駆動用TFT20とで異なる材料を用いたり、ゲート絶縁膜の厚みを変えたりといった方法を用いることはできない。そこで、その解決策として、例えば、回路的なアプローチが用いられている(非特許文献1)。具体的には、図15に示すように、駆動用TFT20のソース電極側に、ゲート電極とドレイン電極を短絡したTFT(S値制御用TFT)30を直列に接続することで、駆動用TFT20のS値を実効的に大きくすることができる。

40

【0008】

図15は、S値制御用TFTを1つ加えた画素回路の例である。理論的な解析によると、駆動用TFT20にN個のS値制御用TFT30を直列に接続した際の実効的なS値(S_{eff})は以下の式で見積もられる。

$$S_{eff} = (1 + N) S_0$$

50

【 0 0 0 9 】

ここで、 S_0 は、 S 値制御用TFT30を接続しない場合の駆動用TFT20の S 値である。つまり、 S 値制御用TFT30の接続数(N)を増やすことで、選択用TFT10の S 値を小さく保ったまま、駆動用TFT20のみの S 値を実効的に大きくすることができる。これにより、駆動用TFT20のしきい値電圧にバラツキがある場合にも、表示ムラを小さくすることができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

【 文献 】 特許第 5 3 5 7 3 4 2 号

10

【 文献 】 特開 2 0 1 1 - 1 7 4 1 3 4 号 公 報

【 文献 】 特開 2 0 1 8 - 1 3 7 4 2 2 号 公 報

【 非特許文献 】

【 0 0 1 1 】

【 文献 】 T. Nishiyama et al., SID 2019 DIGEST, p.1329-1332, (2019)

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

しかしながら、上述した S 値制御用TFTを含む画素回路の場合、 S 値制御用TFTの数を増やすと、表示ムラを小さくできる一方で、画素回路に占めるTFTの総面積が大きくなり、開口率が低下する問題がある。

20

【 0 0 1 3 】

さらに、上述したエッチストップ構造のTFTの場合、チャンネル長は図13に示すようにソース電極16Sと酸化半導体14が接触する位置からドレイン電極16Dと酸化半導体14が接触する位置までの最短の距離(L_{sd})であり、エッチストップ層15上のソース電極領域(ソース電極が張り出した部分)のチャンネル長方向の長さ L_s とエッチストップ層15上のドレイン電極領域(ドレイン電極が張り出した部分)のチャンネル長方向の長さ L_d とソース電極とドレイン電極の間隔 L_g の和で示される。フォトリソグラフィを用いてTFTを構成する各層を微細パターンに加工してTFTを作製する場合、上記 L_s 、 L_d は共にフォトリソグラフィのアライメントマージン(アライメントずれに対して設ける必要があるマージン) D_a に制限され、 L_g はフォトリソグラフィの最小加工寸法 D_m で制限されるので、チャンネル長を $2D_a + D_m$ より短く調整することが困難であり、TFTの面積を小さくすることができない。

30

【 0 0 1 4 】

したがって、上記のような問題点に鑑みてなされた本発明の目的は、チャンネル長が短く面積の小さなTFTを用いて、ディスプレイの表示ムラが小さく、且つ開口率の高い画素回路、及びその製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 5 】

上記課題を解決するために本発明に係る画素回路は、駆動用薄膜トランジスタと S 値制御用薄膜トランジスタと発光素子を備える画素回路において、基板上にゲート電極、ゲート絶縁膜、酸化半導体薄膜、前記酸化半導体薄膜を保護するためのエッチストップ層、前記酸化半導体薄膜に接続する電極、及び保護膜をこの順で有し、前記酸化半導体薄膜の内、平面視で前記電極と重ならない領域が、前記電極と重なる領域よりも抵抗率の低い低抵抗領域であり、前記低抵抗領域をドレイン領域又はソース領域とし、前記電極及び前記エッチストップ層とが重なる前記酸化半導体薄膜の領域をチャンネル領域とし、前記電極をソース電極又はドレイン電極として構成される薄膜トランジスタを複数備え、前記薄膜トランジスタの一つを前記駆動用薄膜トランジスタとし、他の前記薄膜トランジスタはそれぞれのゲート電極とドレインを短絡して前記 S 値制御用薄膜トランジスタとし、前記駆動用薄膜トランジスタと前記 S 値制御用薄膜トランジスタを直列に発光素子と接続

40

50

することを特徴とする。

【0016】

また、前記画素回路は、隣接する前記薄膜トランジスタが、前記低抵抗領域又は前記電極を共有することが望ましい。

【0017】

また、前記画素回路は、前記酸化物半導体薄膜が少なくともIn、Ga、Sn、及びOを含む酸化物半導体であり、前記保護膜はSiN_xを含むことが望ましい。

【0018】

また、前記画素回路は、前記酸化物半導体薄膜が、前記酸化物半導体に含まれるIn、Ga及びSnの合計に対する各金属元素の原子数比が下記式(1)~(3)を全て満たすアモルファス構造を有することが望ましい。

$$0.30 \quad \text{In} / (\text{In} + \text{Ga} + \text{Sn}) \quad 0.50 \quad \dots (1)$$

$$0.20 \quad \text{Ga} / (\text{In} + \text{Ga} + \text{Sn}) \quad 0.30 \quad \dots (2)$$

$$0.25 \quad \text{Sn} / (\text{In} + \text{Ga} + \text{Sn}) \quad 0.45 \quad \dots (3)$$

【0019】

また、前記画素回路は、前記低抵抗領域が、酸化物半導体内に酸素欠損が形成され、キャリア密度が高くなった領域であることが望ましい。

【0020】

また、前記画素回路は、前記低抵抗領域の一部が、前記ゲート電極と前記低抵抗領域とを接続する配線領域となり、前記ゲート電極とドレインを短絡していることが望ましい。

【0021】

上記課題を解決するために本発明に係る画素回路の製造方法は、駆動用薄膜トランジスタとS値制御用薄膜トランジスタと発光素子を備える画素回路の製造方法において、基板上にゲート電極、ゲート絶縁膜、酸化物半導体薄膜、前記酸化物半導体薄膜を保護するためのエッチストップ層、前記酸化物半導体薄膜に接続する電極、及び保護膜をこの順で形成し、前記酸化物半導体薄膜の内、平面視で前記電極と重ならない領域を、前記電極と重なる領域よりも抵抗率の低い低抵抗領域とする低抵抗化処理を行い、前記低抵抗領域をドレイン領域又はソース領域とし、前記電極及び前記エッチストップ層とが重なる前記酸化物半導体薄膜の領域をチャンネル領域とし、前記電極をソース電極又はドレイン電極として構成される薄膜トランジスタを複数形成し、前記薄膜トランジスタの一つを前記駆動用薄膜トランジスタとし、他の前記薄膜トランジスタのそれぞれのゲート電極とドレインを短絡して前記S値制御用薄膜トランジスタとし、前記駆動用薄膜トランジスタと前記S値制御用薄膜トランジスタを直列に発光素子と接続することを特徴とする。

【0022】

また、前記画素回路の製造方法は、前記酸化物半導体薄膜を少なくともIn、Ga、Sn、及びOを含む酸化物半導体薄膜とし、前記保護膜をSiN_xを含む膜とし、前記低抵抗化処理は、ポストアニールにより前記保護膜から前記酸化物半導体薄膜に水素を拡散させて前記低抵抗領域を形成することが望ましい。

【0023】

また、前記画素回路の製造方法は、前記低抵抗化処理が、前記基板の反対側から前記酸化物半導体薄膜にレーザー光を照射し、平面視で前記電極と重ならない領域に前記低抵抗領域を形成することが望ましい。

【発明の効果】

【0024】

本発明における画素回路及びその製造方法によれば、表示ムラが小さく、且つ開口率の高いディスプレイを実現することができる。

【図面の簡単な説明】

【0025】

【図1】低抵抗領域を形成したエッチストップ構造のTFETの例を示す図である。

【図2】本発明の画素回路で用いるTFETの素子構造の例を示す図である。

10

20

30

40

50

- 【図 3】第 1 の実施形態の画素回路の例を示す図である。
- 【図 4】S 値制御用 T F T を 2 つ加えた画素回路の例を示す図である。
- 【図 5】第 2 の実施形態の画素回路の例を示す図である。
- 【図 6】S 値制御用 T F T を 3 つ加えた画素回路の例を示す図である。
- 【図 7】第 3 の実施形態の画素回路の例を示す図である。
- 【図 8】画素回路における駆動用 T F T のスイッチング特性の例を示す図である。
- 【図 9】低抵抗領域とゲート電極の接続方法の一例を示す図である。
- 【図 10】低抵抗領域とゲート電極の接続方法の別の例を示す図である。
- 【図 11】T F T の素子構造と製造方法の別の例を示す図である。
- 【図 12】T F T の素子構造と製造方法の更に別の例を示す図である。 10
- 【図 13】エッチストップ構造の T F T の例を示す図である。
- 【図 14】有機 E L ディスプレイの画素回路の従来例を示す図である。
- 【図 15】S 値制御用 T F T を 1 つ加えた画素回路の例を示す図である。
- 【発明を実施するための形態】

【0026】

まず、本発明の画素回路に用いる T F T の構造から説明する。基板上にゲート電極、ゲート絶縁膜、酸化半導体薄膜、酸化半導体薄膜を保護するためのエッチストップ層、及びソース/ドレイン電極を有するエッチストップ構造の T F T において、酸化半導体薄膜領域の内、平面視で（すなわち、基板側と反対側から見たときに、その視線において）、ソース/ドレイン電極と重ならない領域を、ソース/ドレイン領域と重なる領域より、抵抗率の低い低抵抗領域として構成することで、チャンネル長を短くした T F T を実現することが提案されている（特許文献 3）。本発明では、このチャンネル長が短く、小面積の T F T を画素回路に利用する。 20

【0027】

図 1 に、低抵抗領域を形成したエッチストップ構造の T F T の例を示す。この構造がチャンネル長の短い T F T の基本構造となる。図 1 (a) は素子構造の断面図であり、図 1 (b) はその等価回路である。各部の構成とその製造方法について説明する。

【0028】

まず、基板 1 1 上にゲート電極 1 2 及びゲート絶縁膜 1 3 を形成する。これらの形成方法は特に限定されず、通常用いられる方法を採用することができる。基板 1 1 は、ディスプレイに使用する場合は、ガラス等の透明基板を用いることが望ましいが、特に限定されるものではない。また、ゲート電極 1 2 及びゲート絶縁膜 1 3 の種類も特に限定されず、汎用されているものを用いることができる。例えばゲート電極 1 2 として、電気抵抗率の低い A l や C u の金属や、耐熱性の高い M o 、 C r 、 T i などの高融点金属や、これらの合金を好ましく用いることができる。ゲート電極 1 2 の好ましい膜厚は、20 ~ 100 n m であり、例えば、50 n m の金属層とすることができる。 30

【0029】

ゲート絶縁膜 1 3 としては、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などが代表的に例示される。そのほか、A l ₂O₃ や Y₂O₃ などの酸化物や、これらを積層したものをを用いることもできる。ゲート絶縁膜 1 3 の膜厚は、絶縁材料の誘電率や絶縁性能等を考慮して適宜設定されるが、好ましい厚さは 10 ~ 300 n m であり、例えば、100 ~ 200 n m のシリコン酸化膜とすることができる。 40

【0030】

次いで、酸化半導体薄膜 1 4 を形成する。T F T を構成する酸化半導体材料は様々なものが選択できるが、後述の水素の導入（ドーピング）による低抵抗化を行うためには、酸化半導体薄膜 1 4 は、金属元素として I n 、 G a 及び S n と、酸素 O とで構成される酸化物であることが好ましい。特に、I n 、 G a 及び S n の合計に対する各金属元素の原子数比が下記式 (1) ~ (3) を全て満足するものが好ましい。

$$0.30 \quad I n / (I n + G a + S n) \quad 0.50 \quad \dots (1)$$

$$0.20 \quad G a / (I n + G a + S n) \quad 0.30 \quad \dots (2)$$

$0.25 \text{ Sn} / (\text{In} + \text{Ga} + \text{Sn}) = 0.45 \dots (3)$
 【0031】

以下では、上記式(1)で表される、酸素を除く全金属元素であるIn、Ga及びSnの合計に対するInの含有量(原子%)をIn原子比と呼ぶ場合がある。同様に、上記式(2)で表される、酸素を除く全金属元素であるIn、Ga及びSnの合計に対するGaの含有量(原子%)をGa原子比と呼ぶ場合がある。同様に、上記式(3)で表される、酸素を除く全金属元素であるIn、Ga及びSnの合計に対するSnの含有量(原子%)をSn原子比と呼ぶ場合がある。各元素の適正範囲について説明する。

【0032】

(In原子数比について)

Inは電気伝導性の向上に寄与する元素である。上記式(1)で示すIn原子数比が大きくなるほど、即ち、金属元素に占めるIn量が多くなるほど、酸化物半導体薄膜の導電性が向上するため電界効果移動度は増加する。上記作用を有効に発揮させるには、上記In原子数比を0.30以上とする必要がある。上記In原子数比は、好ましくは0.31以上、より好ましくは0.35以上、更に好ましくは0.40以上である。但し、In原子数比が大き過ぎると、キャリア密度が増加しすぎてしきい値電圧が低下するなどの問題があるため、その上限を0.50以下とする。In原子数比は、好ましくは0.48以下、より好ましくは0.45以下である。

【0033】

(Ga原子数比について)

Gaは、酸素欠損の低減及びキャリア密度の制御に寄与する元素である。上記式(2)で示すGa原子数比が大きいくほど、酸化物半導体薄膜の電氣的安定性が向上し、キャリアの過剰発生を抑制する効果を発揮する。上記作用を更に有効に発揮させるには、Ga原子数比を0.20以上とする必要がある。上記Ga原子数比は、好ましくは0.22以上、より好ましくは0.25以上である。但し、Ga原子数比が大き過ぎると、酸化物半導体薄膜の導電性が低下して電界効果移動度が低下しやすくなる。よってGa原子数比は、0.30以下とする。Ga原子数比は、好ましくは0.28以下である。

【0034】

(Sn原子数比について)

Snは酸エッチング耐性の向上に寄与する元素である。上記式(3)で示すSn原子数比が大きいくほど、酸化物半導体薄膜における無機酸エッチング液に対する耐性は向上する。上記作用を更に有効に発揮させるには、Sn原子数比は0.25以上とする必要がある。Sn原子数比は、好ましくは0.30以上、より好ましくは0.31以上、更に好ましくは0.35以上である。一方、Sn原子数比が大き過ぎると、酸化物半導体薄膜の電界効果移動度が低下すると共に、酸エッチング液に対する耐性が必要以上に高まり、酸化物半導体薄膜自体の加工が困難になる。よってSn原子数比は0.45以下とする。Sn原子数比は、好ましくは0.40以下、より好ましくは0.38以下である。

【0035】

(酸化物半導体薄膜の成膜)

酸化物半導体薄膜は、スパッタリング法にてスパッタリングターゲットを用いて、例えばDCスパッタリング法またはRFスパッタリング法により、成膜することが好ましい。以下、スパッタリングターゲットを単に「ターゲット」ということがある。スパッタリング法によれば、成分や膜厚の膜面内均一性に優れた薄膜を容易に形成することができる。また、塗布法などの化学的成膜法によって酸化物を形成してもよい。形成された酸化物半導体薄膜は、アモルファス構造を有する。

【0036】

スパッタリング法に用いられるターゲットとして、前述した元素を含み、所望の酸化物と同一組成のターゲットを用いることが好ましく、これにより、組成ズレが少なく、所望の成分組成の薄膜を形成することができる。具体的には金属元素としてIn、Ga及びSnを含む酸化物からなり、In、Ga及びSnの合計に対する各金属元素の原子数比が上

10

20

30

40

50

記式(1)~(3)を満たすターゲットを用いることが推奨される。

【0037】

あるいは、組成の異なる二つのターゲットを同時放電するコンビナトリアルスパッタ法を用いても成膜してもよい。例えば In_2O_3 、 Ga_2O_3 、 SnO_2 など、In、Ga 及び Sn の各元素の酸化物ターゲット、または上記元素の少なくとも2種以上を含む混合物の酸化物ターゲットを用いることもできる。上記金属元素を含む純金属ターゲットや合金ターゲットを、単数または複数使い、雰囲気ガスとして酸素を供給しながら成膜することも挙げられる。

【0038】

上記のターゲットは、例えば粉末焼結法によって製造することができる。

10

【0039】

ターゲットを用いてスパッタリング法で成膜する場合、前述した成膜時のガス圧の他に、酸素の分圧、ターゲットへの投入パワー、基板温度、ターゲットと基板との距離である T-S 間距離などを適切に制御することが好ましい。具体的には、例えば、次のスパッタリング条件で成膜することが好ましい。

【0040】

酸素添加量は、半導体として動作を示すよう、前記酸化物半導体薄膜のキャリア密度は $1 \times 10^{15} \sim 10^{17} / \text{cm}^3$ の範囲内となるように酸素量を添加することが好ましい。最適な酸素添加量はスパッタリング装置、ターゲットの組成、薄膜トランジスタ作製プロセスなどに応じて、適切に制御すれば良い。後記する実施形態では、添加流量比で $100 \times \text{O}_2 / (\text{Ar} + \text{O}_2) = 4$ 体積%とした。

20

【0041】

成膜パワー密度は高い程良く、DC または RF でおおむね $2.0 \text{ W} / \text{cm}^2$ 以上に設定することが推奨される。ただし成膜パワー密度が高すぎると酸化物ターゲットに割れや欠けが生じて破損することがあるため、上限は $50 \text{ W} / \text{cm}^2$ 程度である。

【0042】

成膜時の基板温度は、おおむね室温 ~ 200 の範囲内に制御することが推奨される。更に酸化物半導体薄膜中の欠陥量は、成膜後の熱処理条件によっても影響を受けるため、適切に制御することが好ましい。成膜後の熱処理条件は、例えば、大気雰囲気下にて、おおむね、 $250 \sim 400$ で10分~3時間行うことが推奨される。上記熱処理として、例えば、後述するプレアニール処理(酸化物半導体薄膜をウェットエッチングした後のパターンニング直後に行われる熱処理)が挙げられる。

30

【0043】

酸化物半導体薄膜14の好ましい膜厚は、おおむね、 10 nm 以上、更には 20 nm 以上とすることができ、 200 nm 以下、更には 100 nm 以下とすることができる。例えば、 $20 \sim 30 \text{ nm}$ の In-Ga-Sn-O 膜とすることができる。

【0044】

なお、ここでは、後述の水素導入による低抵抗化処理に適した材料として、In、Ga 及び Sn と O とで構成される酸化物半導体薄膜について説明したが、低抵抗化処理として他の手段(レーザー照射等)を採用する場合は、酸化物半導体薄膜14は、In、Ga 及び Sn と O とで構成される酸化物に限定されず、上記酸化物に他の元素を添加したり、他の金属を用いた酸化物半導体薄膜を用いてもよい。

40

【0045】

酸化物半導体薄膜14を形成した後、ウェットエッチングによりパターンニングを行う。パターンニングの直後には、酸化物半導体薄膜の膜質改善のために熱処理(プレアニール)を行うことが好ましく、これにより、トランジスタ特性のオン電流及び電界効果移動度が上昇し、トランジスタ性能が向上するようになる。プレアニールとして、例えば、水蒸気雰囲気または大気雰囲気にて、 $350 \sim 400$ で $30 \sim 60$ 分行うことが好ましい。

【0046】

次いで、酸化物半導体薄膜14の上にエッチストップ層15を形成する。エッチストップ

50

ブ層 15 は、後の金属電極のエッチング工程等の際に、酸化物半導体薄膜 14 を保護する機能がある。エッチストップ層 15 の形成方法は特に限定されず、通常用いられる方法を採用することができる。また、エッチストップ層の種類も特に限定されず、汎用されているものを用いることができるが、後述の水素導入による低抵抗化処理を行う場合は、水素を透過する材料であることが望ましい。例えば 100 nm の SiO_x 膜などが用いられる。

【0047】

次いでソース/ドレイン電極 16 (16S, 16D) を形成する。ソース/ドレイン電極 16 の種類は特に限定されず、汎用されているものを用いることができる。例えばゲート電極 12 と同様 Al、Mo や Cu などの金属または合金を用いてもよい。ソース/ドレイン電極 16 の形成方法としては、エッチストップ層 15 に酸化物半導体薄膜 14 に達するコンタクト孔を形成し、例えばマグネトロンスパッタリング法によって金属薄膜を成膜した後、フォトリソグラフィによりパターンニングし、ウェットエッチングを行って電極を形成することができる。なお、この後の保護膜 17 の形成前に、酸化物表面のダメージ回復のため、必要に応じて熱処理 (200 ~ 300) や N_2O プラズマ処理を施してもよい。

【0048】

次に、酸化物半導体薄膜 14 及びエッチストップ層 15 の上に保護膜 17 を CVD (Chemical Vapor Deposition) 法によって成膜する。例えば、100 ~ 200 nm の膜厚の SiN_x 膜を含む保護膜 17 を用いることが好ましい。具体的には、シリコン窒化膜、シリコン酸窒化膜などが挙げられ、これらは単独で用いても良いし、併用しても良いし、これらを積層して用いることもできる。 SiN_x 膜を含む保護膜 17 は、後述の酸化物半導体薄膜 14 の水素導入 (水素ドーピング) による低抵抗化処理の際に、水素の供給源として利用される。なお、通常の CVD による成膜を行うことにより、 SiN_x 膜には十分な水素が含まれている。水素が含まれる他の材料により保護膜 17 を形成してもよいが、半導体素子に一般的に使用されるシリコン窒化膜、シリコン酸窒化膜等を用いる場合は、通常の製造プロセスが採用できるので望ましい。

【0049】

保護膜 17 の形成後、200 以上の温度でポストアニールを行う。ポストアニールを施すことで、保護膜 17 に含有される水素が、基板側と反対側から見たときにその視線においてソース/ドレイン電極領域と重ならない酸化物半導体領域に拡散されて浅い不純物準位が形成することから、酸化物半導体領域 140 の抵抗率が低下し、導体化する。一方、基板側と反対側から見たときに、その視線においてソース/ドレイン電極領域と重なる酸化物半導体領域 141, 142 では、上部にソース/ドレイン電極 16 の金属層が存在し水素透過が難しいことから水素の供給量が少なく、高抵抗の半導体のままである。この結果、ソース/ドレイン電極領域と重ならない酸化物半導体領域に導体化された低抵抗領域 140 が形成される。

【0050】

ポストアニールの温度が 200 未満では低抵抗領域 140 が形成されない。熱処理温度の好ましい下限は 250 以上であり、より好ましくは 270 以上である。但し、熱処理温度が高過ぎると、ソース/ドレイン電極領域が重なる酸化物半導体領域の抵抗も低減し、オフ電流が上昇してしまうため、その上限を 300 以下とすることが好ましい。より好ましい上限は 280 以下である。最適なポストアニール温度は酸化物半導体薄膜 14、エッチストップ層 15、保護膜 17 の膜厚や成膜条件に依存することから、適宜設計すればよい。更にポストアニールでは、処理時間を例えば、30 ~ 90 分の範囲内に制御することが好ましい。なお、雰囲気は特に限定されず、例えば、窒素雰囲気、大気雰囲気などが挙げられる。

【0051】

このように図 1 に示す TFT は、ソース電極 16S - ドレイン電極 16D 間の酸化物半導体領域 14 において、ソース電極と重ならない低抵抗領域 140 と、ソース電極 16S と重なるチャネル領域 1、ドレイン電極 16D と重なるチャネル領域 2 の 3 領域に分ける

10

20

30

40

50

ことができる。ドレイン電流は3領域の各抵抗の直列抵抗に反比例する。ここで、低抵抗領域140の抵抗が3領域の各抵抗の直列抵抗に比べて無視できるほど小さい場合、ドレイン電流はチャンネル領域1とチャンネル領域2の各抵抗の直列抵抗に反比例することになる。このTFETのチャンネル長は実効的にチャンネル領域1とチャンネル領域2の長さの和である $L_s + L_d$ で表わされ、従来のエッチストップ構造のチャンネル長である $L_s + L_g + L_d$ と比べて L_g の分だけ短くすることができる。このため、高いオン電流を得ることができる。例えば、フォトリソグラフィを用いてTFETを作製する場合、最小のチャンネル長はフォトリソグラフィのアライメントマージン D_a を用いて $2D_a$ で表わせる。

【0052】

低抵抗化処理（水素導入）しない場合の酸化物半導体（ $In - Ga - Sn - O$ ）の抵抗率は、 $10^4 \cdot cm$ 程度である。これに対して、低抵抗化処理（水素導入）を行うと酸化物半導体の抵抗率は $1/100$ 以下、或いは $1/1000$ 以下となる。上記のオン電流向上の作用を有効に発揮させるには、低抵抗領域140の抵抗率は $1.5 \cdot cm$ 以下、更に好ましくは $0.1 \cdot cm$ 以下にすることが望ましい。ただし、低抵抗領域140の適した抵抗率は L_s 、 L_g 、 L_d 、酸化物半導体薄膜14の膜厚、ゲート絶縁膜13の膜厚と容量、TFETを駆動するために印加するドレイン電圧やゲート電圧等の各条件によって変化することから、適宜設計すればよい。

【0053】

図2に、本発明の画素回路で用いるTFETの素子構造の例を示す。図2(a)は素子構造の断面図であり、図2(b)はその等価回路である。基板11上にゲート電極121、122、ゲート絶縁膜13、酸化物半導体薄膜14、酸化物半導体薄膜14を保護するためのエッチストップ層15、酸化物半導体薄膜14に接続する電極（ソース/ドレイン電極）16、及び保護膜17をこの順で有している。

【0054】

図2の素子構造は、図1のゲート電極12をゲート電極1(G1)121とゲート電極2(G2)122の2つに分けたものである。他の構成及び製造工程は、図1のTFETと同じである。このような構造とすることで、ゲート電極1(G1)121を有する第1のFETと、ゲート電極2(G2)122を有する第2のFETが形成される。第1のFETは、酸化物半導体薄膜14のソース電極16Sと接する部分と低抵抗領域140の間が長さ L_s のチャンネル領域1となり、低抵抗領域140がドレイン領域（導体化していることから、実質的にドレイン電極とみなすこともできる）となる。なお、ソース領域は明確ではないが、酸化物半導体薄膜141は極めて薄いのでソース電極16Sと接する領域をソース領域と解することができる。また、第2のTFETは、酸化物半導体薄膜14のドレイン電極16Dと接する部分と低抵抗領域140の間が長さ L_d のチャンネル領域2となり、低抵抗領域140がソース領域（導体化していることから、実質的にソース電極とみなすこともできる）となる。なお、ドレイン領域は明確ではないが、酸化物半導体薄膜142は極めて薄いのでドレイン電極16Dと接する領域をドレイン領域と解することができる。すなわち、TFET1個分の面積で、チャンネル長が L_s と L_d の2つの短チャンネルTFETの機能を有する半導体デバイスの直列接続構造を形成できる。また、低抵抗領域140から引き出し電極DSを設けることで、第1のFETと第2のFETの各電極にそれぞれ独立して電圧を印加し、制御することができる。

【0055】

図3は、本発明の第1の実施形態の画素回路である。上側に素子構造の断面図を示し、下側にその等価回路を示す。この回路構成は、図15に示す画素回路の破線で囲まれた回路部分に対応する。

【0056】

半導体素子の層構造及びその製造方法は、図1、図2で説明したものと実質的に同じであるから、説明を省略する。エッチストップ層上に、酸化物半導体薄膜に接続する電極（ソース/ドレイン電極）161、162が設けられている。酸化物半導体薄膜14の内、平面視で電極161、162と重ならない領域に、電極161、162と重なる領域より

も抵抗率の低い低抵抗領域 140 が形成されている。駆動用 T F T 20 は、ゲート電極 121、電極（ドレイン電極）161、酸化物半導体薄膜（チャンネル領域）141、低抵抗領域（ソース領域又はソース電極）140 を備える。また、S 値制御用 T F T 30 は、ゲート電極 122、低抵抗領域（ドレイン領域又はドレイン電極）140、酸化物半導体薄膜（チャンネル領域）142、電極（ソース電極）162 を備える。なお、ゲート電極 122 と低抵抗領域 140 は、図示しない部分で電氣的に接続（短絡）されており、ゲート電極とドレイン（ドレイン領域又はドレイン電極）を短絡した T F T 30 が構成されている。また、発光素子 70 は例えば有機 E L 素子であって、透明電極 71、ホール輸送層 72、発光層 73、電子輸送層 74、金属電極 75 から構成される。発光素子 70 は他の構造であってもよい。電極 162 と透明電極 71 とを接続することにより、図 15 に示す画素回路における駆動用 T F T 20、S 値制御用 T F T 30、及び発光素子 70 の直列接続構造を形成できる。これにより、従来の T F T 1 個分の面積で、駆動用 T F T 20 の S 値を実効的に 2 倍に増やすことができる。

10

【0057】

図 4 は、S 値制御用 T F T を 2 つ加えた画素回路の例である。各画素は、選択用 T F T 10、駆動用 T F T 20、S 値制御用 T F T 30、S 値制御用 T F T 40、保持容量 60、発光素子 70 を備え、信号線 1、走査線 2、電源線 3 により制御される。この画素が、縦・横二次元的に多数配置され、ディスプレイ（画素アレイ）を構成する。駆動用 T F T 20 のソース電極側に、ゲート電極とドレイン電極を短絡した T F T（S 値制御用 T F T）30、40 を直列に接続することで、駆動用 T F T 20 の S 値を図 15 よりも更に大きくすることができる。これにより、駆動用 T F T 20 のしきい値電圧にバラツキがある場合にも、表示ムラを小さくすることができる。

20

【0058】

図 5 は、本発明の第 2 の実施形態の画素回路である。上側に素子構造の断面図を示し、下側にその等価回路を示す。この回路構成は、図 4 に示す画素回路の破線で囲まれた回路部分に対応する。

【0059】

半導体素子の層構造及びその製造方法は、図 1、図 2 で説明したものと実質的に同じであるから、説明を省略する。エッチストップ層上に、酸化物半導体薄膜に接続する電極（ソース/ドレイン電極）161、162 が設けられている。酸化物半導体薄膜 14 の内、平面視で電極 161、162 と重ならない領域に、電極 161、162 と重なる領域よりも抵抗率の低い低抵抗領域 1401、1402 が形成されている。駆動用 T F T 20 は、ゲート電極 121、低抵抗領域（ドレイン領域又はドレイン電極）1401、酸化物半導体薄膜（チャンネル領域）141、電極（ソース電極）161 を備える。また、S 値制御用 T F T 30 は、ゲート電極 122、電極（ドレイン電極）161、酸化物半導体薄膜（チャンネル領域）142、低抵抗領域（ソース領域又はソース電極）1402 を備える。ゲート電極 122 と電極（ドレイン電極）161 は接続されている。また、S 値制御用 T F T 40 は、ゲート電極 123、低抵抗領域（ドレイン領域又はドレイン電極）1402、酸化物半導体薄膜（チャンネル領域）143、電極（ソース電極）162 を備える。なお、ゲート電極 123 と低抵抗領域 1402 は、図示しない部分で電氣的に接続（短絡）されており、ゲート電極とドレイン（ドレイン領域又はドレイン電極）を短絡した T F T が構成されている。また、発光素子 70 は例えば有機 E L 素子であって、透明電極 71、ホール輸送層 72、発光層 73、電子輸送層 74、金属電極 75 から構成される。発光素子 70 は他の構造であってもよい。電極 162 と透明電極 71 とを接続することにより、図 4 に示す画素回路における駆動用 T F T 20、2 つの S 値制御用 T F T 30、40、及び発光素子 70 の直列接続構造を形成できる。これにより、従来の T F T 1.5 個分の面積で、駆動用 T F T 20 の S 値を実効的に 3 倍に増やすことができる。

30

40

【0060】

図 5 から明らかなように、本発明の画素回路においては、隣接する薄膜トランジスタ（駆動用 T F T 及び S 値制御用 T F T）が、低抵抗領域又は電極（ソース/ドレイン電極）

50

を共有することにより、一層の画素回路の小型化を実現できる。

【0061】

図6は、S値制御用TFTを3つ加えた画素回路の例である。各画素は、選択用TFT10、駆動用TFT20、S値制御用TFT30、S値制御用TFT40、S値制御用TFT50、保持容量60、発光素子70を備え、信号線1、走査線2、電源線3により制御される。この画素が、縦・横二次元的に多数配置され、ディスプレイ(画素アレイ)を構成する。駆動用TFT20のソース電極側に、ゲート電極とドレイン電極を短絡したTFT(S値制御用TFT)30,40,50を直列に接続することで、駆動用TFT20のS値を図4よりも更に大きくすることができる。これにより、駆動用TFT20のしきい値電圧にバラツキがある場合にも、表示ムラを小さくすることができる。

10

【0062】

図7は、本発明の第3の実施形態の画素回路である。上側に素子構造の断面図を示し、下側にその等価回路を示す。この回路構成は、図6に示す画素回路の破線で囲まれた回路部分に対応する。

【0063】

半導体素子の層構造及びその製造方法は、図1、図2で説明したものと実質的に同じであるから、説明を省略する。エッチストップ層上に、酸化物半導体薄膜に接続する電極(ソース/ドレイン電極)161,162,163が設けられている。酸化物半導体薄膜14の内、平面視で電極161,162,163と重ならない領域に、電極161,162,163と重なる領域よりも抵抗率の低い低抵抗領域1401,1402が形成されている。駆動用TFT20は、ゲート電極121、電極(ドレイン電極)161、酸化物半導体薄膜(チャネル領域)141、低抵抗領域(ソース領域又はソース電極)1401を備える。また、S値制御用TFT30は、ゲート電極122、低抵抗領域(ドレイン領域又はドレイン電極)1401、酸化物半導体薄膜(チャネル領域)142、電極(ソース電極)162を備える。なお、ゲート電極122と低抵抗領域1401は、図示しない部分で電氣的に接続(短絡)されており、ゲート電極とドレイン(ドレイン領域又はドレイン電極)を短絡したTFT30が構成されている。また、S値制御用TFT40は、ゲート電極123、電極(ドレイン電極)162、酸化物半導体薄膜(チャネル領域)143、低抵抗領域(ソース領域又はソース電極)1402を備える。ゲート電極123と電極(ドレイン電極)162は接続されている。また、S値制御用TFT50は、ゲート電極124、低抵抗領域(ドレイン領域又はドレイン電極)1402、酸化物半導体薄膜(チャネル領域)144、電極(ソース電極)163を備える。なお、ゲート電極124と低抵抗領域1402は、図示しない部分で電氣的に接続(短絡)されており、ゲート電極とドレイン(ドレイン領域又はドレイン電極)を短絡したTFT50が構成されている。また、発光素子70は例えば有機EL素子であって、透明電極71、ホール輸送層72、発光層73、電子輸送層74、金属電極75から構成される。なお、発光素子70の構造はこれに限定されるものではない。電極163と透明電極71とを接続することにより、図6に示す画素回路における駆動用TFT20、3つのS値制御用TFT30,40,50、及び発光素子70の直列接続構造を形成できる。これにより、従来のTFT2個分の面積で、駆動用TFT20のS値を実効的に4倍に増やすことができる。

20

30

40

【0064】

図8に、本発明の画素回路における駆動用TFTのスイッチング特性を示す。横軸は保持容量60の電圧(駆動用TFTのゲートとTFTの直列接続構造のソース間にかかる電圧)であり、縦軸は駆動用TFTのドレイン電流である。駆動用TFTのみの場合と比較して、駆動用TFTにダイオード接続したTFT(S値制御用TFT)を直列に接続することで(接続個数を増やすほど)、実効的にS値を大きくできる。なお、数値はSPICE(Simulation Program with Integrated Circuit Emphasis)によるシミュレーション結果である。この結果、駆動用TFTにしきい値電圧のバラツキがあっても、バラツキの影響を緩和でき、それにより表示ムラを低減できる。

【0065】

50

これまで、各実施形態では、画素回路の構成と機能について説明したが、本発明はこれに限らず、駆動用薄膜トランジスタとS値制御用薄膜トランジスタと発光素子を備える画素回路の製造方法として構成されてもよい。すなわち、各図で説明した製造工程に基づいて、基板上にゲート電極、ゲート絶縁膜、酸化物半導体薄膜、酸化物半導体薄膜を保護するためのエッチストップ層、酸化物半導体薄膜に接続する電極、及び保護膜をこの順で形成する。次いで、酸化物半導体薄膜の内、平面視で電極と重ならない領域を、電極と重なる領域よりも抵抗率の低い低抵抗領域とする低抵抗化処理を行い、低抵抗領域をドレイン領域又はソース領域とし、酸化物半導体薄膜の電極が重なる領域をチャンネル領域とし、電極をソース電極又はドレイン電極として構成される薄膜トランジスタを複数形成する。そして、薄膜トランジスタの一つを駆動用薄膜トランジスタとし、他の前記薄膜トランジスタのそれぞれのゲート電極とドレインを短絡してS値制御用薄膜トランジスタとし、駆動用薄膜トランジスタとS値制御用薄膜トランジスタを直列に発光素子と接続する、画素回路の製造方法として構成されても良い。

10

【0066】

なお、低抵抗化処理としては、酸化物半導体薄膜を少なくともIn、Ga、Sn、及びOを含む酸化物半導体薄膜とし、保護膜をSiNxを含む膜とし、ポストアニールにより保護膜から酸化物半導体薄膜に水素を拡散させて低抵抗領域を形成する方法を用いることができる。

【0067】

図9は、低抵抗領域とゲート電極の接続方法の一例である。保護膜17の上にゲート電極122と低抵抗領域140とを接続する金属電極125を形成している。他の構造は図1、図2で説明したものと実質的に同じであるから、説明を省略する。この金属電極125は、通常の電極・配線の形成方法により形成できる。これにより、ゲート電極とドレイン電極を短絡したS値制御用TF Tが構成される。

20

【0068】

図10は、低抵抗領域とゲート電極の接続方法の別の例である。ゲート絶縁膜13を貫いて、低抵抗領域140の一部が、ゲート電極122と低抵抗領域140とを接続する配線領域1403となっている。他の構造は図1、図2で説明したものと実質的に同じであるから、説明を省略する。この配線領域1403は、例えば、予めゲート絶縁膜13の一部にゲート電極122に達する貫通孔を形成し、次いで、貫通孔を埋めてゲート絶縁膜13上に酸化物半導体薄膜を形成する。その後、酸化物半導体薄膜の低抵抗化処理により低抵抗領域140を形成すると同時に、低抵抗の配線領域1403を形成することができる。この低抵抗化処理は、水素の導入による低抵抗化であっても、後述のレーザー照射による低抵抗化であってもよい。これにより、接続配線の面積を必要とせず、ゲート電極とドレイン（ドレイン領域又はドレイン電極）を短絡したS値制御用TF Tが構成される。

30

【0069】

次に、TF Tの製造方法、特に、低抵抗領域を形成する他の方法について説明する。

【0070】

図11は、TF Tの素子構造と製造方法の別の例である。この構造に基づいて低抵抗領域の形成方法を説明する。本実施形態では、保護膜17を上層SiNx、下層SiOxとした積層構造とする。

40

【0071】

まず、基板11上にゲート電極12、ゲート絶縁膜13、酸化物半導体薄膜14、エッチストップ層15、ソース/ドレイン電極16（16S、16D）を形成する。ここまでの工程は図1と同じであり、電極材料及び絶縁膜材料は、図1で説明した材料と同じであってよく、例えば、エッチストップ層15として、100nmのSiOx膜を用いる。また、酸化物半導体薄膜14は、前述したIn-Ga-Sn-Oからなる酸化物半導体望ましい。

【0072】

次に、保護膜17を、例えば、SiOx膜171とSiNx膜172との2層構造として

50

形成する。SiO_x膜171及びSiN_x膜172は、通常の製法（例えば、CVD法）で形成することができる。例えば、SiO_x膜171の厚さを100nmとし、SiN_x膜172の厚さを150nmとして、熱処理を行うと、SiN_x膜172から放出された水素が、SiO_x膜171とエッチストップ層のSiO_x膜15を介して酸化半導体薄膜14に拡散し、低抵抗領域140を形成する。ただし、ソース/ドレイン電極16で覆われた領域は、水素が透過しないため、酸化半導体薄膜14に変化はなく、例えば、10⁴ cm程度の抵抗値のままで、チャンネル領域として機能する。

【0073】

このように、SiN_x膜を含む積層構造の保護膜を形成し、熱処理することにより、低抵抗領域を形成することができる。

10

【0074】

図12は、TFTの素子構造と製造方法の更に別の例である。この構造に基づいて低抵抗領域の形成方法を説明する。本実施形態では、レーザー照射により酸化半導体薄膜14の低抵抗化処理を行う。レーザー照射により低抵抗化を行う場合は、酸化半導体薄膜14は、In-Ga-Sn-O膜以外の任意の組成の酸化半導体薄膜を用いることができる。ソース/ドレイン電極側から、エキシマレーザー等を用いてレーザー照射することで、ソース/ドレイン電極と位置合わせされた低抵抗領域140を形成することができる。レーザー照射により、酸化半導体薄膜14の金属イオンと酸素イオンの結合が切断され、酸化半導体内に酸素欠損が形成されると同時に自由電子が発生し、キャリア密度が高くなる。これによって、酸化半導体薄膜のレーザー照射領域の抵抗が低減する。

20

【0075】

すなわち、低抵抗領域を、酸化半導体内に酸素欠損が形成され、キャリア密度が高くなった領域として構成することができる。また、低抵抗化処理としては、任意の酸化半導体薄膜に対し、基板の反対側から酸化半導体薄膜にレーザー光を照射し、平面視で電極と重ならない領域に低抵抗領域を形成する方法を用いることができる。

【0076】

まず、基板11上にゲート電極12、ゲート絶縁膜13、酸化半導体薄膜14、エッチストップ層15、ソース/ドレイン電極16（16S、16D）を形成する。電極材料及び絶縁膜材料は、図1で説明した材料と同じであってよく、その製造工程も同じでよい。また、酸化半導体薄膜14は、前述したIn-Ga-Sn-Oからなる酸化半導体の他に、In-Ga-Zn-O、In-Sn-Zn-O、In-Ga-O、In-W-Zn-O、In-W-O等の他の酸化半導体材料を用いることができる。

30

【0077】

次に、保護膜17として、例えば、SiO_x膜17を形成し、その後、表面からレーザー光を照射する。保護膜17とエッチストップ層15のSiO_x膜は、レーザー光の透過性が高く、レーザー光は酸化半導体薄膜14に吸収されて、低抵抗領域140を形成する。ただし、ソース/ドレイン電極16で覆われた領域は、レーザー光が透過しないため、酸化半導体薄膜14に変化はなく、例えば、10⁴ cm程度の抵抗値のままで、チャンネル領域として機能する。

【0078】

したがって、レーザー照射によっても、酸化半導体薄膜領域の内、平面視で（すなわち、基板側と反対側から見たときに、その視線において）、ソース/ドレイン電極と重ならない領域を、ソース/ドレイン領域と重なる領域よりも、抵抗率の低い低抵抗領域として構成することで、チャンネル長を短くした小面積のTFTを実現できる。

40

【0079】

レーザー照射による低抵抗化処理は、保護膜に、SiN_xを使う必要がなく、例えば、塗布成膜可能な絶縁膜等も使用でき、作製プロセスを簡単にすることも可能である。また、使える酸化半導体材料の制約がないため、作製プロセス及び材料の自由度が増すという利点がある。

【0080】

50

図 1 1、図 1 2 で説明した方法により作成された薄膜トランジスタを、図 3、図 5、図 7 の画素回路に用いることができる。

【 0 0 8 1 】

上述の実施形態は代表的な例として説明したが、本発明の趣旨及び範囲内で、多くの変更及び置換ができることは当業者に明らかである。したがって、本発明は、上述の実施形態によって制限するものと解するべきではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

【 符号の説明 】

【 0 0 8 2 】

1	信号線	10
2	走査線	
3	電源線	
1 0	選択用 T F T	
1 1	基板	
1 2	ゲート電極	
1 3	ゲート絶縁膜	
1 4	酸化物半導体薄膜	
1 4 0	低抵抗領域	
1 4 1 , 1 4 2	チャネル領域	
1 5	エッチストップ層	20
1 6	電極 (ソース/ドレイン電極)	
1 7	保護膜	
2 0	駆動用 T F T	
3 0 ~ 5 0	S 値制御用 T F T	
6 0	保持容量	
7 0	発光素子	

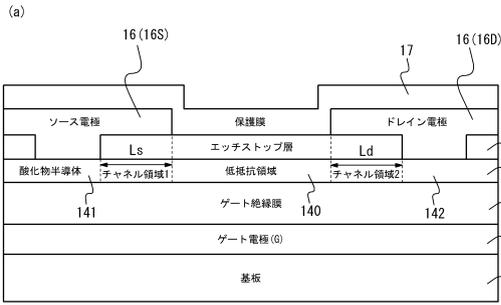
30

40

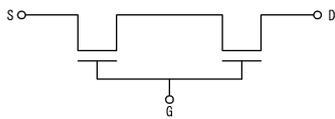
50

【図面】

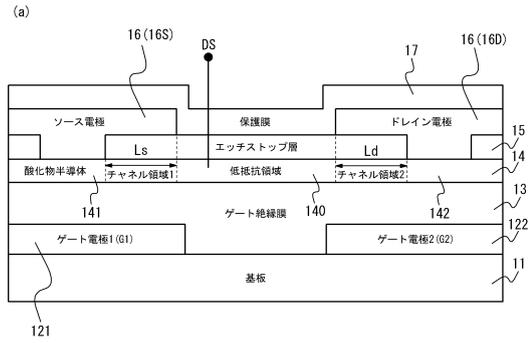
【図 1】



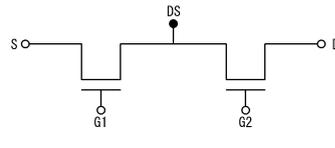
(b)



【図 2】



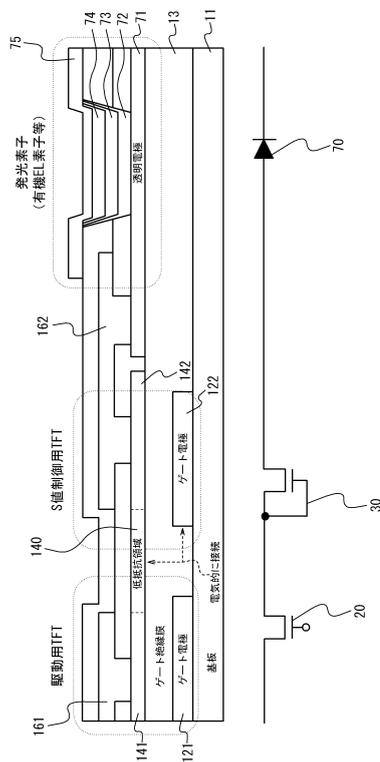
(b)



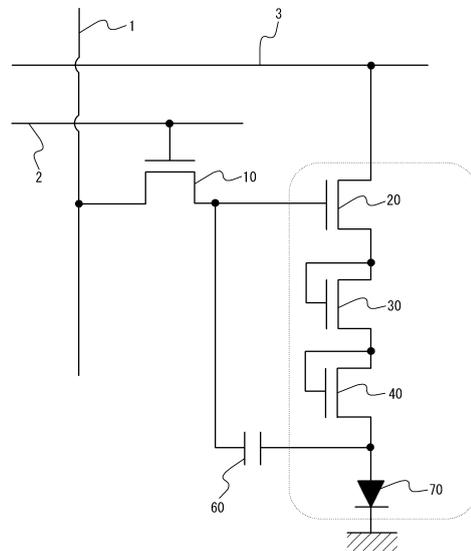
10

20

【図 3】



【図 4】

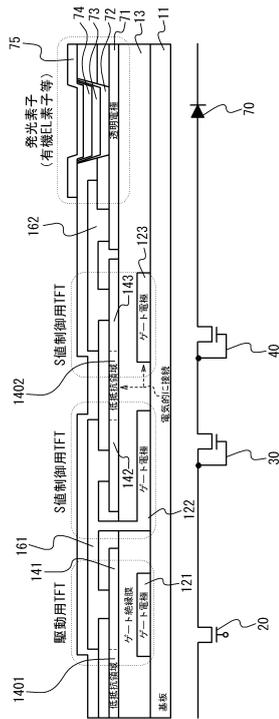


30

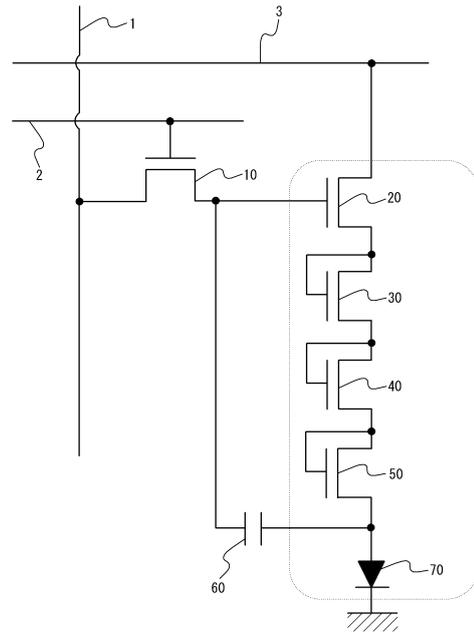
40

50

【図5】



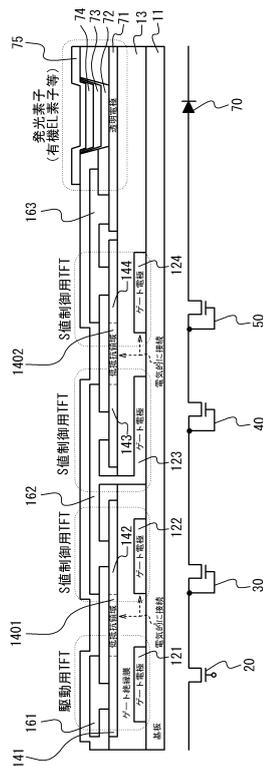
【図6】



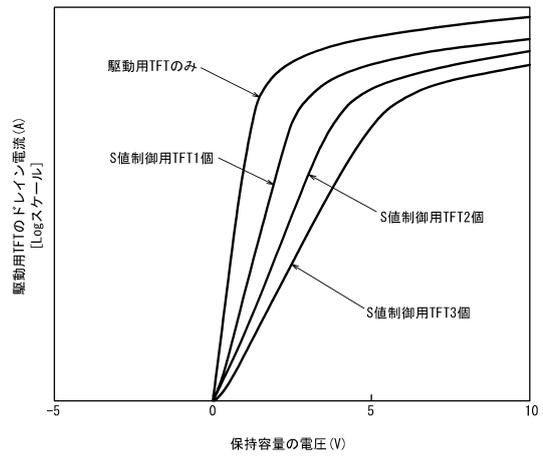
10

20

【図7】



【図8】

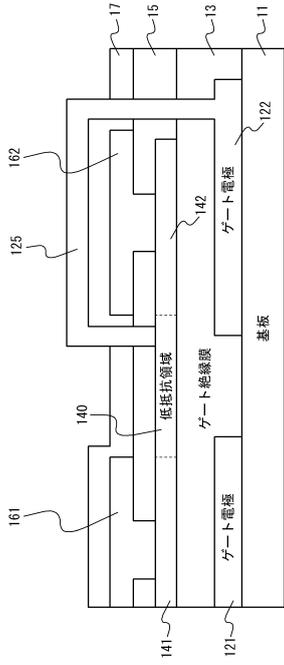


30

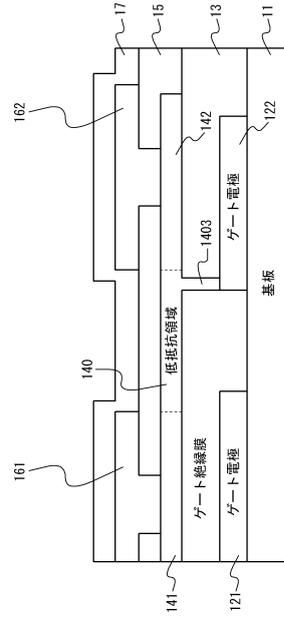
40

50

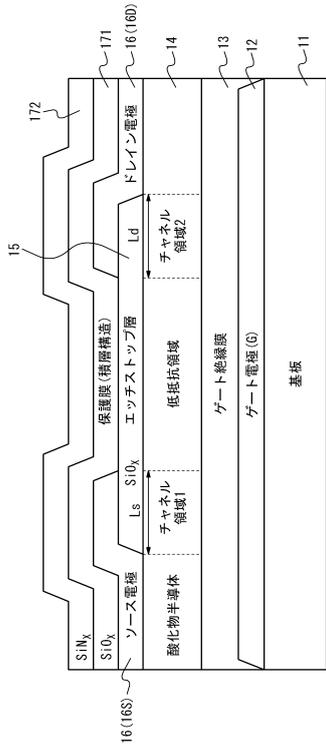
【図 9】



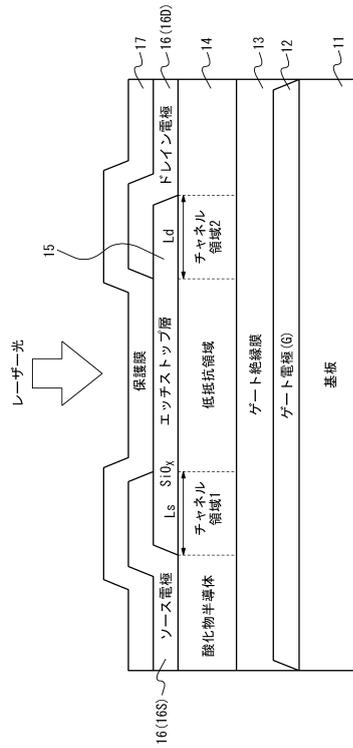
【図 10】



【図 11】



【図 12】



10

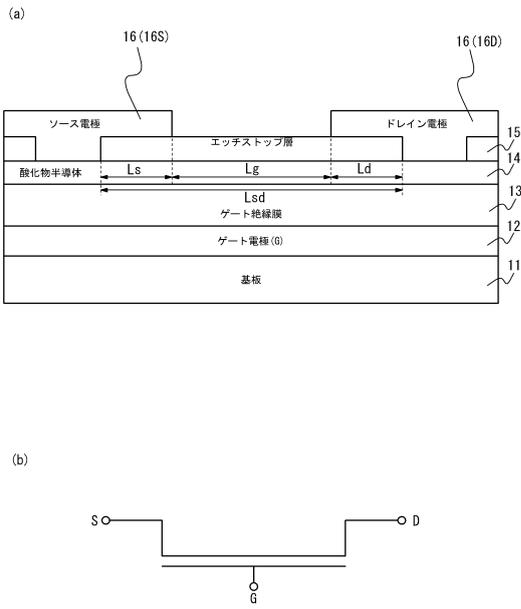
20

30

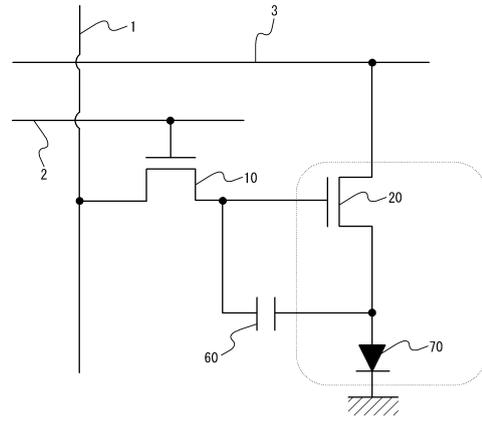
40

50

【図 1 3】



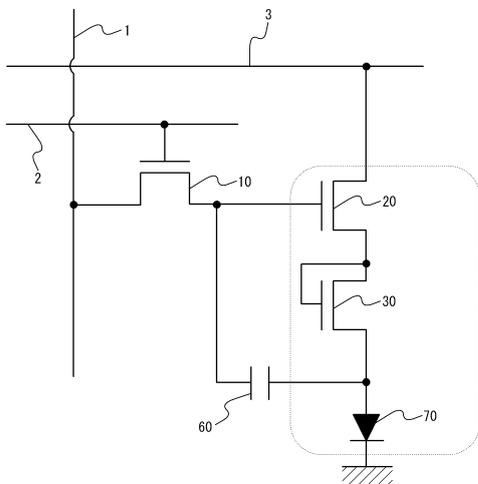
【図 1 4】



10

20

【図 1 5】



30

40

50

フロントページの続き

- 東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内
(72)発明者 武井 達哉
- 東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内
(72)発明者 宮川 幹司
- 東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内
(72)発明者 中嶋 宜樹
- 東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内
(72)発明者 越智 元隆
- 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内
(72)発明者 西山 功兵
- 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内
審査官 石本 努
- (56)参考文献 特開2019-186273(JP,A)
特開2018-137422(JP,A)
特開2016-111324(JP,A)
特開2019-149574(JP,A)
特開2015-181158(JP,A)
特開2008-287115(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
G02F1/1343-1/1345
1/135-1/1368
G09F9/30-9/46
H01L21/336
21/8232-21/8238
21/8249
27/06
27/07
27/085-27/092
27/118
29/786
H05B33/00-33/28
44/00
45/60
H10K50/00-99/00