

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-311865  
(P2004-311865A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/3205	HO 1 L 21/88	5 F O 3 3
HO 1 L 21/768	HO 1 L 21/90	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2003-106285 (P2003-106285)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成15年4月10日 (2003. 4. 10)	(74) 代理人	100089233 弁理士 吉田 茂明
		(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	大崎 明彦 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

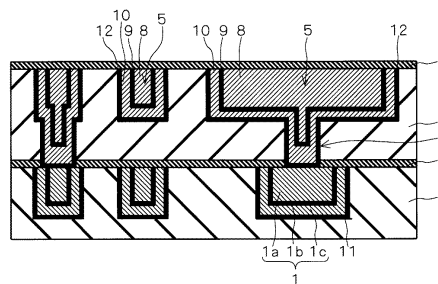
(54) 【発明の名称】 配線構造

(57) 【要約】

【課題】 配線部に対する熱負荷が原因として発生する、ストレスマイグレーション不良（ビアプラグ底面におけるボイドの成長が原因となる導通不良）を抑制することができる配線構造を提供することを目的とする。

【解決手段】 本発明に係る配線構造が有する配線部（上層配線5、下層配線1）は、第一の導電体1a、8と、第二の導電体1c、10と、前記第一の導電体1a、8と前記第二の導電体1c、10との間に介在する中間導電体膜1b、9とを、有している。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第一の導電体部と、  
 第二の導電体部と、  
 前記第一の導電体部と前記第二の導電体部との間に介在する中間導電体膜とを、  
 有する第一の配線部を、  
 備えていることを特徴とする配線構造。

## 【請求項 2】

配線部は複数であり、  
 当該複数の配線部は、前記中間導電体膜を有する前記第一の配線部と、前記中間導電体膜  
 を含まない第二の配線部とで、構成されている、  
 ことを特徴とする請求項 1 に記載の配線構造。 10

## 【請求項 3】

前記第一の配線部は、所定の線幅以上の配線部に対して適用される、  
 ことを特徴とする請求項 2 に記載の配線構造。

## 【請求項 4】

前記第一の配線部と一体的に形成されているビアプラグを、さらに備えており、  
 前記第一の導電体部、前記第二の導電体部および前記中間導電体膜は、前記第一の配線部  
 から前記ビアプラグに亘って、形成されている、  
 ことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の配線構造。 20

## 【請求項 5】

前記中間導電体膜は、  
 Ti, TiN, W, WN, Ta, TaN, Zr, Cr, Ag, Ni, Sn, In, Mg,  
 Al, Hf, Nb, Pt, Pd, Co, CoW, CoWP のうち、少なくとも一種類を含有  
 することを、  
 特徴とする請求項 1 ないし請求項 4 のいずれかに記載の配線構造。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、配線構造に係る発明であって、例えば、上層配線と下層配線とがビアプラグ  
 によって接続されている配線構造に対して適用することができる。 30

## 【0002】

## 【従来技術】

従来より、多層配線構造で適用される配線としてアルミニウム配線が用いられていた。し  
 かし、抵抗値がアルミニウムよりも 30 ~ 40 % 低く、エレクトロマイグレーション耐性  
 に優れていることから、埋め込み銅配線の開発も進められている（例えば、特許文献 1 参  
 照）。

## 【0003】

多層配線構造は、通常、上層配線と下層配線と、両配線を接続するビアプラグとを備えて  
 いる。 40

## 【0004】

なお、埋め込み銅配線に関するその他の技術は、特許文献 2, 3, 4 および非特許文献 1  
 にも記載されている。

## 【0005】

## 【特許文献 1】

特開平 11 - 97441 号公報（第二頁）

## 【特許文献 2】

特開平 11 - 204644 号公報（第 1 図）

## 【特許文献 3】

特開 2000 - 183064 号公報（第 1 - 7 図） 50

## 【特許文献4】

特開2000-124310号公報(第1-3図および第5図)

## 【非特許文献1】

Technical Digest of International Interconnect Technology Conference 2002 「Thermal Stress of 140nm-width Cudamascene interconnects」、Norio OKADA et c 著(第136-138頁)

## 【0006】

## 【発明が解決しようとする課題】

ところで、銅配線に熱負荷が加わると、銅配線内部の応力勾配は大きくなる。これにより、従来の銅配線構造では、当該応力勾配を緩和するために、上層配線内および下層配線内に存在する微小なボイドが、ビアプラグの底面に引き寄せられるという現象が発生していた。

## 【0007】

上記現象により、ビアプラグ底面に微小なボイドが集中すると、ビアプラグと下層配線との接続部に大きなボイドが発生してしまい、当該箇所において導通不良(ストレスマイグレーション不良と呼ばれている)となる問題が発生していた。

## 【0008】

特に、太い銅配線を用いた場合に、ストレスマイグレーション不良は、より発生し易くなる傾向にあった。これは、配線が太くなると、当該配線部には多くの微小なボイドを含有することになり、また、配線内部で発生する応力勾配も大きくなるからだと考えられている。

## 【0009】

そこで、この発明は、ストレスマイグレーション不良(ビアプラグ底面におけるボイドの発生)を抑制することができる配線構造を提供することを目的とする。

## 【0010】

## 【課題を解決するための手段】

上記の目的を達成するために、本発明に係る請求項1に記載の配線構造は、第一の導電体部と、第二の導電体部と、前記第一の導電体部と前記第二の導電体部との間に介在する中間導電体膜とを、有する第一の配線部を備えている。

## 【0011】

## 【発明の実施の形態】

以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

## 【0012】

## &lt;実施の形態1&gt;

本実施の形態に係る配線構造の概略断面図を図1に示す。

## 【0013】

図1において、カーボンを含有したシリコン酸化膜等により構成される、いわゆる低比誘電率(low k)である第一の層間絶縁膜2の表面内に、下層配線1が配設されている。

## 【0014】

ここで、下層配線1は、銅で構成される、第一の導電体1aと第二の導電体1cと、当該第一の導電体1aと第二の導電体1cとの間に介在する、厚さ約20nm程度の中間導電体膜1bとから構成されている。

## 【0015】

中間導電体膜1bの厚さは、これに限るものではないが、当該中間導電体膜1bを形成することによる下層配線1全体の電気抵抗の上昇を考慮すると、配線膜厚の約10%以下程度であることが望ましい。

## 【0016】

また、中間導電体膜1bは、Ti(チタン)、TiN(窒化チタン)、W(タングステン)、WN(窒化タングステン)、Ta(タンタル)、TaN(窒化タンタル)、Zr(ジ

10

20

30

40

50

ルコニウム), Cr (クロム), Ag (銀), Ni (ニッケル), Sn (錫), In (インジウム), Mg (マグネシウム), Al (アルミニウム), Hf (ハフニウム), Nb (ニオブ), Pt (白金), Pd (パラジウム), Co (コバルト), CoW (コバルト-タングステン), CoWP (コバルト-タングステン-リン)等の金属のうち、少なくとも一種類の金属を含有することにより、形成される。

【0017】

具体的に、中間導電体膜1bは、上記各金属の単体、上記各金属の組み合わせから成る合金、あるいは銅と上記金属のうち少なくとも一種類の金属とから構成される合金であってもよい。

【0018】

なお、下層配線1を構成する導電体材料(銅)が第一の層間絶縁膜2内に拡散するのを防止するために、下層配線1と第一の層間絶縁膜2との間には、バリアメタル層(例えば、Ti、TiN、TaまたはTan等)11が形成されている。

【0019】

さらに、図1において、第一の層間絶縁膜2を覆うようにエッチストップ膜3が形成されており、当該エッチストップ膜3上には、lowk材料から成る第二の層間絶縁膜4が形成されている。

【0020】

ここで、エッチストップ膜3は、エッチングストップとしての役割の他に、下層配線1を構成する導電体材料(銅)の拡散を防止する役割も担っている。したがって、下層配線1が銅で構成されている場合には、エッチストップ膜3としてSiN(シリコン窒化膜)やSiC(炭化シリコン)等を採用することが望ましい。

【0021】

さらに、図1において、第二の層間絶縁膜4の表面内には、上層配線5が配設されており、所定の上層配線5と下層配線1とを接続するように、ビアプラグ6が形成されている。さらに、第二の層間絶縁膜4および上層配線5を覆うように、エッチストップ膜7が形成されている。

【0022】

所定の上層配線5とビアプラグ6とは、一体的に形成されているが、当該一体成形されている上層配線5とビアプラグ6は、銅で構成される、第一の導電体8と第二の導電体10と、第一の導電体8と第二の導電体10との間に介在する中間導電体膜9とから構成されている。

【0023】

ここで、第一の導電体8、中間導電体膜9および第二の導電体10は、上層配線5からビアプラグ6に亘って形成されている。

【0024】

その他、ビアプラグ6と接続せず、単独で配設されている上層配線5は、下層配線1と同じ構成であり、第一の導電体8/中間導電体膜9/第二の導電体10により構成されている。

【0025】

また、中間導電体膜9の厚さや、適用材料等は、下層配線1で説明した中間導電体膜1bと同様である。

【0026】

なお、上層配線5およびビアプラグ6を構成する導電体材料(銅)が第二の層間絶縁膜4内に拡散するのを防止するために、上層配線5と第二の層間絶縁膜4との間および、ビアプラグ6と第二の層間絶縁膜4との間には、TiC等のバリアメタル層12が形成されている。

【0027】

次に、図1で示した配線構造の製造方法について説明する。

【0028】

10

20

30

40

50

まず、図示していない基板上に、CVD (Chemical Vapor Deposition) 法等により、第一の層間絶縁膜 2 を形成する。次に、通常のリソグラフィ工程により、第一の層間絶縁膜 2 の表面内に溝部 15 を作成する。次に、イオンスパッタリング法やCVD法等により、当該溝部 15 にバリアメタル層 11 を形成する (図 2)。

【0029】

ここで、溝部 15 として、深さは 250 nm 程度、幅は最小のもので 140 nm 程度である。また、バリアメタル層 11 の膜厚は、約 25 nm である。

【0030】

次に、バリアメタル層 11 が形成されている溝部 15 に対して、スパッタリング法を施すことにより、当該バリアメタル層 11 上に膜厚 40 nm 程度の銅膜を形成する。その後、さらに熱CVD法により、前記 40 nm 程度の膜厚の銅膜上に、膜厚 30 nm 程度の銅膜を形成する。したがって、バリアメタル層 11 上には、約 70 nm の膜厚を有する銅膜 (以下、第二の導電体とする) 1c が形成されることとなる (図 3)。

10

【0031】

次に、イオンスパッタリング法により、第二の導電体 1c 上に、膜厚 20 nm 程度のCr膜等 (以下、中間導電体膜とする) 1b を形成する (図 4)。

【0032】

次に、イオンスパッタリング法により、中間導電体膜 1b 上に、膜厚 40 nm の銅シード層を形成する。次に、電界メッキ法により、当該シード層を基にして、膜厚約 300 nm 程度の銅膜 (以下、第一の導電体とする) 1a を形成する。ここで、硫酸銅を主成分とした液体に適当な添加物を加えた溶液を用いて電界メッキ処理を施すことにより、幅の狭い溝部 15 の底面からの膜成長速度を早くすることができる (ボトムアップフィル) とともに、微細なパターンに対する第一の導電体 1a の埋め込み性を向上させることができる。その後、CMP (Chemical Mechanical Polishing) 法を用いた平坦化処理により、第一の層間絶縁膜 2 の表面上に形成された、第一の導電体 1a、中間導電体膜 1b、第二の導電体 1c およびバリアメタル層 11 を除去する (図 5)。

20

【0033】

これにより、第一の層間絶縁膜 2 の表面内に、第一の導電体 1a、中間導電体膜 1b および第二の導電体 1c から成る下層配線 1 が配設される。

【0034】

さて次に、下層配線 1 および第一の層間絶縁膜 2 を覆うように、CVD 法によりエッチストップ膜 3 を形成し、同じくCVD法により当該エッチストップ膜 3 上に、第二の層間絶縁膜 4 を形成する。その後、通常のリソグラフィ工程により、溝部 16 を形成し、一部の溝部 16 には、さらに下層配線 1 に到達する孔部 17 を形成する (図 6)。

30

【0035】

ここで、溝部 16 として、深さは 250 nm 程度、幅は最小のもので 140 nm 程度である。また、孔部 17 の深さは、約 250 nm 程度である。

【0036】

次に、孔部 17 の底面および側面と、溝部 16 の側面に対して、イオンスパッタリング法を施すことにより、膜厚約 25 nm のバリアメタル層 12 を形成した後、同じくイオンスパッタリング法により、当該バリアメタル層 12 上に、孔部 17 の底部における膜厚が約 40 nm の銅膜を形成する。その後、さらに熱CVD法を施すことにより、前記で形成された銅膜上に、膜厚 30 nm 程度の銅膜を形成する。したがって、バリアメタル層 12 上には、孔部 17 の底部において約 70 nm の膜厚を有する銅膜 (以下、第二の導電体とする) 10 が形成されることとなる (図 7)。

40

【0037】

ここで、イオンスパッタリング法により、孔部 17 の底部に形成される銅膜の厚さは、約 40 nm であるが、溝部 16 の側面と孔部 17 の側面とに形成される銅膜の厚さは、10 nm 以下となる。

【0038】

50

したがって、熱CVD法により形成される銅膜の厚さは、前記工程により形成された銅膜上に均一に形成されるので、溝部16の側面と孔部17の側面には、合計厚さ40nm程度以下の銅膜(第二の導電体)10が形成されることとなる。

【0039】

よって、溝部16の最小幅が140nmであることから、溝部16の両側面に厚さ約40nmの第二の導電体10が形成されたとしても、当該第二の導電体膜10によって、最小幅の溝部16でも完全には埋め込まれていない状況となる(図7)。

【0040】

次に、イオンスパッタリング法により、第二の導電体10上に、膜厚20nm程度のCr等の中間導電体膜9を形成する(図8)。

【0041】

次に、イオンスパッタリング法により、中間導電体膜9上に、膜厚40nmの銅シード層を形成する。次に、電界メッキ法により、当該シード層を基にして、膜厚約600nm程度の銅膜(以下、第一の導電体とする)8を形成する(図9)。

【0042】

ここで、硫酸銅を主成分とした液体に適当な添加物を加えた溶液を用いて電界メッキ処理を施すことにより、孔部17や幅の狭い溝部16の底面からの膜成長速度を早くすることができる(ボトムアップフィル)とともに、微細なパターンに対する第一の導電体8の埋め込み性を向上させることができる。

【0043】

その後、CMP法を用いた平坦化処理により、第二の層間絶縁膜4の表面上に形成された、第一の導電体8、中間導電体膜9、第二の導電体10およびバリアメタル層12を除去する(図10)。

【0044】

これにより、第二の層間絶縁膜4の表面内に、第一の導電体8、中間導電体膜9および第二の導電体10から成る上層配線5と、ビアプラグ6とを形成することができる。

【0045】

最後に、上層配線5および第二の層間絶縁膜4を覆うように、CVD法によりエッチストップ膜7を形成することにより、図1に示す配線構造を作成することができる。

【0046】

以上により、形成された配線構造には、下層配線1および上層配線5内に中間導電体膜1b, 9が形成されているので、下記に示す効果を有する。

【0047】

つまり、従来技術において記載したように、熱負荷過程により、配線内に存する微小なボイドが、ビアプラグ底面に形成されているバリアメタル層に集中する(引き寄せられる)のは、ボイドがバリアメタル層に集中する(引き寄せられる)方が、配線内で点在するよりもエネルギー的に低くなり、安定するからだと考えられている。

【0048】

ここで、配線内に存する微小なボイド20が、ビアプラグの底部に引き寄せられる様子を図11に示す。また、その結果として、大きなボイド21がビアプラグの底部で発生する様子を図12に示す。

【0049】

そこで、本実施の形態に係る配線構造の様に、ボイドがビアプラグ6底面に形成されているバリアメタル層12に集中する(引き寄せられる)よりも、エネルギー的に低くなるような中間導電体膜1b, 9を、下層配線1、上層配線5内に導入することにより、ボイドは、中間導電体膜1b, 9にも引き寄せられる。当該様子を図13に示す。

【0050】

ここで、中間導電体膜1b, 9として上記に列挙した金属(合金も含む)を採用することにより、ボイドは、当該バリアメタル層12と同程度か、それ以上の確率で、中間導電体膜1b, 9に引き寄せられる。

10

20

30

40

50

## 【0051】

したがって、熱負荷により従来では、ビアプラグ6底面に形成されているバリアメタル層12に集中していたボイドが、中間導電体膜1b, 9にも引き寄せられることにより、当該バリアメタル層12における、大きなボイドの発生を抑制することができる。よって、ビアプラグ6における導通不良(ストレスマイグレーション不良)をなくすることができる。

## 【0052】

また、上記で説明した配線構造からも分かるように、中間導電体膜1b, 9は、配線方向に沿って形成されている。つまり、中間導電体膜1b, 9は、ビアプラグの底面に形成されているバリアメタル層12よりも大きな面積で形成されている。

10

## 【0053】

したがって、従来では、一箇所に集中していたボイドが、中間導電体膜1b, 9に沿って満遍なく引き寄せられることとなり、当該中間導電体膜1b, 9において、大きなボイドが発生することも無く、配線の導通に影響を及ぼすこともない。

## 【0054】

なお、本実施の形態において、下層配線1と第一の層間絶縁膜2との間および、上層配線5と第二の層間絶縁膜4との間に、バリアメタル層11, 12を設ける構成について説明したが、当該バリアメタル層11, 12は、本発明の必須部材でないため、これを省略することもできる。

## 【0055】

また、ビアプラグ6と接続されている上層配線5に関しては、中間導電体膜9は、当該上層配線5とビアプラグ6とに亘って形成される場合について言及した。しかし、他の上層配線5や下層配線1と同様に、中間導電体膜9を上層配線5内でのみ形成する構成としても同様の効果を得ることができる。

20

## 【0056】

したがって、どちらの構成を採用するかは、製造の容易性を考慮して決定されることとなる。

## 【0057】

<実施の形態2>

実施の形態1では、全ての下層配線および上層配線に対して、中間導電体膜を形成する場合について言及した。しかし、本実施の形態では、所定の線幅以上の、下層配線および上層配線に対してのみ、中間導電体膜を形成することが特徴である。

30

## 【0058】

図14に、本実施の形態に係る配線構造の概略断面図を示す。

## 【0059】

図14示すように、所定の線幅以上の、下層配線1および上層配線5内に中間導電体膜1b, 9が形成されている。他方で、所定の線幅より小さい、下層配線1および上層配線5は、従来技術の銅配線の構成と同様に、銅のみで構成されている。その他の構成は、実施の形態1で説明した図1の構成と同じなので、ここでの説明は省略する。

## 【0060】

ここで、所定の線幅として、例えば配線厚が250nm程度の配線であれば、0.7μm以上の線幅が考えられる。

40

## 【0061】

次に、図14で示した配線構造の製造方法について説明する。

## 【0062】

はじめに、図2で示したように、溝部15が形成された第一の層間絶縁膜2を用意する。ここで、溝部15にはバリアメタル層11が形成されている。

## 【0063】

次に、イオンスパッタリング法により、バリアメタル層11上に膜厚約80nmの銅のシード層を形成する。次に、電界メッキ法を用いて、当該シード層を基にして、膜厚約80

50

nmの第二の導電体1cを形成する(図15)。

【0064】

ここで、硫酸銅を主成分とした液体に適当な添加物を加えた溶液を用いて電界メッキ処理を施すことにより、所定の幅より小さい溝部15における銅の埋め込み速度を、所定の幅以上の溝部15における埋め込み速度よりも早くすることができる。つまり、ボトムアップフィルを採用するのである。また、当該ボトムアップフィルにより、狭い溝部15への埋め込み性が向上する。

【0065】

したがって、本実施の形態では、図15に示すように、所定の幅以上の溝部15に対しては、途中まで第二の導電体1cが充填され、所定の幅より小さい溝部15に対しては、完全に第二の導電体1cが充填される。

10

【0066】

次に、実施の形態1と同様の方法により、図15で示した製造途中の配線構造に対して、中間導電体膜1bを形成し(図16)、当該中間導電体膜1b上に第一の導電体1aを形成し、CMP法により、第一の層間絶縁膜2の上面に形成されている第一の導電体1a、中間導電体膜1bおよび第二の導電体1cを除去する(図17)。

【0067】

これにより、図17に示すように、第一の層間絶縁膜2の表面内に下層配線1が配設される。ここで、所定の線幅以上の下層配線1は、第一の導電体1a/中間導電体膜1b/第二の導電体膜1cの積層構造を構成を有しているが、所定の線幅より小さい下層配線1は、単純に銅から成る導電体のみで構成されている。ここで、中間導電体膜1bの材料として、実施の形態1で列挙したものを採用する。

20

【0068】

次に、実施の形態1と同様の方法により、下層配線1および第一の層間絶縁膜2を覆うようにエッチストップ膜3を形成し、当該エッチストップ膜3上に第二の層間絶縁膜4を形成する。その後、通常のリソグラフィ工程により、溝部16と孔部17を作成する(図18)。

【0069】

ここで、溝部16として、深さは250nm程度、幅は最小のもので140nm程度である。また、孔部17の深さは、約250nm程度である。

30

【0070】

次に、実施の形態1と同様の方法により、溝部16、孔部17にバリアメタル層12を形成する。次に、イオンスパッタリング法により、バリアメタル層12上に膜厚約80nmの銅のシード層を形成する。次に、電界メッキ法を用いて、当該シード層を基にして、膜厚約80nmの第二の導電体10を形成する(図19)。

【0071】

ここで、下層配線1を作成するときのように、ボトムアップフィルを採用することにより、孔部17と幅の狭い溝部16は、この時点で第二の導電体10によって完全に埋め込まれる(つまり、この時点で、幅の狭い上層配線5とビアプラグ6が形成される)。これに対して、幅の広い溝部16は、この時点では第二の導電体10によって完全に埋め込まれることはない(図19)。

40

【0072】

次に、実施の形態1で説明した方法と同様の方法により、第二の導電体10上に中間導電体膜9および第一の導電体膜8を当該順で形成し、その後、平坦化処理を施すことにより、第二の層間絶縁膜4の表面内には、所定の線幅以上の上層配線5が形成される(図20)。

【0073】

最後に、上層配線5および第二の層間絶縁膜4を覆うように、CVD法によりエッチストップ膜7を形成することにより、図14に示す配線構造を作成することができる。

【0074】

50



以上により、形成された配線構造は、所定の線幅以上の、下層配線 1 および上層配線 5 に対して、中間導電体膜 1 b , 9 が形成されるので、以下に示す効果を有する。

【0075】

通常、銅から成る配線の内部に上記で列挙した部材を中間導電体膜 1 b , 9 として導入した場合、当該中間導電体膜 1 b , 9 の膜厚の分だけ銅の膜厚が減少する。したがって、当該銅の膜厚が減少した分（つまり、中間導電体膜 1 b , 9 に置換した分）だけ、電気抵抗が上昇する場合があります。

【0076】

さらに、配線幅の狭い配線に対して中間導電体膜 1 b , 9 を導入した場合には、バリアメタル層 1 1 , 1 2 との界面に加えて、中間導電体膜 1 b , 9 での電子散乱が大きく影響を及ぼし、上記銅の膜厚減少分以上の電気抵抗の上昇が発生してしまう。当該電気抵抗の上昇は、配線を伝達する信号に遅延を招き、高速デバイスの場合に特に問題となる。

10

【0077】

一方で、従来より、配線幅の狭い配線では、配線全体に拡散しているボイドの合計体積もそれほど大きなものでなく、さらに、配線全体の体積も小さいことから、熱負荷により発生する応力勾配も小さくなるため、ビアプラグ 6 の底面にほとんどボイドが集中することがなく、実使用上、ほとんど問題とはなっていなかった。

【0078】

そこで、ボイドの発生と電気抵抗の上昇とを比較考量して、所定の配線幅以上の配線に対しては、電気抵抗の上昇よりも、ビアプラグ 6 の底面で発生するボイドの影響の方が大きいので、当該箇所でのボイドの発生を抑制するために中間導電体膜 1 b , 9 を形成することとし、他方、所定の配線幅未満の配線に対しては、ボイドの発生がほとんど無く、中間導電体膜 1 b , 9 の導入に際しての電気抵抗の上昇の方が影響力が大きくなるので、中間導電体膜 1 b , 9 を形成しない構成としている。

20

【0079】

これにより、配線幅の狭い配線では、中間導電体膜 1 b , 9 が存するためにより発生する電気抵抗の上昇を防止することができ、配線幅の太い配線では、ボイドのビアプラグ 6 の底面における集中発生を抑制することができる。

【0080】

ここで、本実施の形態に係る配線構造における、微小なボイドの移動状況を概念的に表した図を、図 2 1 に示す。

30

【0081】

なお、配線幅の太い配線においても、中間導電体膜 1 b , 9 を導入したことによる、当該中間導電体膜 1 b , 9 の膜厚に相当する分の電気抵抗の上昇は発生する。しかし、配線幅の太い配線では、全体に対する中間導電体膜 1 b , 9 の比率は、大きくはならないので、当該電気抵抗の上昇程度は問題視するほどのものでない。

【0082】

また、本実施の形態においても、バリアメタル層 1 1 , 1 2 は、本発明の必須部材でないため、これを省略することもできる。

【0083】

なお、上記実施の形態では、第一の導電体 1 a , 8、第二の導電体 1 c , 1 0 として銅の場合について言及したが、これに限るものでなく、ストレスマイグレーション不良が発生し得る他の導電体に対しても適用することができる。

40

【0084】

【発明の効果】

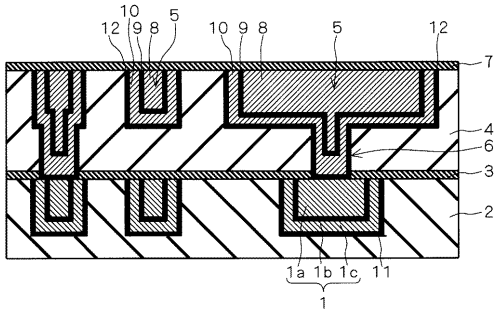
本発明の請求項 1 に記載の配線構造は、第一の導電体部と、第二の導電体部と、前記第一の導電体部と前記第二の導電体部との間に介在する中間導電体膜とを、有する配線部を備えているので、配線部に存する微小なボイドは、中間導電体膜に満遍なく引き寄せられ、一箇所に偏在する大きなボイドの発生を抑制することができる。

【図面の簡単な説明】

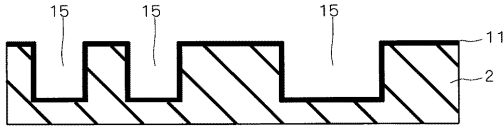
50

- 【図 1】実施の形態 1 に係る配線構造を示す断面図である。
- 【図 2】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 3】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 4】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 5】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 6】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 7】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 8】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 9】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。
- 【図 10】実施の形態 1 に係る配線構造の製造方法を説明する断面図である。 10
- 【図 11】従来の配線構造において、微小ボイドの移動の様子を概念的に示した図である。
- 【図 12】ビアプラグ底部において、発生する大きなボイドの様子を示した図である。
- 【図 13】実施の形態 1 の配線構造において、微小ボイドの移動の様子を概念的に示した図である。
- 【図 14】実施の形態 2 に係る配線構造を示す断面図である。
- 【図 15】実施の形態 2 に係る配線構造の製造方法を説明する断面図である。
- 【図 16】実施の形態 2 に係る配線構造の製造方法を説明する断面図である。
- 【図 17】実施の形態 2 に係る配線構造の製造方法を説明する断面図である。
- 【図 18】実施の形態 2 に係る配線構造の製造方法を説明する断面図である。 20
- 【図 19】実施の形態 2 に係る配線構造の製造方法を説明する断面図である。
- 【図 20】実施の形態 2 に係る配線構造の製造方法を説明する断面図である。
- 【図 21】実施の形態 2 の配線構造において、微小ボイドの移動の様子を概念的に示した図である。
- 【符号の説明】
- 1 下層配線、1 a, 8 第一の導電体、1 b, 9 中間導電体膜、1 c, 10 第二の導電体、2 第一の層間絶縁膜、3, 7 エッチングストップ膜、4 第二の層間絶縁膜、5 上層配線、6 ビアプラグ、11, 12 バリアメタル層、15, 16 溝部、17 孔部、20 微小なボイド、21 大きなボイド。

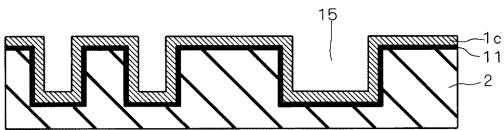
【 図 1 】



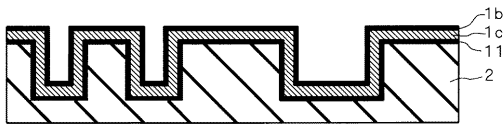
【 図 2 】



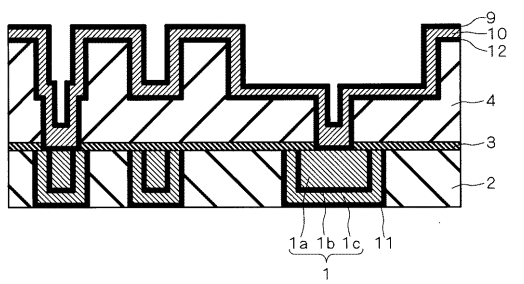
【 図 3 】



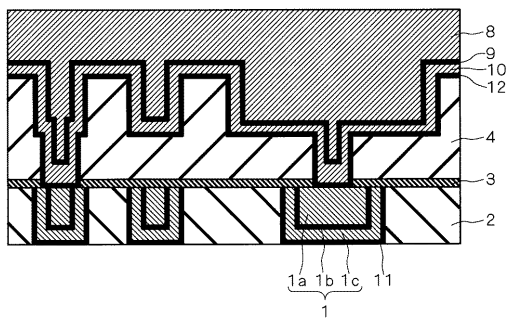
【 図 4 】



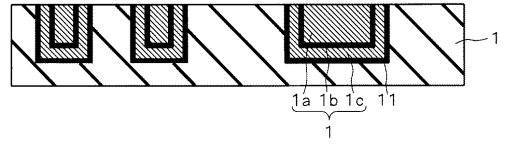
【 図 8 】



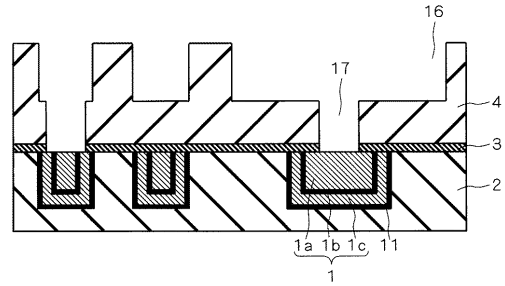
【 図 9 】



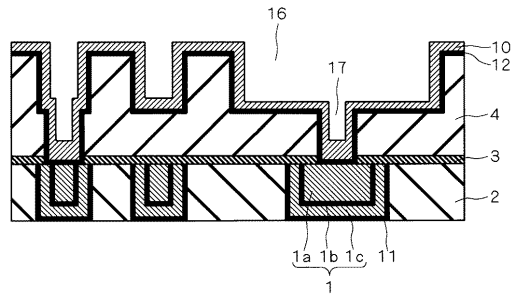
【 図 5 】



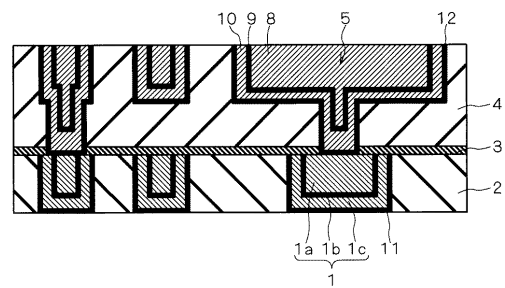
【 図 6 】



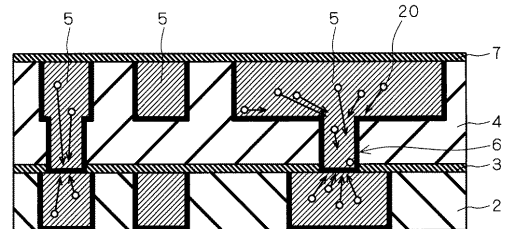
【 図 7 】



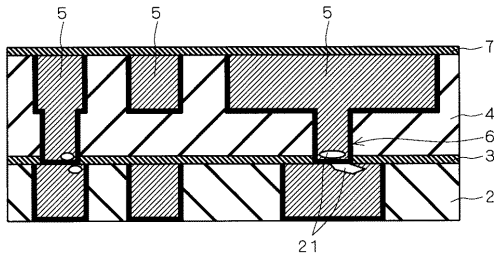
【 図 10 】



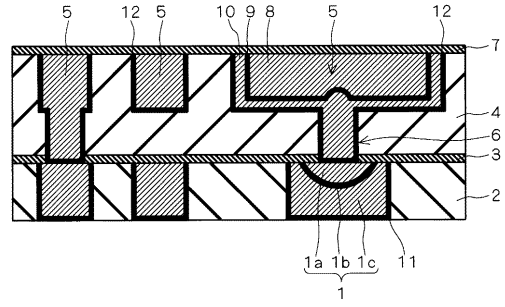
【 図 11 】



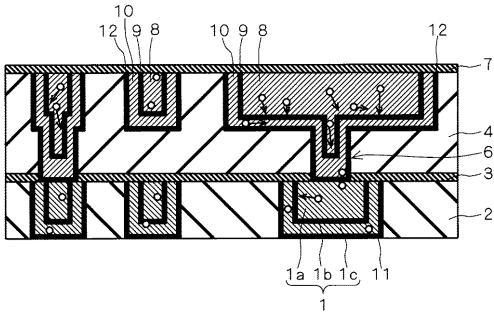
【 図 1 2 】



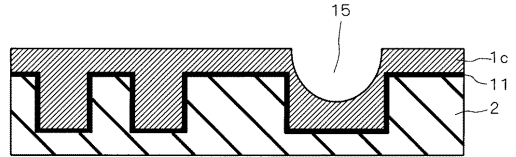
【 図 1 4 】



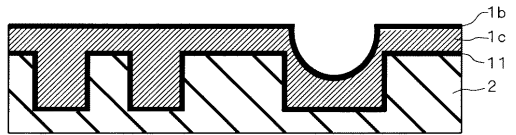
【 図 1 3 】



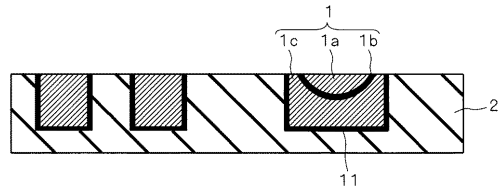
【 図 1 5 】



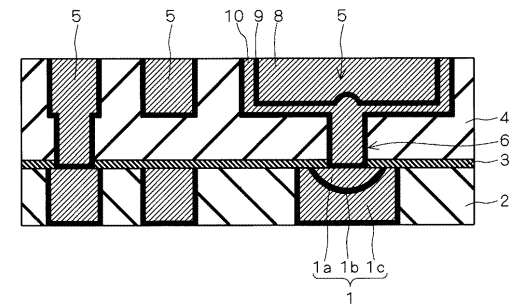
【 図 1 6 】



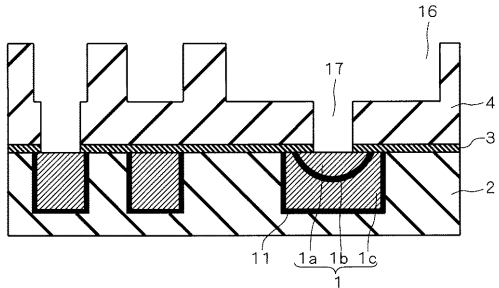
【 図 1 7 】



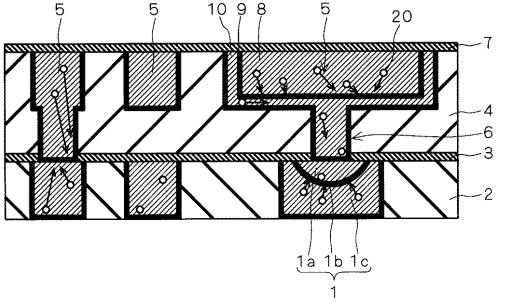
【 図 2 0 】



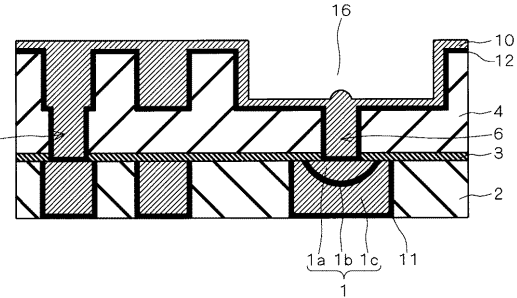
【 図 1 8 】



【 図 2 1 】



【 図 1 9 】



---

フロントページの続き

F ターム(参考) 5F033 HH07 HH08 HH11 HH14 HH15 HH17 HH18 HH19 HH21 HH32  
HH33 HH34 HH36 JJ07 JJ08 JJ11 JJ14 JJ15 JJ17 JJ18  
JJ19 JJ21 JJ32 JJ33 JJ34 JJ36 KK07 KK08 KK11 KK14  
KK15 KK17 KK18 KK19 KK21 KK32 KK33 KK34 MM01 MM02  
MM08 MM12 MM13 MM17 NN06 NN07 PP06 PP15 PP27 QQ09  
QQ25 QQ37 QQ48 RR01 RR06 SS11 XX01 XX06 XX09 XX10  
XX28