

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-196393
(P2013-196393A)

(43) 公開日 平成25年9月30日 (2013.9.30)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/08 (2006.01)	G06F 12/08 541B	5B005
	G06F 12/08 511E	
	G06F 12/08 543B	

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2012-62897 (P2012-62897)
(22) 出願日 平成24年3月19日 (2012.3.19)

(71) 出願人 00005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100070150
弁理士 伊東 忠彦
(74) 代理人 100146776
弁理士 山口 昭則
(72) 発明者 高木 紀子
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
Fターム(参考) 5B005 JJ01 PP23 TT02 VV11 WW02
WW11

(54) 【発明の名称】 演算処理装置及び演算処理装置の制御方法

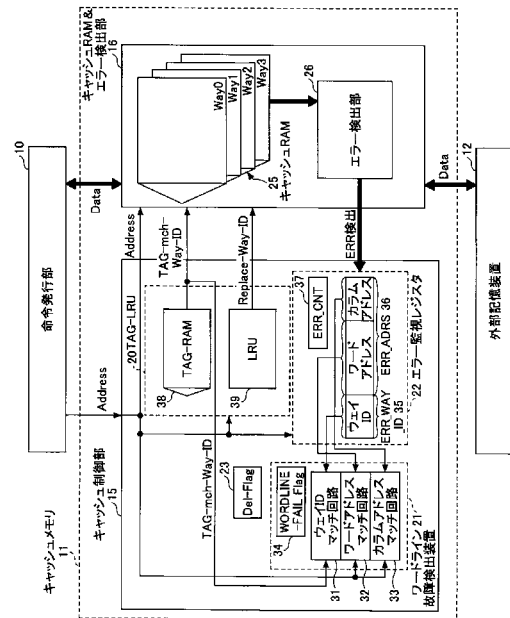
(57) 【要約】

【課題】ワードライン故障を適切に救済可能な演算処理装置を提供する。

【解決手段】演算処理装置は、キャッシュラインに発生したエラーを検出するエラー検出部と、第1のエラーが発生したキャッシュラインのエラーウェイ識別情報、エラーワードアドレス、及びエラーカラムアドレスを保持するレジスタと、アクセス対象のキャッシュラインのウェイ識別情報をエラーウェイ識別情報と比較するウェイ比較部と、アクセス対象のキャッシュラインのワードアドレスをエラーワードアドレスと比較するワード比較部と、アクセス対象のキャッシュラインのカラムアドレスをエラーカラムアドレスと比較するカラム比較部と、第1のエラー発生後にエラー検出部が第2のエラーを検出した場合、ウェイ比較部、ワード比較部及びカラム比較部のそれぞれの比較結果に応じて、故障が発生したワードラインを共有するキャッシュラインを全て無効化する制御部とを有する。

【選択図】 図1

演算処理装置の構成の一例を示す図



【特許請求の範囲】**【請求項 1】**

データを記憶する主記憶装置に接続された演算処理装置において、
メモリアクセス要求を出力する命令処理部と、
前記記憶装置に記憶されたデータの一部を、複数のウェイ毎に設けられた複数のキャッシュラインに保持するキャッシュメモリ本体部と、
前記複数のキャッシュラインのいずれかに発生したエラーを検出するエラー検出部と、
前記エラー検出部が、前記複数のキャッシュラインのいずれかに発生した第 1 のエラーを検出した場合、前記第 1 のエラーが発生したキャッシュラインのウェイを特定するエラーウェイ識別情報を保持するエラーウェイレジスタと、
前記第 1 のエラーが発生したキャッシュラインのワードアドレスを保持するエラーワードアドレスレジスタと、
前記第 1 のエラーが発生したキャッシュラインのカラムアドレスを保持するエラーカラムアドレスレジスタと、
アクセス対象のキャッシュラインのウェイ識別情報を、前記エラーウェイ識別情報と比較するウェイ比較部と、
前記アクセス対象のキャッシュラインのワードアドレスを、前記エラーワードアドレスと比較するワード比較部と、
前記アクセス対象のキャッシュラインのカラムアドレスを、前記エラーカラムアドレスと比較するカラム比較部と、
前記第 1 のエラーが発生した後、前記エラー検出部が、前記メモリアクセス要求により、前記複数のキャッシュラインのいずれかに発生した第 2 のエラーを検出した場合、前記ウェイ比較部、前記ワード比較部及び前記カラム比較部のそれぞれの比較結果に応じて、故障が発生したワードラインを共有するキャッシュラインを全て無効化する制御部と
を有することを特徴とする演算処理装置。

10

20

【請求項 2】

前記制御部はさらに、前記ウェイ比較部、前記ワード比較部及び前記カラム比較部のそれぞれの比較結果に応じて、ビット故障が発生したキャッシュラインを無効化することを特徴とする請求項 1 記載の演算処理装置。

【請求項 3】

前記制御部はさらに、前記ウェイ比較部、前記ワード比較部及び前記カラム比較部のそれぞれの比較結果に応じて、前記検出部が最後にエラーを検出したキャッシュラインのみを無効化することを特徴とする請求項 1 又は 2 記載の演算処理装置。

30

【請求項 4】

前記演算処理装置はさらに、前記複数のキャッシュラインのいずれかに発生し前記エラー検出部により検出されたエラーの回数であるエラー回数を計数する計数部を有し、前記制御部はさらに、前記計数部が計数したエラー計数が所定値を超えた場合において、前記制御部は、前記ウェイ比較部、前記ワード比較部及び前記カラム比較部のそれぞれの比較結果に応じて、前記複数のウェイのうち前記エラーウェイ識別情報で特定されるウェイ以外のウェイをリプレースすることを特徴とする請求項 1 乃至 3 何れか一項記載の演算処理装置。

40

【請求項 5】

前記演算処理装置はさらに、前記複数のキャッシュラインの同一のキャッシュラインに発生し前記エラー検出部により検出されたエラーの回数であるエラー回数を計数する計数部を有し、前記制御部はさらに、前記計数部が計数したエラー計数が所定値を超えた場合において、前記制御部は、前記ウェイ比較部、前記ワード比較部及び前記カラム比較部のそれぞれの比較結果に応じて、前記複数のウェイのうち前記エラーウェイ識別情報で特定されるウェイ以外のウェイをリプレースすることを特徴とする請求項 1 乃至 3 何れか一項記載の演算処理装置。

【請求項 6】

50

メモリアクセス要求を出力する命令処理部と、主記憶装置に記憶されたデータの一部を複数のウェイ毎に設けられた複数のキャッシュラインに保持するキャッシュメモリ本体部とを含み、データを記憶する前記主記憶装置に接続された演算処理装置において、

前記複数のキャッシュラインのいずれかに発生した第1のエラーを検出し、

前記第1のエラーの検出に応答して、前記第1のエラーが発生したキャッシュラインのウェイを特定するエラーウェイ識別情報をエラーウェイレジスタに格納し、

前記第1のエラーの検出に応答して、前記第1のエラーが発生したキャッシュラインのワードアドレスをエラーワードアドレスレジスタに格納し、

前記第1のエラーの検出に応答して、前記第1のエラーが発生したキャッシュラインのカラムアドレスをエラーカラムアドレスレジスタに格納し、

前記複数のキャッシュラインのいずれかに発生した第2のエラーを検出し、

前記第2のエラーの検出に応答し、アクセス対象のキャッシュラインのウェイ識別情報を前記エラーウェイ識別情報と比較した第1の結果と、前記アクセス対象のキャッシュラインのワードアドレスを前記エラーワードアドレスと比較した第2の結果と、前記アクセス対象のキャッシュラインのカラムアドレスを前記エラーカラムアドレスと比較した第3の結果とに応じて、故障が発生したワードラインを共有するキャッシュラインを全て無効化する

各段階を含むことを特徴とする演算処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算処理装置及び演算処理装置の制御方法に関する。

【背景技術】

【0002】

半導体技術の微細化に伴い、キャッシュRAM(Random Access Memory)内部でのエラー発生率が上昇している。RAMには、縦方向に延びる複数のビットライン及び横方向に延びる複数のワードラインが設けられており、各交点に1ビットのメモリセルが配置される。RAMからデータを読み出す際は、ワードラインのアドレス(ワードアドレス)とビットラインのアドレス(カラムアドレス)とを指定し、指定された交点位置のデータを読み出す。

【0003】

半導体の微細化が進みワードライン間の距離が縮小した結果、ショート等を原因としたRAMのワードライン故障が発生するようになってきている。ワードライン故障が発生すると、このワードラインによって読み書きされる全てのメモリセルに対するアクセスが誤動作となる。例えば、4カラム構成のキャッシュRAMであり1つのRAMアクセスアドレスが1つのキャッシュラインに相当する場合、ワードラインが一致しカラムアドレスが異なる4つのRAMアクセスアドレスが1つのワードラインを共有しており、結果4つのキャッシュラインが1つのワードラインを共有している。このようなキャッシュRAMにおいてワードライン故障が発生すると、故障したワードラインを共有する4つのRAMアクセスアドレスが指す全ビットについて、アクセス動作が誤動作となる。従って、これら4つのRAMアクセスアドレスに対応する4つのキャッシュラインが使用できなくなる。

【0004】

キャッシュRAMのエラー救済方法として、幾つかの技術が存在する。特許文献1に記載の構成において、キャッシュ制御部には複数の動作ビットが設けられており、キャッシュメモリの各ラインにそれぞれ対応付けられている。この動作ビットは、キャッシュメモリが正常に動作しているか否かを示すビットであり、正常時は「有効」を示している。故障が見つかった場合、故障したラインに対応する動作ビットが「無効」に設定される。キャッシュへのアクセスの際は、アクセス対象のデータが含まれるラインの動作ビットが「有効」を示しているか否かを判断する。動作ビットが「有効」を示す場合は、キャッシュメモリへのアクセスが行われ、「無効」を示す場合は、キャッシュメモリではなく外部メ

10

20

30

40

50

メモリへのアクセスが行われる。

【0005】

特許文献2に記載の構成においては、故障したキャッシュラインアドレス及びキャッシュウェイを記憶する監視レジスタが設けられる。故障検出時、監視レジスタが故障アドレスと故障ウェイとを記憶し、同時に、該当キャッシュラインが無効化される。キャッシュメモリへのアクセスの際は、アクセス対象のキャッシュラインアドレスと監視レジスタのキャッシュラインアドレスとが比較される。両アドレスが一致した場合、当該アクセスは故障キャッシュラインへのアクセスであると判定される。故障キャッシュラインへのアクセスの場合、監視レジスタに記憶されている故障ウェイ以外にデータが登録されるように、制御が実行される（ブロックデリート）。また、監視レジスタに記憶されているウェイにおいて、異なるキャッシュラインでも故障が生じた場合には、該当ウェイ全体を縮退させ（ウェイデリート）、残りのウェイのみを用いて動作が継続される。

10

【0006】

特許文献1に示す構成では、キャッシュラインごとの縮退が可能であるため、ワードライン故障を救済可能である。しかしながら、キャッシュライン毎に動作ビットが必要であり、回路サイズが大きくなるという問題がある。

【0007】

特許文献2に示す構成では、ブロックデリートは、1つのキャッシュラインの故障のみを救済可能であり、複数キャッシュラインが同時に故障するワードライン故障を救済することはできない。またウェイデリートは、ワードライン故障を救済することができるが、必要以上に大きな領域（1つのウェイ全体）を縮退させてしまうために、無駄な性能低下が大きい。

20

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2011-8491号公報

【特許文献2】特許4392049号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

30

ワードライン故障を適切に救済可能な演算処理装置が望ましい。

【課題を解決するための手段】

【0010】

データを記憶する主記憶装置に接続された演算処理装置は、メモリアクセス要求を出力する命令処理部と、前記記憶装置に記憶されたデータの一部を、複数のウェイ毎に設けられた複数のキャッシュラインに保持するキャッシュメモリ本体部と、前記複数のキャッシュラインのいずれかに発生したエラーを検出するエラー検出部と、前記エラー検出部が、前記複数のキャッシュラインのいずれかに発生した第1のエラーを検出した場合、前記第1のエラーが発生したキャッシュラインのウェイを特定するエラーウェイ識別情報を保持するエラーウェイレジスタと、前記第1のエラーが発生したキャッシュラインのワードアドレスを保持するエラーワードアドレスレジスタと、前記第1のエラーが発生したキャッシュラインのカラムアドレスを保持するエラーカラムアドレスレジスタと、アクセス対象のキャッシュラインのウェイ識別情報を、前記エラーウェイ識別情報と比較するウェイ比較部と、前記アクセス対象のキャッシュラインのワードアドレスを、前記エラーワードアドレスと比較するワード比較部と、前記アクセス対象のキャッシュラインのカラムアドレスを、前記エラーカラムアドレスと比較するカラム比較部と、前記第1のエラーが発生した後、前記エラー検出部が、前記メモリアクセス要求により、前記複数のキャッシュラインのいずれかに発生した第2のエラーを検出した場合、前記ウェイ比較部、前記ワード比較部及び前記カラム比較部のそれぞれの比較結果に応じて、故障が発生したワードラインを共有するキャッシュラインを全て無効化する制御部とを有することを特徴とする。

40

50

【 0 0 1 1 】

メモリアクセス要求を出力する命令処理部と、主記憶装置に記憶されたデータの一部を複数のウェイ毎に設けられた複数のキャッシュラインに保持するキャッシュメモリ本体部とを含み、データを記憶する前記主記憶装置に接続された演算処理装置の制御方法は、前記複数のキャッシュラインのいずれかに発生した第1のエラーを検出し、前記第1のエラーの検出に応答して、前記第1のエラーが発生したキャッシュラインのウェイを特定するエラーウェイ識別情報をエラーウェイレジスタに格納し、前記第1のエラーの検出に応答して、前記第1のエラーが発生したキャッシュラインのワードアドレスをエラーワードアドレスレジスタに格納し、前記第1のエラーの検出に応答して、前記第1のエラーが発生したキャッシュラインのカラムアドレスをエラーカラムアドレスレジスタに格納し、前記複数のキャッシュラインのいずれかに発生した第2のエラーを検出し、前記第2のエラーの検出に応答し、アクセス対象のキャッシュラインのウェイ識別情報を前記エラーウェイ識別情報と比較した第1の結果と、前記アクセス対象のキャッシュラインのワードアドレスを前記エラーワードアドレスと比較した第2の結果と、前記アクセス対象のキャッシュラインのカラムアドレスを前記エラーカラムアドレスと比較した第3の結果とに応じて、故障が発生したワードラインを共有するキャッシュラインを全て無効化する各段階を含むことを特徴とする。

10

【 発明の効果 】

【 0 0 1 2 】

少なくとも1つの実施形態によれば、ワードライン故障を適切に救済可能な演算処理装置が提供される。

20

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 演算処理装置の構成の一例を示す図である。

【 図 2 】 キャッシュRAMの具体的な構成の一例を示す図である。

【 図 3 】 エラー監視レジスタ、Del-Flagレジスタ、及びワードライン故障フラグの制御、並びにリプレース対象のウェイの指定のための構成を示す図である。

【 図 4 】 LRUユニットの構成の一例を示す図である。

【 図 5 】 TAG-RAMの出力とLRUユニットの出力とに基づいてキャッシュRAMに供給するウェイIDを生成する構成の一例を示す図である。

30

【 図 6 】 キャッシュRAM&エラー検出部の構成の一例を示す図である。

【 図 7 】 故障キャッシュラインを誤りなく縮退させることが可能な構成の一例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 4 】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【 0 0 1 5 】

図1は、演算処理装置の構成の一例を示す図である。演算処理装置は、命令発行部10及びキャッシュメモリ11を含み、外部記憶装置12に接続される。命令発行部10は、キャッシュメモリ11に対してメモリアクセス要求を出力する。メモリアクセス要求がデータ書き込み要求の場合、命令発行部10は、書き込みデータと当該データの書き込み先を示す書き込みアドレスとをキャッシュメモリ11に供給する。メモリアクセス要求がデータ読み出し要求の場合、命令発行部10は、データの読み出し先を示す読み出しアドレスをキャッシュメモリ11に供給する。

40

【 0 0 1 6 】

キャッシュメモリ11は、キャッシュ制御部15及びキャッシュRAM&エラー検出部16を含む。キャッシュ制御部15は、TAG-LRUユニット20、ワードライン故障検出装置21、エラー監視レジスタ22、及びDel-Flagレジスタ23を含む。キャッシュRAM&エラー検出部16は、キャッシュRAM25及びエラー検出部26を含む。

50

【 0 0 1 7 】

ワードライン故障検出装置 2 1 は、ウェイ ID マッチ回路 3 1、ワードアドレスマッチ回路 3 2、カラムアドレスマッチ回路 3 3、及びワードライン故障フラグ (WORDLINE-FAIL Flag) 3 4 を含む。エラー監視レジスタ 2 2 は、エラーウェイレジスタ 3 5、エラーアドレスレジスタ 3 6、及びエラーカウンタ 3 7 を含む。TAG-LRU ユニット 2 0 は、TAG-RAM 3 8 及び LRU ユニット 3 9 を含む。

【 0 0 1 8 】

キャッシュメモリ 1 1 は、複数のキャッシュラインを含み、外部記憶装置 1 2 からキャッシュメモリ 1 1 への情報のコピーはキャッシュライン単位で実行される。主記憶である外部記憶装置 1 2 のメモリ空間はキャッシュライン単位で分割され、分割されたメモリ領域を順番にキャッシュラインに割当てておく。キャッシュメモリ 1 1 の容量は主記憶の容量よりも小さいので、主記憶のメモリ領域を繰り返して同一のキャッシュラインに割当てることになる。

10

【 0 0 1 9 】

一般に、アドレスの全ビットのうちで、所定数の下位ビットがキャッシュメモリのインデックスとなり、それより上位に位置する残りのビットがキャッシュメモリのタグとなる。TAG-RAM 3 8 が、これらのインデックスに対応するタグを格納している。なお図 1 に示すキャッシュメモリ 1 1 では、ウェイが 4 つ存在する 4 ウェイ構成を想定している。従って、各インデックスに対して、4 つのウェイに対応する 4 つのタグが格納される。キャッシュメモリ 1 1 は、外部記憶装置 1 2 に記憶されたデータの一部を、複数のウェイ毎に設けられた複数のキャッシュラインに保持することになる。

20

【 0 0 2 0 】

データをアクセスする場合には、アクセス先を示すアドレス中のインデックス部分を用いて、TAG-RAM 3 8 中の対応するインデックスのタグを読み出す。読み出したタグと、アドレス中のタグ部分のビットパターンとが一致するか否かを判断する。読み出した何れかのタグが一致する場合には、当該アクセスはキャッシュヒットとなる。読み出した何れのタグについても一致しない場合には、当該アクセスはキャッシュミスとなる。

【 0 0 2 1 】

キャッシュヒットの場合、該当インデックスの該当ウェイ (タグが一致したウェイ) に対応するキャッシュデータ (1 キャッシュライン分の所定ビット数のデータ) が、キャッシュ RAM 2 5 においてアクセスされる。キャッシュミスの場合には、外部記憶装置 1 2 に格納されている当該アクセスの対象であるデータを、キャッシュ RAM 2 5 の該当するキャッシュラインに転送する。この際、該当インデックスの全てのウェイにおいて有効なキャッシュデータが存在する場合には、最も必要性の低いデータ (例えば最後にアクセスされてから最も時間が経過しているデータ) を、アクセス対象のデータで置き換えるリプレースが実行される。

30

【 0 0 2 2 】

図 2 は、キャッシュ RAM 2 5 の具体的な構成の一例を示す図である。キャッシュ RAM 2 5 は、例えば、全体の容量が 6 4 K B (キロバイト) であり、4-WAY セットアソシアティブ方式であり、1 キャッシュラインが 6 4 B (バイト) であってよい。図 2 において、1 K × 8 B (1 0 2 4 × 8 バイト) の RAM がメモリ RAM 0 乃至 RAM 7 の 8 個設けられ、各 RAM が例えば 4 カラム × 2 5 6 ワードラインの構成を有してよい。

40

【 0 0 2 3 】

図 2 に示されるように、各 RAM は 4 つのウェイに 4 等分される。0 ~ 6 3 番目のワードラインがウェイ 0 として使用され、6 4 ~ 1 2 7 番目のワードラインがウェイ 1 として使用され、1 2 8 ~ 1 9 1 番目のワードラインがウェイ 2 として使用され、1 9 2 ~ 2 5 5 番目のワードラインがウェイ 3 として使用される。1 つのキャッシュラインの 6 4 B のデータは 8 B ずつ 8 個の RAM に分けて配置されている。各 RAM の 1 つのワードラインは 4 つのカラムに分かれており、これら 4 つのカラムが 4 つのキャッシュラインに対応する。例えば、第 1 番目のワードラインは、4 つのキャッシュライン line 0 ~ line

50

3に対応する。従って、インデックスとウェイIDとから、アクセス対象のワードラインが一意に決まる。

【0024】

エラー検出部26は、キャッシュRAM25の複数のキャッシュラインのいずれかに発生したエラーを検出する。具体的には、エラー検出部26は例えばパリティチェックを有し、キャッシュRAM25からの読み出しデータに対しエラーチェックを行う。エラー検出部26は、エラーチェック結果をキャッシュ制御部15に送る。即ち、エラー検出部26は、エラーを検出した場合、エラー検出を示す信号をキャッシュ制御部15に供給する。具体的には、キャッシュ制御部15に印加されるエラー検出信号がアサート状態(例えば論理値1の状態)になると、エラー検出信号が供給されたことになる。

10

【0025】

エラーウェイレジスタ35は、エラー検出部26が複数のキャッシュラインのいずれかに発生した第1のエラーを検出した場合、第1のエラーが発生したキャッシュラインのウェイを特定するエラーウェイ識別情報を保持する。即ち、エラー検出部26から供給されるエラー検出を示す信号に应答し、キャッシュ制御部15が、エラーの発生したウェイを識別するウェイIDをエラーウェイレジスタ35に格納する。このウェイIDは、TAG-RAM38から出力される、タグが一致したウェイIDである。

【0026】

エラーアドレスレジスタ36は、エラーワードアドレスレジスタとエラーカラムアドレスレジスタとを含む。エラーワードアドレスレジスタは、上記第1のエラーが発生したキャッシュラインのワードアドレスを保持する。即ち、エラー検出部26から供給されるエラー検出を示す信号に应答し、キャッシュ制御部15が、エラーの発生したワードアドレスをエラーワードアドレスレジスタに格納する。このワードアドレスは、命令発行部10から供給されるアドレスの一部である。エラーカラムアドレスレジスタは、上記第1のエラーが発生したキャッシュラインのカラムアドレスを保持する。即ち、エラー検出部26から供給されるエラー検出を示す信号に应答し、キャッシュ制御部15が、エラーの発生したカラムアドレスをエラーカラムアドレスレジスタに格納する。このカラムアドレスは、命令発行部10から供給されるアドレスの一部である。

20

【0027】

ウェイIDマッチ回路31は、アクセス対象のキャッシュラインのウェイ識別情報を、エラーウェイレジスタ35に格納されているエラーウェイ識別情報と比較する。なおアクセス対象のキャッシュラインのウェイ識別情報は、TAG-RAM38からタグが一致したウェイのIDとして提供される。またワードアドレスマッチ回路32は、アクセス対象のキャッシュラインのワードアドレスを、エラーアドレスレジスタ36のエラーワードアドレスレジスタに格納されているエラーワードアドレスと比較する。またカラムアドレスマッチ回路33は、アクセス対象のキャッシュラインのカラムアドレスを、エラーアドレスレジスタ36のエラーカラムアドレスレジスタに格納されているエラーカラムアドレスと比較する。

30

【0028】

上記第1のエラーが発生した後、エラー検出部26が、メモリアクセス要求により複数のキャッシュラインのいずれかに発生した第2のエラーを検出する。この場合、キャッシュ制御部15は、ウェイIDマッチ回路31、ワードアドレスマッチ回路32、及びカラムアドレスマッチ回路33のそれぞれの比較結果に応じて、故障が発生したワードラインを共有するキャッシュラインを全て無効化する。即ち、故障が発生したワードラインを共有する複数の全てのキャッシュラインが無効化される。

40

【0029】

上記無効化動作について更に詳細に説明する。第2のエラー検出時、ウェイIDマッチ回路31及びワードアドレスマッチ回路32が一致を示し、且つカラムアドレスマッチ回路33が不一致を示す場合、同一ワードライン上の異なるキャッシュラインで故障が発生したことが分かる。この場合、ワードライン故障フラグ34に所定の値(例えば1)が格

50

納される。ワードライン故障フラグ34には初期状態で所定の値(例えば0)が格納されている。ワードライン故障フラグ34に1が一旦格納されると、その後ワードライン故障フラグ34が0を格納する状態に戻ることはない。ワードライン故障フラグ34に1が格納されている場合、エラーが所定回数以上発生してエラー縮退モードが指定されると、キャッシュ制御部15は、故障が発生したワードラインを共有するキャッシュラインを全て無効化する。この無効化の作業においては、TAG-RAM38に設けられるフラグであって、各キャッシュデータの有効又は無効の状態を示す有効フラグを、無効を示す値に設定すればよい。無効化されたキャッシュラインは、その後、命令発行部10からのアクセス要求に対してヒットすることはなくなる。またワードライン故障フラグ34に0が格納されている場合、エラーが所定回数以上発生してエラー縮退モードが指定されると、キャッシュ制御部15は、ビット故障が発生したキャッシュラインを無効化する。即ち、キャッシュ制御部15は、故障した1ビットを含む1つのキャッシュラインのみを無効化する。無効化されたキャッシュラインは、その後、命令発行部10からのアクセス要求に対してヒットすることはなくなる。

10

20

30

40

50

【0030】

エラーが所定回数以上発生してエラー縮退モードが指定される動作について、以下に詳細に説明する。エラーカウンタ37は、複数のキャッシュラインのいずれかに発生しエラー検出部26により検出されたエラーの回数であるエラー回数を計数する。即ちエラーカウンタ37は、エラー検出部26からエラー検出を示す信号が供給される毎に、計数値を1増加させる。エラーカウンタ37が計数したエラー計数が所定値を超えると、Del-Flagレジスタ23に所定の値(例えば1)が格納される。Del-Flagレジスタ23に格納される値"1"により、エラー縮退モードが指定されると共に、前記の無効化動作が実行される。

【0031】

エラー縮退モードの動作について、以下に詳細に説明する。Del-Flagレジスタ23に1が格納されている場合、エラー縮退モードが指定され、キャッシュミスが発生したときに故障キャッシュラインが縮退される。この場合、キャッシュ制御部15は、ウェイIDマッチ回路31、ワードアドレスマッチ回路32、及びカラムアドレスマッチ回路33のそれぞれの比較結果に応じて、複数のウェイのうちエラーウェイ識別情報で特定されるウェイ以外のウェイをリプレースする。即ちキャッシュミスが発生した場合において、エラーウェイレジスタ35に格納されているエラーウェイ識別情報により特定される故障ウェイは、外部記憶装置12からのデータを格納する対象としては用いない。なおワードライン故障フラグ34に1が格納されている場合、キャッシュ制御部15は、故障ワードラインを共有する複数のキャッシュラインの何れにもデータを登録しないように、ウェイのリプレース制御を行う。ワードライン故障フラグ34に0が格納されている場合、キャッシュ制御部15は、1つの故障キャッシュラインにデータを登録しないように、ウェイのリプレース制御を行う。

【0032】

図1に示す構成では、ワードライン故障を適切に救済するために、検出エラー回数、エラーウェイID、及びエラーアドレスを記憶しておけばよい。これら3つのレジスタを使用する構成により、回路増加量を抑えながらも、ワードライン故障発生時に故障ワードラインを共有するキャッシュラインを全て同時に縮退することが可能となる。また更に、ワードライン故障か1ビット故障かの判定が可能であり、故障の種類に応じた縮退が可能である。それにより、正常に動作するキャッシュラインを無駄に縮退することがなく、性能低下が必要最低限に抑えられる。

【0033】

図3は、エラー監視レジスタ22、Del-Flagレジスタ23、及びワードライン故障フラグ34の制御、並びにリプレース対象のウェイの指定のための構成を示す図である。図3において、図1と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。

【 0 0 3 4 】

図3において、キャッシュRAM&エラー検出部16からのエラー検出信号がAND回路42乃至44に供給されると共に、エラーカウンタ37に供給される。エラーカウンタ37においては、エラー検出信号が供給される毎に、即ちエラー検出信号がアサートされる毎に、計数値が1だけ増加する。AND回路42は、TAG-RAM38から供給されるタグが一致したウェイのID (TAG-mch-Way-ID) とエラー検出信号とのANDをとる。エラー検出信号がエラー検出を示す値1の場合、AND回路42の出力である故障ウェイのIDが、エラーウェイレジスタ35に格納される。AND回路43は、アクセス対象のアドレスADRSと、エラー検出信号とのANDをとる。エラー検出信号がエラー検出を示す値1の場合、AND回路43の出力である故障アドレスのアドレス値 (即ちワードアドレス+カラムアドレス) が、エラーアドレスレジスタ36に格納される。

10

【 0 0 3 5 】

AND回路44は、ワードアドレスマッチ回路32の出力、カラムアドレスマッチ回路33の出力の反転値、ウェイIDマッチ回路31の出力、及びエラー検出信号を受け取り、これらの信号のANDをとる。AND回路44の出力が1になると、それに応答してワードライン故障フラグ34に1が格納される。

【 0 0 3 6 】

比較器47は、エラーカウンタ37の出力する計数値と所定の閾値CNT_{TH}を比較する。比較器47は、計数値が所定の閾値よりも大きくなると、その出力をアサートする。比較器47の出力のアサートに応じて、Del-Flagレジスタ23には1が格納される。またDel-Flagレジスタ23に1が格納されると、同時に、前述の無効化動作が実行される。なお図3に示す構成の場合、ウェイIDマッチ回路31、ワードアドレスマッチ回路32、及びカラムアドレスマッチ回路33のそれぞれの比較結果に応じて、エラー検出部26が最後にエラーを検出したキャッシュラインのみが無効化されることになる。即ち、エラーウェイレジスタ35及びエラーアドレスレジスタ36に格納されているのは最後に検出されたエラーに関するデータであり、このデータに基づいて無効化が実行されるので、無効化は最後にエラーを検出したキャッシュラインのみとなる。なおこれはワードライン故障が検出されていない場合についての動作である。ワードライン故障が検出されている場合には、最後にエラーを検出したワードラインを共有するキャッシュライン全てが無効化される。

20

30

【 0 0 3 7 】

ワードライン故障フラグ34の格納値は、セクタ46に選択信号として供給される。選択信号が1の場合、セクタ46は、ワードアドレスマッチ回路32の出力を選択する。選択信号が0の場合、セクタ46は、AND回路41の出力を選択する。AND回路41は、ワードアドレスマッチ回路32の出力とカラムアドレスマッチ回路33の出力とのAND演算の結果を出力する。セクタ45は、選択した値をAND回路45に供給する。AND回路45は、Del-Flagレジスタ23の格納値が1である場合、セクタ46の出力を、故障ウェイ回避信号entry-delとしてLRUユニット39に供給する。故障ウェイ回避信号entry-delが供給されると、LRUユニット39は、エラーウェイレジスタ35から供給される故障ウェイIDの示すウェイを回避してリプレース対象ウェイを選択する。

40

【 0 0 3 8 】

このようにして、エラーカウンタ37が計数したエラー計数が所定値を超えると、Del-Flagレジスタ23に所定の値 (例えば1) が格納され、エラー縮退モードが指定される。Del-Flagレジスタ23に1が格納されている場合、エラー縮退モードが指定され、キャッシュミスが発生した場合において故障キャッシュラインが縮退される。ワードライン故障フラグ34に1が格納されている場合、ワードアドレスマッチ回路32の出力が、故障ウェイ回避信号entry-delとしてLRUユニット39に供給される。従って、ワードライン故障の場合には、アクセス対象のワードアドレスが故障ワード

50

アドレスに一致するか否かの結果に応じて、故障ウェイIDの示すウェイを回避するか否かが決定される。ワードライン故障フラグ34に0が格納されている場合、ワードアドレスマッチ回路32の出力とカラムアドレスマッチ回路33の出力とのANDが、故障ウェイ回避信号entry-delとしてLRUユニット39に供給される。従って、ワードライン故障ではない場合には、アクセス対象のワードアドレス及びカラムアドレスが故障ワードアドレス及び故障カラムアドレスに一致するか否かの結果に応じて、故障ウェイIDの示すウェイを回避するか否かが決定される。

【0039】

図4は、LRUユニット39の構成の一例を示す図である。図4に示すLRUユニット39は、LRUテーブル50及びリプレースウェイID生成器51を含む。LRUテーブル50は、各ウェイが過去にアクセスされた順番を、インデックス毎（即ちキャッシュライン毎）に保持している。例えば254番目のキャッシュラインline-254について、「3, 0, 2, 1」等のLRUデータが格納されている。このLRUデータは例えば、ウェイ3が最後にアクセスされ、ウェイ3以外ではウェイ0が最後にアクセスされ、ウェイ3, 0以外ではウェイ2が最後にアクセスされ、ウェイ1が最も昔にアクセスされたことを示す。LRUテーブル50は、アクセス対象のアドレスADSを入力として、そのアドレスに対応するインデックスのLRUデータを出力する。リプレースウェイID生成器51は、LRUテーブル50から供給されたLRUデータに基づいて、リプレース対象となるウェイのIDを出力する。具体的には、故障ウェイ回避信号entry-delが0の場合、リプレースウェイID生成器51は、最も昔にアクセスされたウェイ（即ち最後にアクセスされてから最も時間が経っているウェイ）のウェイIDを出力する。故障ウェイ回避信号entry-delが1の場合、リプレースウェイID生成器51は、ERR_WAY_IDが示す故障ウェイを避けて、それ以外のウェイの中から最も昔にアクセスされたウェイのウェイIDを出力する。

【0040】

図5は、TAG-RAM38の出力とLRUユニット39の出力とに基づいてキャッシュRAM25に供給するウェイIDを生成する構成の一例を示す図である。図5において、図1と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。

【0041】

図5に示す構成は、TAG-RAM38、LRUユニット39、AND回路61及び62、及びOR回路63を含む。TAG-RAM38において、アクセス対象のアドレスのタグと登録されているタグとが一致すると、一致信号matchが1になると共に、タグが一致したウェイのIDであるTAG-mch-Way-IDが出力される。一致信号matchが1であるので、TAG-mch-Way-IDがAND回路61を通過し、OR回路63を介してキャッシュRAM25に供給される。即ちキャッシュヒットの場合には、タグが一致したウェイのIDがキャッシュRAM25に供給される。

【0042】

アクセス対象のアドレスのタグと登録されているタグとが一致しない場合、一致信号matchが0になる。またLRUユニット39は、リプレース対象となるウェイのIDであるReplace-Way-IDを出力する。一致信号matchが0であるので、Replace-Way-IDがAND回路62を通過し、OR回路63を介してキャッシュRAM25に供給される。即ちキャッシュミスの場合には、リプレース対象となるウェイのIDがキャッシュRAM25に供給される。

【0043】

図6は、キャッシュRAM&エラー検出部16の構成の一例を示す図である。図6において、図1と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。キャッシュRAM&エラー検出部16は、キャッシュRAM25及びエラー検出部26を含む。キャッシュRAM25は、図2に示すメモリRAM0乃至RAM7に相当するメモリRAM0乃至RAM7を含む。エラー検出部26は、パリティチェック部

10

20

30

40

50

71乃至74及びセレクタ75を含む。キャッシュRAM25は、読み出しアクセスの場合、アクセス対象のアドレスを受け取り、当該アドレスに対応するデータを4つのウェイトのそれぞれについて出力する。パリティチェック部71乃至74は、読み出した4個のデータそれぞれに対するパリティチェックを行う。パリティチェック結果は、セレクタ75に供給される。セレクタ75は、タグが一致したウェイトのIDであるTAG-mch-Way-IDを選択信号として受け取り、この選択信号が示すウェイトのパリティチェック結果を選択する。このパリティチェック結果が、エラー検出信号としてキャッシュ制御部15(図1参照)に供給される。

【0044】

上記説明した演算処理装置においては、最後にエラーが発生したキャッシュラインを縮退対象としている。しかしながら、最後に発生したエラーが、宇宙線の到来に起因する記憶データのビット反転であるソフトエラーである可能性もある。そのような確率は非常に低く、上記説明した演算処理装置においても、ワードライン故障を適切に縮退させることができる、と考えてよい。但し、仮にそのようなソフトエラーが発生したとすると、本来のワードライン故障箇所とは異なるキャッシュラインについて縮退が実行されることになり、故障キャッシュラインを縮退させることができない。そこで、故障キャッシュラインを誤りなく縮退させることが好ましい。

【0045】

図7は、故障キャッシュラインを誤りなく縮退させることが可能な構成の一例を示す図である。図7において、図3と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。図7に示す構成では、キャッシュRAM&エラー検出部16からのエラー検出信号をエラーカウンタ37に供給する経路に、AND回路48が設けられている。AND回路48は、ワードアドレスマッチ回路32の出力とキャッシュRAM&エラー検出部16からのエラー検出信号とのAND演算を行い、AND演算の結果を出力する。AND回路48の出力がエラーカウンタ37に供給されており、AND回路48の出力がアサート状態になる度に、エラーカウンタ37の計数値が1増加する。従って、エラーカウンタ37の計数値は、アクセス対象のワードアドレスがエラーアドレスレジスタ36に格納されている故障ワードアドレスに一致し且つエラーが検出された場合にのみ、増加することになる。つまり、エラーカウンタ37が計数するのは、同一のワードアドレスにおいて発生し検出されたエラーの数であり、他のワードアドレスにおいて発生したソフトエラーは計数されない。従って、計数値が所定の閾値CNT_{TH}を超えて縮退モードが有効になる場合、最後に発生したエラーが故障ワードアドレスとは異なるワードアドレスに対するソフトエラーとして検出されることはない。

【0046】

なお縮退モードに遷移した後、ソフトエラーが発生した場合、そのエラーの検出により、エラーウェイレジスタ35やエラーアドレスレジスタ36の内容が書き換えられてしまう。これを避けたいのであれば、例えば、AND回路42及び43の各々を3入力とし、Del-Flagレジスタ23の出力の反転信号を第3の入力に印加すればよい。これにより、Del-Flagレジスタ23に1が格納され一旦縮退モードが有効になると、その後エラーウェイレジスタ35及びエラーアドレスレジスタ36が更新されることはない。即ち、その後ソフトエラーが発生しても、引き続き故障ワードラインを適切に縮退し続けることができる。

【0047】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【符号の説明】

【0048】

- 10 命令発行部
- 11 キャッシュメモリ
- 12 外部記憶装置

10

20

30

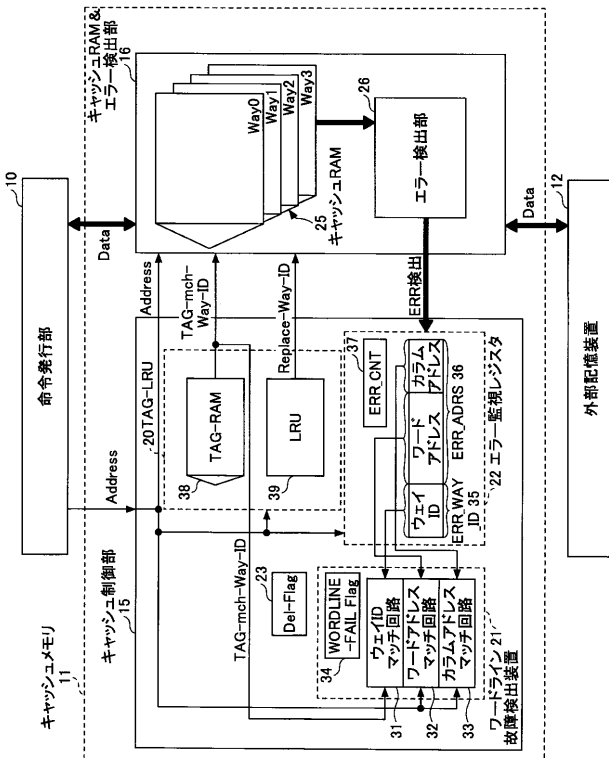
40

50

- 15 キャッシュ制御部
- 16 キャッシュRAM&エラー検出部
- 20 TAG-LRUユニット
- 21 ワードライン故障検出装置
- 22 エラー監視レジスタ
- 23 Del-Flagレジスタ
- 25 キャッシュRAM
- 26 エラー検出部
- 31 ウェイIDマッチ回路
- 32 ワードアドレスマッチ回路
- 33 カラムアドレスマッチ回路
- 34 ワードライン故障フラグ
- 35 エラーウェイレジスタ
- 36 エラーアドレスレジスタ
- 37 エラーカウンタ
- 38 TAG-RAM
- 39 LRUユニット

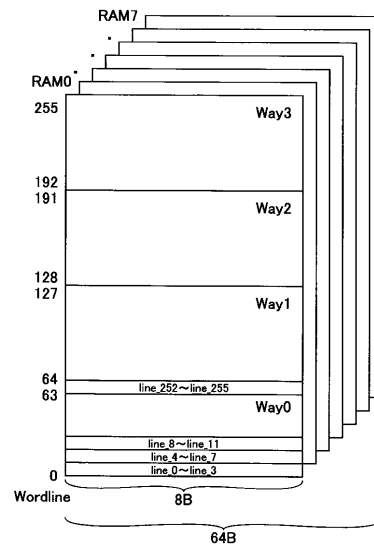
【図1】

演算処理装置の構成の一例を示す図



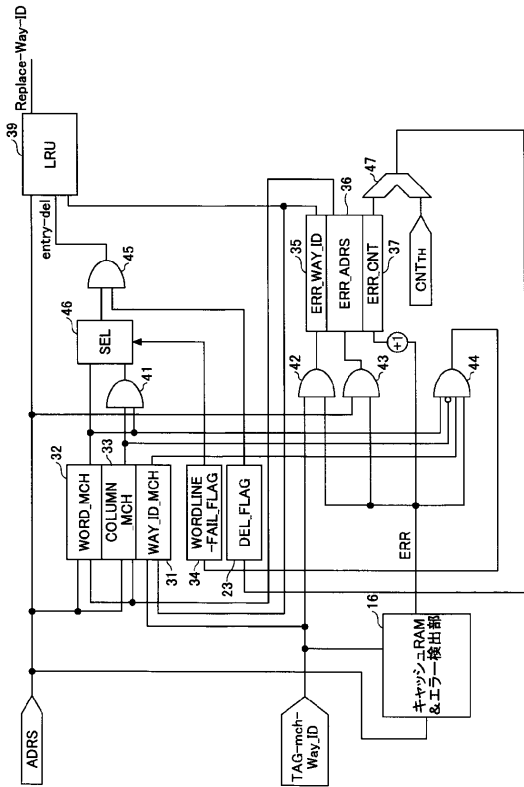
【図2】

キャッシュRAMの具体的な構成の一例を示す図



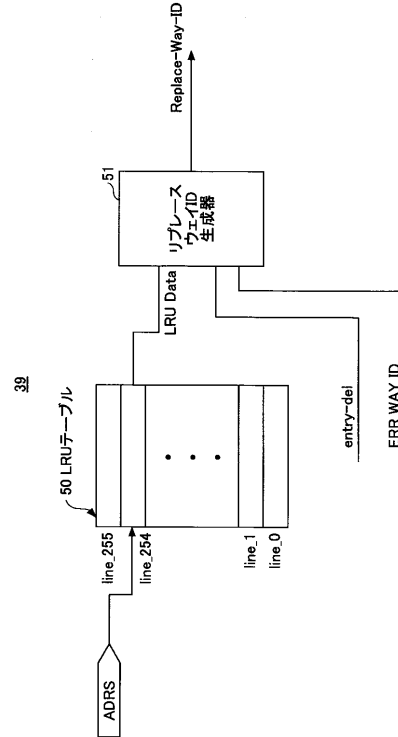
【 図 3 】

エラー監視レジスタ、Del-Flagレジスタ、及びワードライン故障フラグの制御、並びにリプレース対象のウェイの指定のための構成を示す図



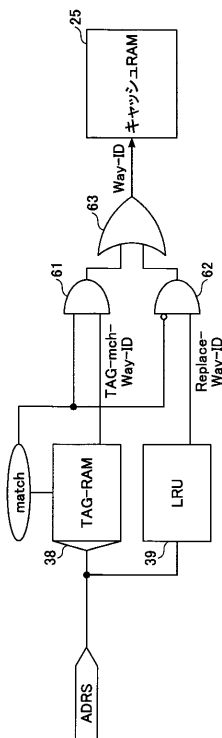
【 図 4 】

LRUユニットの構成の一例を示す図



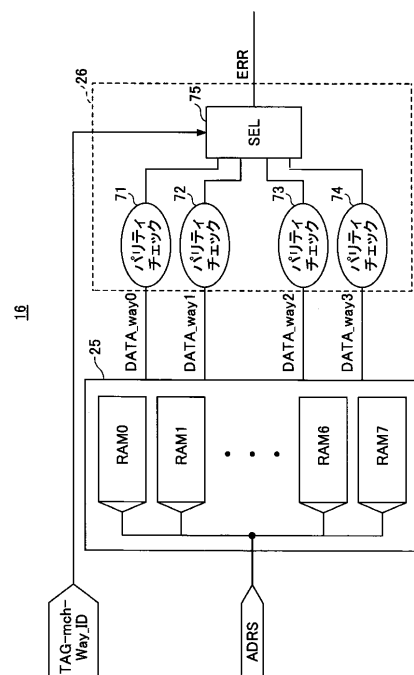
【 図 5 】

TAG-RAMの出力とLRUユニットの出力とに基づいてキャッシュRAMに供給するウェイIDを生成する構成の一例を示す図



【 図 6 】

キャッシュRAM&エラー検出部の構成の一例を示す図



【 図 7 】

故障キャッシュラインを弾りなく縮退させることが可能な構成の一例を示す図

