

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4855887号  
(P4855887)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl. F I  
**HO2M 3/155 (2006.01)** HO2M 3/155 P  
 HO2M 3/155 S

請求項の数 10 (全 15 頁)

<p>(21) 出願番号 特願2006-272231 (P2006-272231)                  (22) 出願日 平成18年10月3日 (2006.10.3)                  (65) 公開番号 特開2008-92712 (P2008-92712A)                  (43) 公開日 平成20年4月17日 (2008.4.17)                  審査請求日 平成21年2月23日 (2009.2.23)</p>	<p>(73) 特許権者 506334171                  トレックス・セミコンダクター株式会社                  東京都中央区日本橋茅場町一丁目13番1                  2号                  (74) 代理人 100101236                  弁理士 栗原 浩之                  (74) 代理人 100128532                  弁理士 村中 克年                  (72) 発明者 羽根 功真                  東京都中央区日本橋茅場町一丁目13番1                  2号 トレックス・セミコンダクター株式                  会社内                  審査官 塩治 雅也</p>
--	---

最終頁に続く

(54) 【発明の名称】 PWM/PFM制御回路及びスイッチング電源回路

(57) 【特許請求の範囲】

【請求項1】

制御対象の負荷が所定以上の重負荷のとき前記負荷に応じてパルス幅が決定されるPWM制御で動作するとともに、前記負荷が所定未満の軽負荷のとき前記負荷に応じて周波数が決定されるPFM制御で動作するPWM/PFM制御回路において、

PWM制御信号のパルス幅がPFM制御信号のパルス幅より小さいことを条件として、前記PWM制御信号のパルス幅と前記PFM制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段を有し、前記差分時間信号に基づき前記差分時間に応じて、前記PWM制御信号を形成するための基準となる基準信号の発振周波数を低く制御するように構成したことを特徴とするPWM/PFM制御回路。

10

【請求項2】

請求項1に記載するPWM/PFM制御回路において、前記PFM制御信号はPWM制御信号を基に形成されることを特徴とするPWM/PFM制御回路。

【請求項3】

請求項1又は請求項2に記載するPWM/PFM制御回路において、前記差分時間発生手段は、前記PWM制御信号によって決定されるオフ期間中の前記PFM制御信号によって決定されるオン期間に基づき前記差分時間を表わす差分時間信号を形成し、この差分時間信号に基づき前記基準信号を発生する発振器の発振周波数を制御するように構成したことを特徴とするPWM/PFM制御回路。

20

## 【請求項 4】

請求項 1 又は請求項 2 の何れか一つに記載する P W M / P F M 制御回路において、  
前記差分時間発生手段は、前記 P W M 制御信号によって決定されるオフ期間中の前記 P F M 制御信号によって決定されるオン期間に基づき前記差分時間を表わす差分時間信号を形成し、この差分時間信号に基づき前記基準信号として機能するランプ信号を発生する三角波発生器を制御するように構成したことを特徴とする P W M / P F M 制御回路。

## 【請求項 5】

請求項 1 に記載する P W M / P F M 制御回路において、  
前記基準信号を発生する発振器と、  
前記基準信号に基づきランプ信号を発生する三角波発生器と、  
前記制御対象の出力端子の電圧を表わす信号と所定の基準値とを比較することにより得る両者の差を表わす誤差信号と前記ランプ信号とを比較して前記誤差信号に応じたパルス幅を有する P W M 制御信号を発生する P W M 制御信号発生器と、  
前記 P W M 制御信号に基づき P F M 制御信号を発生する P F M 制御信号発生器と、  
前記 P W M 制御信号乃至 P F M 制御信号のうちパルス幅が大きい方に基づいて前記制御対象のスイッチング素子のオン/オフを制御するスイッチ制御信号を送出する論理回路と、

10

前記 P W M 制御信号のパルス幅と前記 P F M 制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段とを有して前記差分時間信号に基づき前記発振器の発振周波数を制御するように構成したことを特徴とする P W M / P F M 制御回路。

20

## 【請求項 6】

請求項 1 に記載する P W M / P F M 制御回路において、  
前記基準信号であるランプ信号を発生する三角波発生器と、  
前記制御対象の出力端子の電圧を表わす信号と所定の基準値とを比較することにより得る両者の差を表わす誤差信号と前記ランプ信号とを比較して前記誤差信号に応じたパルス幅を有する P W M 制御信号を発生する P W M 制御信号発生器と、  
前記 P W M 制御信号に基づき P F M 制御信号を発生する P F M 制御信号発生器と、  
前記 P W M 制御信号乃至 P F M 制御信号のうちパルス幅が大きい方に基づくスイッチ制御信号により前記制御対象の前記スイッチング素子のオン/オフを制御するスイッチ制御信号を送出する論理回路と、

30

前記 P W M 制御信号のパルス幅と前記 P F M 制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段とを有して前記差分時間信号に基づき前記三角波発生器のランプ信号の発振周波数を制御するように構成したことを特徴とする P W M / P F M 制御回路。

## 【請求項 7】

請求項 1 に記載する P W M / P F M 制御回路において、  
前記制御対象の出力端子の電圧を表わす信号と所定の基準値とを比較することにより得る両者の差を表わす誤差信号と前記制御対象を流れる電流に基づくフィードバック電流信号とを比較して P W M 制御信号のパルス幅を規定するリセット信号を出力する P W M 比較器と、

40

前記基準信号を発生する発振器と、  
前記基準信号によりセットされて立上るとともに、前記リセット信号によりリセットされて立下がる P W M 制御信号を形成するフリップフロップ回路と、  
前記基準信号に基づき P F M 制御信号を形成する P F M 制御信号発生器と、  
前記 P W M 制御信号乃至 P F M 制御信号のうちパルス幅が大きい方に基づくスイッチ制御信号により前記制御対象のスイッチング素子のオン/オフを制御するスイッチ制御信号を送出する論理回路と、

前記 P W M 制御信号のパルス幅と前記 P F M 制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段とを有して前記差分時間信号に基

50

づき前記発振器の発振周波数を制御するように構成したことを特徴とするPWM/PFM制御回路。

【請求項8】

請求項3、請求項5又は請求項7に記載するPWM/PFM制御回路において、前記発振器は、リング発振器で形成するとともに、このリング発振器の入力側のコンデンサを充電する充電電流を前記差分時間信号で遮断することで前記PWM制御信号を形成するための基準となる基準信号の発振周波数を低く制御するように構成したものであることを特徴とするPWM/PFM制御回路。

【請求項9】

請求項4又は請求項6に記載するPWM/PFM制御回路において、前記三角波発生器は、コンデンサの充放電を利用してランプ信号を発生するとともに、前記コンデンサを充放電する充放電電流を前記差分時間信号で遮断することで前記PWM制御信号を形成するための基準となる基準信号である前記ランプ信号の発振周波数を低く制御するように構成したものであることを特徴とするPWM/PFM制御回路。

【請求項10】

請求項1乃至請求項9の何れか一つに記載するPWM/PFM制御回路と、前記制御対象であるチョッパ回路とを組み合わせ構成したことを特徴とするスイッチング電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はPWM/PFM制御回路及びスイッチング電源回路に関し、特にスイッチング電源回路の軽負荷時の効率を改善する場合に適用して有用なものである。

【背景技術】

【0002】

従来技術に係るスイッチング電源回路の中には、負荷が所定以上の重負荷のときPWM制御で動作させるとともに、前記負荷が所定未満の軽負荷のときPFM制御で動作させるPWM/PFM制御回路を有するものがある。この種のスイッチング電源回路の一例を図10に示す。同図に示すように、かかるスイッチング電源回路は、制御対象であるチョッパ回路とPWM/PFM制御回路とを組み合わせたものである。チョッパ回路において、スイッチング素子SWをオンさせると、電流は電源VINリアクトルLスイッチング素子SW電源VINの経路で流れ、リアクトルLに蓄積されるエネルギーが増加する。スイッチング素子SWをオフさせるとリアクトルLに蓄積されたエネルギーが負荷側に放出され、電流は電源VINリアクトルLダイオードSDコンデンサC0又は負荷電源VINの経路で流れる。

【0003】

一方、チョッパ回路のスイッチング素子SWのオン/オフを制御するPWM/PFM制御回路は、基準電圧VREFと当該チョッパ回路の出力電圧VOUTを抵抗R1、R2で分圧して得られる出力フィードバック電圧とを比較する比較器1、この比較器1の出力である両電圧の差を表す誤差信号S1とランプ信号S2とを比較してPWM制御信号S3を出力するPWM制御信号発生器2、PWM制御信号発生器2の出力であるPWM制御信号S3に基づきある一定期間スイッチング素子SWがオンとなるパルス信号であるPFM制御信号S4を発生するPFM制御信号発生器3を有している。

【0004】

ここで、ランプ信号S2は発振器4の出力である基準信号S6に基づく三角波発生器5の出力信号として得られる。また、PFM制御信号S4はPWM制御信号S3を基に形成される。論理回路6は、PWM制御信号S3及びPFM制御信号S4を入力してパルス幅の大きい方に相当するスイッチ制御信号S5を出力してスイッチング素子SWのオン/オフを制御するものである。ここで、論理回路6はPWM制御信号S3及びPFM制御信号S4のノア論理を採るNOR回路7と、このNOR回路7の出力を反転するインバータ8

10

20

30

40

50

とからなる。また、スイッチング素子SWはNチャンネルのトランジスタで形成しており、このトランジスタのゲートに前記スイッチ制御信号S5を供給するようになっている。

【0005】

図11は本例に係るスイッチング電源回路の各部の信号波形を示す波形図で、(a)は出力電圧VOUT、(b)は誤差信号S1とランプ信号S2との関係、(c)は周期TのPWM制御信号S3を形成するための基準となる基準信号S6、(d)はPWM制御信号S3、(e)はPFM制御信号S4、(f)はスイッチ制御信号S5をそれぞれ示す。

【0006】

同図を参照すれば明らかな通り、出力電圧VOUTに基づく誤差信号及び基準信号S6に基づくランプ信号で形成されるPWM制御信号S3のパルス幅(負荷によって変動する)がPFM制御信号S4のパルス幅(一定)よりも短いとき、すなわち軽負荷のときはPFM制御信号S4に基づくスイッチ制御信号S5が、負荷が増加してPWM制御信号S3のパルス幅がPFM制御信号S4のパルス幅よりも長くなったときにはPWM制御信号S3に基づくスイッチ制御信号S5が形成される。

【0007】

このように、負荷が軽い時、PWM制御信号S3のパルス幅は狭く、間欠発振(PWM動作時の発振周波数を基準とした間隔)となり、当該スイッチング電源回路は周波数が変化するPFM動作となる。また、負荷が重い時はPWM制御信号S3のパルス幅がPFM制御信号S4のパルス幅より大きくなり、発振周波数が固定されるPWM動作となる。両条件で出力電圧VOUTのリプル電圧は小さい。

【0008】

ところが、PFM動作の最中に、発振周波数のあるパルスを間引いた状態となっており、その期間中に出力電圧VOUTのリプル電圧は、PFM連続動作時の発振周波数のリプルと低周波の大きな脈動を生じるという問題を抱えている。

【0009】

図12は本例に係るスイッチング電源回路のリプル電圧特性を示す特性図である。同図に示すように、上述の如き従来技術に係るスイッチング電源回路では、PFM動作とPWM動作とが切替わる過渡的なモード(図12においては負荷電流が10mA乃至100mAの範囲)で大きなリプル電圧が発生している。

【0010】

なお、特許文献1には、定電流値を変えることでPWM制御自体の周波数を低下させることで軽負荷時の効率を得る手段について開示されているが、同特許文献1の段落〔0014〕にあるようにリプル電圧が増大するという問題を抱えている。

【0011】

【特許文献1】特開平11-155281号公報(段落〔0014〕)

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は、上記従来技術に鑑み、軽負荷のときのPFM制御から重負荷のときのPWM制御に移行する際のリプル電圧を低減して円滑な制御モードの移行を実現し得るPWM/PFM制御回路及びスイッチング電源回路を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するための本発明の第1の態様は、

制御対象の負荷が所定以上の重負荷のとき前記負荷に応じてパルス幅が決定されるPWM制御で動作するとともに、前記負荷が所定未満の軽負荷のとき前記負荷に応じて周波数が決定されるPFM制御で動作するPWM/PFM制御回路において、

PWM制御信号のパルス幅がPFM制御信号のパルス幅より小さいことを条件として、前記PWM制御信号のパルス幅と前記PFM制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段を有し、前記差分時間信号に基づき

10

20

30

40

50

前記差分時間に応じて、前記PWM制御信号を形成するための基準となる基準信号の発振周波数を低く制御するように構成したことを特徴とするPWM/PFM制御回路にある。

【0014】

本発明の第2の態様は、

上記第1の態様に記載するPWM/PFM制御回路において、

前記PFM制御信号はPWM制御信号を基に形成されることを特徴とするPWM/PFM制御回路にある。

【0015】

本発明の第3の態様は、

上記第1又は第2の態様に記載するPWM/PFM制御回路において、

前記差分時間発生手段は、前記PWM制御信号によって決定されるオフ期間中の前記PFM制御信号によって決定されるオン期間に基づき前記差分時間を表わす差分時間信号を形成し、この差分時間信号に基づき前記基準信号を発生する発振器の発振周波数を制御するように構成したことを特徴とするPWM/PFM制御回路にある。

10

【0016】

本発明の第4の態様は、

上記第1又は第2の態様の何れか一つに記載するPWM/PFM制御回路において、

前記差分時間発生手段は、前記PWM制御信号によって決定されるオフ期間中の前記PFM制御信号によって決定されるオン期間に基づき前記差分時間を表わす差分時間信号を形成し、この差分時間信号に基づき前記基準信号として機能するランプ信号を発生する三角波発生器を制御するように構成したことを特徴とするPWM/PFM制御回路にある。

20

【0017】

本発明の第5の態様は、

上記第1の態様に記載するPWM/PFM制御回路において、

前記基準信号を発生する発振器と、

前記基準信号に基づきランプ信号を発生する三角波発生器と、

前記制御対象の出力端子の電圧を表わす信号と所定の基準値とを比較することにより得る両者の差を表わす誤差信号と前記ランプ信号とを比較して前記誤差信号に応じたパルス幅を有するPWM制御信号を発生するPWM制御信号発生器と、

前記PWM制御信号に基づきPFM制御信号を発生するPFM制御信号発生器と、

前記PWM制御信号乃至PFM制御信号のうちパルス幅が大きい方に基づいて前記制御対象のスイッチング素子のオン/オフを制御するスイッチ制御信号を送出する論理回路と、

30

前記PWM制御信号のパルス幅と前記PFM制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段とを有して前記差分時間信号に基づき前記発振器の発振周波数を制御するように構成したことを特徴とするPWM/PFM制御回路にある。

【0018】

本発明の第6の態様は、

上記第1の態様に記載するPWM/PFM制御回路において、

前記基準信号であるランプ信号を発生する三角波発生器と、

前記制御対象の出力端子の電圧を表わす信号と所定の基準値とを比較することにより得る両者の差を表わす誤差信号と前記ランプ信号とを比較して前記誤差信号に応じたパルス幅を有するPWM制御信号を発生するPWM制御信号発生器と、

前記PWM制御信号に基づきPFM制御信号を発生するPFM制御信号発生器と、

前記PWM制御信号乃至PFM制御信号のうちパルス幅が大きい方に基づくスイッチ制御信号により前記制御対象の前記スイッチング素子のオン/オフを制御するスイッチ制御信号を送出する論理回路と、

40

前記PWM制御信号のパルス幅と前記PFM制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段とを有して前記差分時間信号に基

50

づき前記三角波発生器のランプ信号の発振周波数を制御するように構成したことを特徴とするPWM/PFM制御回路にある。

【0019】

本発明の第7の態様は、

上記第1の態様に記載するPWM/PFM制御回路において、

前記制御対象の出力端子の電圧を表わす信号と所定の基準値とを比較することにより得る両者の差を表わす誤差信号と前記制御対象を流れる電流に基づくフィードバック電流信号とを比較してPWM制御信号のパルス幅を規定するリセット信号を出力するPWM比較器と、

前記基準信号を発生する発振器と、

前記基準信号によりセットされて立上るとともに、前記リセット信号によりリセットされて立下がるPWM制御信号を形成するフリップフロップ回路と、

前記基準信号に基づきPFM制御信号を形成するPFM制御信号発生器と、

前記PWM制御信号乃至PFM制御信号のうちパルス幅が大きい方に基づくスイッチ制御信号により前記制御対象のスイッチング素子のオン/オフを制御するスイッチ制御信号を送出する論理回路と、

前記PWM制御信号のパルス幅と前記PFM制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段とを有して前記差分時間信号に基づき前記発振器の発振周波数を制御するように構成したことを特徴とするPWM/PFM制御回路にある。

【0020】

本発明の第8の態様は、

上記第3、第5又は第7の態様に記載するPWM/PFM制御回路において、

前記発振器は、リング発振器で形成するとともに、このリング発振器の入力側のコンデンサを充電する充電電流を前記差分時間信号で遮断することで前記PWM制御信号を形成するための基準となる基準信号の発振周波数を低く制御するように構成したものであることを特徴とするPWM/PFM制御回路にある。

【0021】

本発明の第9の態様は、

上記第4の態様又は第6の態様に記載するPWM/PFM制御回路において、

前記三角波発生器は、コンデンサの充放電を利用してランプ信号を発生するとともに、前記コンデンサを充放電する充放電電流を前記差分時間信号で遮断することで前記PWM制御信号を形成するための基準となる基準信号である前記ランプ信号の発振周波数を低く制御するように構成したものであることを特徴とするPWM/PFM制御回路にある。

【0022】

本発明の第10の態様は、

上記第1乃至第9の態様の何れか一つに記載するPWM/PFM制御回路と、前記制御対象であるチョッパ回路とを組み合わせ構成したことを特徴とするスイッチング電源回路にある。

【発明の効果】

【0023】

本発明によれば、PWM制御信号のパルス幅がPFM制御信号のパルス幅より小さいときには前記PWM制御信号のパルス幅と前記PFM制御信号のパルス幅との差に対応する差分時間に基づき基準信号の発振周波数が低くなるように制御される。

【0024】

ここで、PWM制御信号のパルス幅がPFM制御信号のパルス幅より小さいときとは、PFM制御からPWM制御に移行する過渡的なモードである。

【0025】

この結果、かかる過渡的なモードにおいて負荷が漸増した場合には、これに伴い前記基

10

20

30

40

50

準信号及びPWM制御信号の周波数が漸増してPWM制御に移行する。かかるPFM制御から、PWM制御移行する前述の如き過渡的なモードにおいて、本発明では前記出力電圧を徐々に変化させることができる。

【0026】

この結果、前述の如き過渡的なモードにおけるリップル電圧を飛躍的に低減し得る。

【0027】

図1は本発明に係るスイッチング電源回路のリップル電圧特性を示す特性図である。同図に示すように、本発明に係るスイッチング電源回路では、PFM動作とPWM動作とが切替わる過渡的なモード(図1においては負荷電流が10mA乃至100mAの範囲)で徐々にリップル電圧が低減されてPWM制御に移行していることが分かる。図12と対比すれば明らかな通り、前記過渡的なモードにおいてリップル電圧が飛躍的に低減されていることが分る。

10

【0028】

なお、PFM制御では、消費電力は少なく済むがリップル成分が大きく、PWM制御では、逆に消費電力は大きい反面、リップル成分は低減し得る。

【発明を実施するための最良の形態】

【0029】

以下本発明の実施の形態及び実施例を図面に基づき詳細に説明する。

【0030】

<第1の実施の形態>

20

図2は本発明の第1の実施の形態に係るスイッチング電源回路を示す回路図である。本形態は、図10に示すチョッパ回路と新規なPWM/PFM制御回路とを組み合わせたものである。すなわち、本形態は従来技術に係るチョッパ回路を制御対象とするスイッチング電源回路である。

【0031】

ただ、制御対象はこのようなチョッパ回路に限定する必要はない。制御対象の負荷が所定以上の重負荷のとき前記負荷に応じてパルス幅が決定されるPWM制御で動作されるとともに、前記負荷が所定未満の軽負荷のとき前記負荷に応じて周波数が決定されるPFM制御で動作されるものであれば特に制限はない(以下の各実施の形態においても同じ)。

【0032】

30

図2に示すように、本形態に係るスイッチング電源回路のPWM/PFM制御回路は、図10に示す従来技術に係るPWM/PFM制御回路に差分時間発生手段9を追加したものである。すなわち、図10に示す従来技術と同様の抵抗R1、R2、比較器1、PWM制御信号発生器2、PFM制御信号発生器3、発振器4、三角波発生器5及び論理回路6を有しており、各部分は図10における対応する部分と同様の機能を有する。

【0033】

ここで、前記差分時間発生手段9は、PWM制御信号S3のパルス幅がPFM制御信号S4のパルス幅より小さいことを条件として、PWM制御信号S3のパルス幅とPFM制御信号S4のパルス幅との差に対応する差分時間を表わす差分時間信号S7を形成する。具体的には、PWM制御信号S3によって決定されるオフ期間中のPFM制御信号S4によって決定されるオン期間に基づき、両者の差分時間を表わす差分時間信号S7を形成している。

40

【0034】

本形態における差分時間発生手段9は、PWM制御信号S3及びインバータ10で反転させたPFM制御信号S4のノア論理を採るNOR回路11で形成してある。ただ、これに限るものでは勿論なく、PWM制御信号S3のパルス幅とPFM制御信号S4のパルス幅との差に対応する差分時間を表わす差分時間信号S7を形成するという機能を実現し得るものであれば特別な制限はない。

【0035】

また、差分時間信号S7は、前記差分時間に一致させる必要は必ずしもなく、差分時間

50

の関数となっていれば良い。

【 0 0 3 6 】

本形態における前記発振器 4、すなわち P W M 制御信号 S 3 を形成するための基準となる基準信号 S 6 を発生する回路は、差分時間信号 S 7 に基づき前記差分時間に応じて基準信号 S 6 の発振周波数が低くなるように制御される。

【 0 0 3 7 】

図 3 は本形態に係るスイッチング回路における P W M / P F M 制御回路の各部の波形を示すタイミングチャートで、( a ) は出力電圧 V O U T、( b ) は誤差信号 S 1 とランプ信号 S 2 との関係、( c ) は発振器 4 における入力側のコンデンサ C 1 ( 図 8 参照 ) の電圧 C O N ( この点については図 8 に基づき後に詳述する。 )、( d ) は周期 T の P W M 制御信号 S 3 を形成するための基準となる基準信号 S 6、( e ) は P W M 制御信号 S 3、( f ) は P F M 制御信号 S 4、( g ) は差分時間信号 S 7、( h ) はスイッチ制御信号 S 5 をそれぞれ示す。

10

【 0 0 3 8 】

同図に示すように、本形態によれば、P W M 制御信号 S 3 のパルス幅が P F M 制御信号 S 4 のパルス幅より小さいときには P W M 制御信号 S 3 のパルス幅と P F M 制御信号 S 4 のパルス幅との差に対応する差分時間 a を表わす差分時間信号 S 7 が差分時間発生手段 9 ( 図 2 参照 ) で形成されて発振器 4 ( 図 2 参照 ) に供給される結果、差分時間信号 S 7 に基づき差分時間 a に応じて、基準信号 S 6 の発振周波数が低くなる ( 周期が「 T + a 」となる )。

20

【 0 0 3 9 】

かかるモードでは、スイッチ制御信号 S 5 が P F M 制御信号 S 4 に基づくものとなるが、この P F M 制御信号 S 4 が P W M 制御信号 S 3 に基づくものであるため、P F M 制御信号 S 4 及びスイッチ制御信号 S 5 も対応して周波数が低減される。したがって、その分一定期間内におけるスイッチング素子 S W のオン時間が短くなり、出力電圧 V O U T は図 1 0 に示す従来技術の場合よりも低下する。

【 0 0 4 0 】

一方、P W M 制御信号 S 3 のパルス幅が P F M 制御信号 S 4 のパルス幅より小さいが、負荷の漸増に伴い P W M 制御に移行する過渡的なモード、すなわち負荷変動時における各部の波形は、一例を挙げれば、図 4 のタイミングチャートに示すようになる。同図において、( a ) は負荷電流 I、( b ) は誤差信号 S 1 及びランプ信号 S 2 との関係、( c ) は発振器 4 における入力側のコンデンサ C 1 ( 図 8 参照 ) の電圧 C O N ( この点については図 8 に基づき後に詳述する。 )、( d ) は周期 T の P W M 制御信号 S 3 を形成するための基準となる基準信号 S 6、( e ) は P W M 制御信号 S 3、( f ) は P F M 制御信号 S 4、( g ) は差分時間信号 S 7、( h ) はスイッチ制御信号 S 5 をそれぞれ示す。

30

【 0 0 4 1 】

図 4 に示すように、本例の場合、負荷電流 I は三段階に変化しているが、この負荷電流 I の増加に伴い P W M 制御信号 S 3 のパルス幅が大きくなる。この結果、P F M 制御信号 S 4 とのパルス幅の差を表わす差分時間信号 S 7 の差分時間は差分時間 b からより小さいパルス幅の差分時間 c へと変化し、終には P W M 制御となる。

40

【 0 0 4 2 】

かかる差分時間 b、c の変化は基準信号 S 6 の発振周波数の変化として反映され、P W M 制御信号 S 3 とともに P F M 制御信号 S 4 及びスイッチ制御信号 S 5 も対応して周波数が変化する。したがって、その分一定期間内におけるスイッチング素子 S W のオン時間が長くなる方向で変化し、出力電圧 V O U T は図 1 0 に示す従来技術の場合よりも低下しているが、出力電圧 V O U T が P W M 制御信号 S 3 で規定される P W M 制御モードに向けて前記出力電圧 V O U T を漸増させることができる。

【 0 0 4 3 】

この結果、かかる過渡的なモードにおける出力電圧 V O U T のリップル成分を飛躍的に低減し得る。

50

## 【 0 0 4 4 】

## &lt; 第 2 の実施の形態 &gt;

図 5 は本発明の第 2 の実施の形態に係るスイッチング電源回路における P W M / P F M 制御回路を示す回路図である。同図に示すように、本形態では差分時間信号 S 7 を直接三角波発生器 5 に供給しており、差分時間信号 S 7 に基づき三角波発生器 5 の出力信号であるランプ信号 S 2 の発振周波数を制御するように構成している。他の構成は、図 2 に示すスイッチング電源回路の P W M / P F M 制御回路と全く同様である。そこで、図 2 と同一部分には同一番号を付し、重複する説明は省略する。

## 【 0 0 4 5 】

図 6 は本形態に係る P W M / P F M 制御回路における各部の波形を示すタイミングチャートで、( a ) は誤差信号 S 1 と本形態における基準信号となるランプ信号 S 2 との関係、( b ) は P W M 制御信号 S 3、( c ) は P F M 制御信号 S 4、( d ) は差分時間信号 S 7、( e ) はスイッチ制御信号 S 5 をそれぞれ示す。

10

## 【 0 0 4 6 】

同図に示すように、本形態によれば、P W M 制御信号 S 3 のパルス幅が P F M 制御信号 S 4 のパルス幅より小さいときには P W M 制御信号 S 3 のパルス幅と P F M 制御信号 S 4 のパルス幅との差に対応する差分時間 a を表わす差分時間信号 S 7 が差分時間発生手段 9 ( 図 2 参照 ) で形成されて三角波発生器 5 ( 図 2 参照 ) に供給される結果、差分時間信号 S 7 に基づき差分時間 a に応じて、ランプ信号 S 2 の発振周波数が低くなる ( 周期が「 T + a 」となる )。ここで、T は P W M 制御の 1 周期である。

20

## 【 0 0 4 7 】

かくして、本形態でも、第 1 の実施の形態と同様の作用・効果を得る。

## 【 0 0 4 8 】

## &lt; 第 3 の実施の形態 &gt;

図 7 は本発明の第 3 の実施の形態に係るスイッチング電源回路における P W M / P F M 制御回路を示す回路図である。同図に示すように、本形態に係る P W M / P F M 制御回路は、P W M 比較器 1 2 及びフリップフロップ回路 1 3 を有する。ここで、P W M 比較器 1 2 は、誤差信号 S 1 と制御対象であるチョッパ回路を流れる負荷電流 I に基づくフィードバック電流信号 S 8 とを比較して P W M 制御信号 S 3 のパルス幅を規定するリセット信号 S 9 を出力する。また、フリップフロップ回路 1 3 は、発振器 4 の出力信号である基準信号 S 6 によりセットされて立上るとともに、リセット信号 S 9 によりリセットされて立下がる P W M 制御信号 S 3 を形成する。

30

## 【 0 0 4 9 】

本形態に係る P F M 制御信号発生器 3 は基準信号 S 6 に基づき P F M 制御信号 S 4 を形成する。

## 【 0 0 5 0 】

また、本形態では、第 1 の実施の形態と同様に、差分時間信号 S 7 は発振器 4 に供給するように構成してある。したがって、差分時間信号 S 7 に基づき発振器 4 の発振周波数が制御される。

## 【 0 0 5 1 】

なお、その他の構成は、図 2 に示すスイッチング電源回路の P W M / P F M 制御回路と全く同様である。そこで、図 2 と同一部分には同一番号を付し、重複する説明は省略する。

40

## 【 0 0 5 2 】

本形態においては、基準信号 S 6 でフリップフロップ回路 1 3 がセットされ負荷により発生タイミングが変動するリセット信号 S 9 でリセットされるので、負荷によりパルス幅が変動する P W M 制御信号 S 3 を得る。一方、基準信号 S 6 の発振周波数は、第 1 の実施の形態と同様に差分時間信号 S 7 に基づき変化する。

## 【 0 0 5 3 】

したがって、本形態においては、第 1 の実施の形態と同様の態様で、同様の作用・効果

50

を得る。

【 0 0 5 4 】

< 第 1 の実施例 >

図 8 は図 2 及び図 7 に示す P W M / P F M 制御回路における発振器 4 の具体例である第 1 の実施例を示す回路図である。同図に示すように、本実施例に係る発振器 4 は、コンデンサ C 1 , C 2 の充電時間で発振周波数が規定されるリング発振器で形成するとともに、このリング発振器の入力側のコンデンサ C 1 を充電する充電電流を差分時間信号 S 7 で遮断することで発振タイミングを遅延させることにより基準信号 S 6 の発振周波数を低く制御するように構成したものである。

【 0 0 5 5 】

かかる本実施例において、入力側のコンデンサ C 1 の充電電流 C O N は差分時間信号 S 7 がない場合には、所定の周期（発振周期）で繰り返す三角波となるが、差分時間信号 S 7 が発生した場合には差分時間 a , b , c に相当する時間、充電電流 C O N が遮断されるので、その部分が平坦な波形となり、立下りのタイミングもその差分時間 a , b , c の分だけずれる。この結果、基準信号 S 6 の発振周波数を差分時間 a , b , c に応じて低くすることができる。

【 0 0 5 6 】

< 第 2 の実施例 >

図 9 は図 5 に示す P W M / P F M 制御回路における三角波発生器 5 の具体例である第 2 の実施例を示す回路図である。同図に示すように、本実施例に係る三角波発生器 5 は、コンデンサ C 3 の充放電を利用してランプ信号 S 2 を発生するもので、コンデンサ C 3 を充放電する充放電電流を差分時間信号 S 7 で遮断することで基準信号として機能するランプ信号 S 2 の立ち上がりのタイミングを遅延させて発振周波数を低く制御するように構成したものである。

【 産業上の利用可能性 】

【 0 0 5 7 】

本発明は、例えば携帯電話、パソコン等の電源回路を形成するスイッチング電源回路を製造、販売する電子機器産業分野で利用することができる。

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 本発明に係るスイッチング電源回路のリップル電圧特性を示す特性図である。

【 図 2 】 本発明の第 1 の実施の形態に係るスイッチング電源回路を示す回路図である。

【 図 3 】 図 2 に示すスイッチング回路における P W M / P F M 制御回路の各部の波形を示すタイミングチャートである。

【 図 4 】 図 2 に示すスイッチング回路における負荷変動時の P W M / P F M 制御回路の各部の波形を示すタイミングチャートである。

【 図 5 】 本発明の第 2 の実施の形態に係る P W M / P F M 制御回路を示す回路図である。

【 図 6 】 図 5 に示す P W M / P F M 制御回路における各部の波形を示すタイミングチャートである。

【 図 7 】 本発明の第 3 の実施の形態に係る P W M / P F M 制御回路を示す回路図である。

【 図 8 】 図 2 及び図 7 に示す P W M / P F M 制御回路における発振器の具体例である第 1 の実施例を示す回路図である。

【 図 9 】 図 5 に示す P W M / P F M 制御回路における三角波発生器の具体例である第 2 の実施例を示す回路図である。

【 図 1 0 】 従来技術に係るスイッチング電源回路を示す回路図である。

【 図 1 1 】 図 1 0 に示すスイッチング回路における P W M / P F M 制御回路の各部の波形を示すタイミングチャートである。

【 図 1 2 】 従来技術に係るスイッチング電源回路のリップル電圧特性を示す特性図である。

【 符号の説明 】

10

20

30

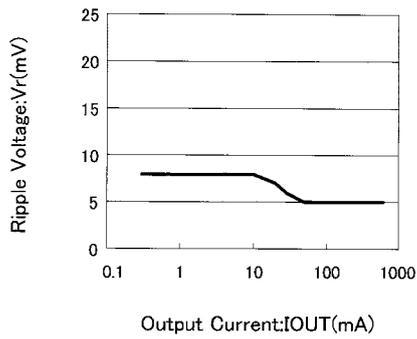
40

50

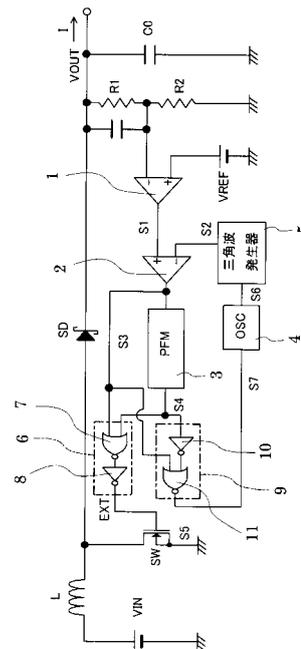
【 0 0 5 9 】

- 1 比較器
- 2 P W M 制御信号発生器
- 3 P F M 制御信号発生器
- 4 発振器
- 5 三角波発生器
- 6 論理回路
- 9 差分時間発生手段
- 1 3 フリップフロップ回路
- a 差分時間 10
- b 差分時間
- c 差分時間
- I 負荷電流
- S 1 誤差信号
- S 2 ランプ信号
- S 3 P W M 制御信号
- S 4 P F M 制御信号
- S 5 スイッチ制御信号
- S 6 基準信号
- S 7 差分時間信号 20
- S 8 フィードバック電流信号
- S 9 リセット信号
- S W スイッチング素子
- V O U T 出力電圧
- V R E F 基準電圧

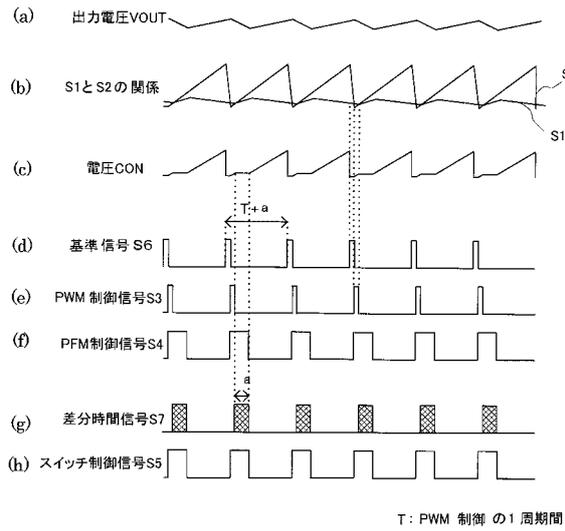
【 図 1 】



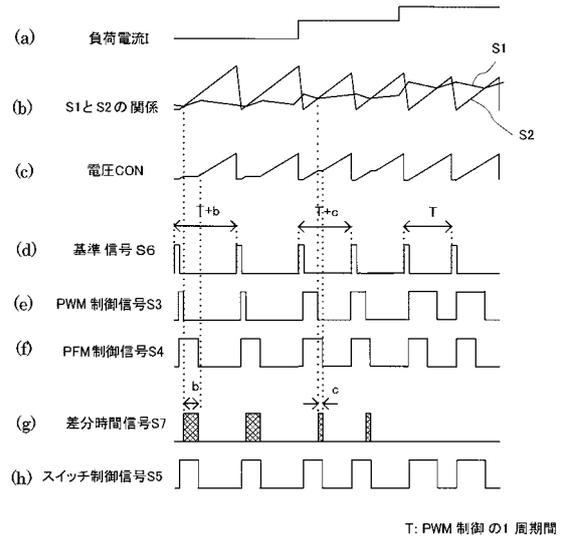
【 図 2 】



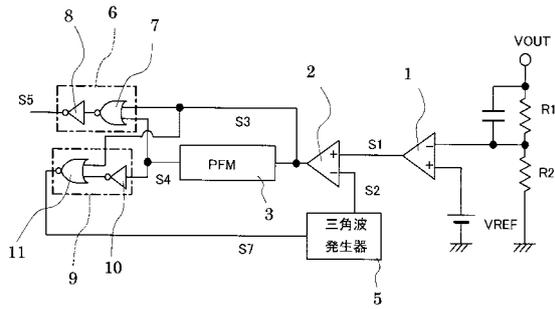
【図3】



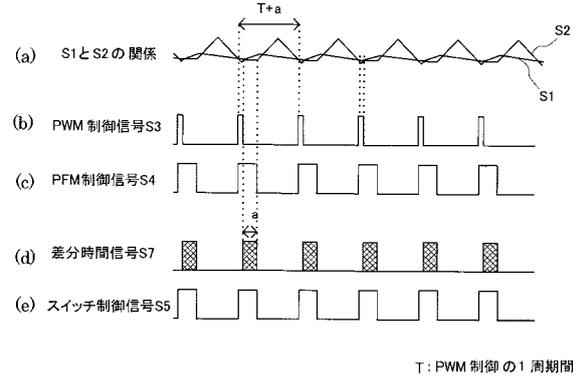
【図4】



【図5】

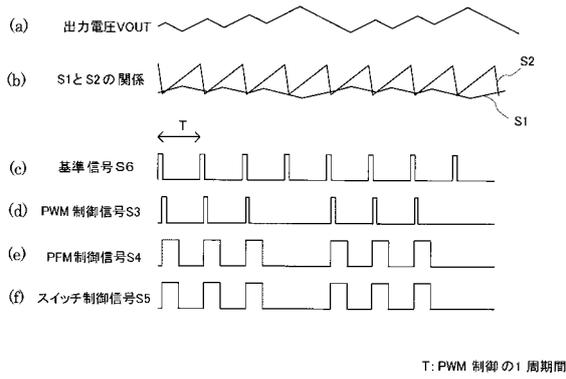


【図6】

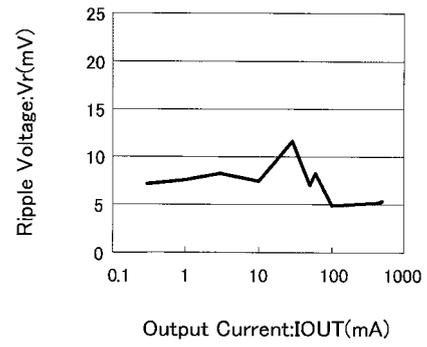




【図 1 1】



【図 1 2】



フロントページの続き

(56)参考文献 特開2006-158038(JP,A)  
特開2003-047242(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3/155