



(12) 发明专利申请

(10) 申请公布号 CN 104485930 A

(43) 申请公布日 2015. 04. 01

(21) 申请号 201410803497. 0

(22) 申请日 2014. 12. 23

(71) 申请人 苏州宽温电子科技有限公司

地址 215000 江苏省苏州市吴中区木渎镇中
山东路 70 号 2307 室

(72) 发明人 翁宇飞 李力南 胡玉青

(74) 专利代理机构 北京汇智胜知识产权代理事
务所 (普通合伙) 11346

代理人 魏秀莉

(51) Int. Cl.

H03K 5/13(2014. 01)

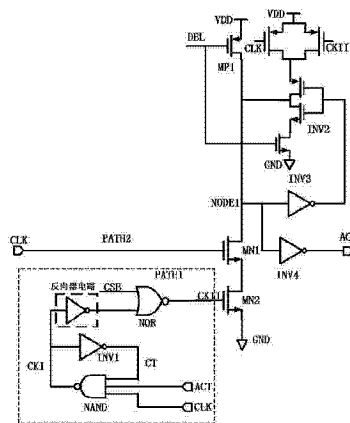
权利要求书1页 说明书3页 附图5页

(54) 发明名称

一种高效时钟输入控制电路

(57) 摘要

本发明是一种高效时钟输入控制电路,包括外部时钟信号端 CLK,外部时钟信号端 CLK 通过 PATH1 通道和 PATH2 通道分别连接控制两个串联的 NMOS 管 MN2 和 NMOS 管 MN1 的栅极,所述 PATH2 通道为外部时钟信号端 CLK 直接连接到 NMOS 管 MN1 的栅极,其中在所述 PATH1 通道中设置有内部时钟 ACT 信号反馈回路,并产生 CKII 和 CLK 信号一起控制 NMOS 管 MN1 和 NMOS 管 MN2,所述 ACT 信号反馈回路主要包括三输入与非门 NAND 和两输入或非门 NOR。采用本发明技术方案,在不同输入时钟情况下,特别是时钟上升 / 下降时间较大时,都能产生可靠的存储器内部控制时钟,并且效率高,电路可靠性高。



1. 一种高效时钟输入控制电路,包括外部时钟信号端 CLK,外部时钟信号端 CLK 通过 PATH1 通道和 PATH2 通道分别连接控制两个串联的 NMOS 管 MN2 和 NMOS 管 MN1 的栅极,所述 PATH2 通道为外部时钟信号端 CLK 直接连接到 NMOS 管 MN1 的栅极,其特征在于:

所述 PATH1 通道中设置有内部时钟 ACT 信号反馈回路,并产生 CKII 和 CLK 信号一起控制 NMOS 管 MN1 和 NMOS 管 MN2;

所述 ACT 信号反馈回路主要包括三输入与非门 NAND 和两输入或非门 NOR,所述三输入与非门 NAND 三个输入端分别连接内部时钟信号 ACT、外部时钟信号端 CLK 和 CT 信号,其输出端通过反向器 INV1 连接其自身的 CT 信号输入端,同时其输出端还通过一反向器电路与控制信号 CSB 分别连接到两输入或非门 NOR 的两个输入端,两输入或非门 NOR 的输出端产生 CKII 信号连接控制 NMOS 管 MN2 的栅极。

2. 根据权利要求 1 所述的高效时钟输入控制电路,其特征在于,所述三输入与非门 NAND 中的上拉电路由两个 PMOS 管串联之后再与一个 PMOS 管并联,下拉电路则相反,由两个 NMOS 管先并联,再和另一个 NMOS 管串联。

3. 根据权利要求 1 或 2 所述的高效时钟输入控制电路,其特征在于,所述三输入与非门 NAND 的上拉电路中单独并联的 PMOS 的栅极以及下拉电路中单独串联的 NMOS 管的栅极分别与外部输入时钟信号 CLK 端和内部时钟信号 ACT 对应连接。

4. 根据权利要求 1 所述的高效时钟输入控制电路,其特征在于,所述 ACT 信号反馈回路中的反向器电路中至少包括一个反向器。

一种高效时钟输入控制电路

技术领域

[0001] 本发明属于集成电路及存储器领域,具体涉及一种带有时钟 ACT 信号反馈回路的高效时钟输入控制电路。

背景技术

[0002] 随着集成电路设计水平和工艺技术的不断提高,电路的复杂程度也随之提高,如今所设计的芯片少则几百万门,多则更是达到了几千万门。与此同时,对复杂电路的高速度和低功耗也提出了越来越高的要求,特别是在处理器、存储器、个人电脑以及计算机系统的应用中。据统计,2010 年存储器已经占到集成电路市场总额的 22%,加之近年来先进工艺的不断推出,存储器占整个市场份额的比例更有所扩大。

[0003] 为了提高复杂电路系统的性能,将一套系统集成到一块硅片上 SOC (System on Chip) 的设计已成为一种趋势。在 SOC 设计过程中,存储器的设计占有非常大的一个比重。因此,对于一个复杂的电路系统,其内部存储器性能和稳定性的好坏直接影响到整个系统的成败。

[0004] 此外,对于很多高速系统,对其内部存储器的速度要求很高,特别是在 CPU、ESC、DSP 设计方面。其内部嵌入的存储器影响整个芯片的速度,对整个系统的功耗和速度有非常大的影响。因此,如何设计高速、可靠、稳定的存储器成为存储器设计者需要考虑的问题。

[0005] 在整个存储器设计过程中,其时序控制电路设计是一项很重要的工作,最基本的就是时钟输入控制模块的设计。在现有的设计中,一般采用的时钟输入控制电路如下图 1 所示。图 1 展现了由外部输入时钟 CLK 产生存储器内部控制时钟 ACT 的电路。外部时钟 CLK 通过 PATH1 (虚线框内) 和 PATH2 分别控制两个串联 NMOS 管 MN1、MN2 的栅极。其中 PATH2 为 CLK 直接连到 MN1 的栅极,PATH1 通过反相器对电路 1、反相器 INV1、与非门 NAND、或非门 NOR 产生 CKII 信号连接到 MN2 的栅极。两输入 NAND 和 NOR 的另一个输入分别接控制信号 CSB 和 PD, CSB 和 PD 通过控制 CKII 来最终控制 ACT 信号。电路 1 的一对反相器用于调节 PATH1 上的信号延时。

[0006] 当 CLK 和 CKII 信号同时为高电平 1 时,MN1 和 MN2 导通致使 NODE1 被拉到低电平 0,再通过反相器 INV4 使得存储器内部时钟信号 ACT 输出为高电平。若当 CLK 以及 CKII 两个信号任何一个为低电平时,ACT 输出保持不变,直到 DBL 信号为低时,通过 PMOS 管 MP1 以及将 NODE1 拉高,通过反相器 INV4 从而使输出 ACT 为低。这样一来便可通过 PATH1 中的 CSB、PD 以及 DBL 等控制信号,产生存储器内部读写控制时序。

[0007] 在高速应用中,按照图 1 中的存储器时钟输入控制电路,如果外部输入时钟的上升\下降时间较大,传统的电路就不能完全满足要求。在这种情况下,CLK 和 CKII 信号无法达到同时为高,这样则有可能无法产生内部时钟信号 ACT,导致存储器无法工作,如图 2 所示。

[0008] 为了解决上述问题,提高所设计的存储器在不同输入时钟情况下的可靠性,本发明提出了不同的方案,并在实际存储器设计中进行验证,取得了良好的效果。

发明内容

[0009] 本发明的目的在于克服现有技术存在的问题,提供一种高效时钟输入控制电路。

[0010] 为实现上述技术目的,达到上述技术效果,本发明通过以下技术方案实现:

一种高效时钟输入控制电路,包括外部时钟信号端 CLK,外部时钟信号端 CLK 通过 PATH1 通道和 PATH2 通道分别连接控制两个串联的 NMOS 管 MN2 和 NMOS 管 MN1 的栅极,所述 PATH2 通道为外部时钟信号端 CLK 直接连接到 NMOS 管 MN1 的栅极,其中:

所述 PATH1 通道中设置有内部时钟 ACT 信号反馈回路,并产生 CKII 和 CLK 信号一起控制 NMOS 管 MN1 和 NMOS 管 MN2;

所述 ACT 信号反馈回路主要包括三输入与非门 NAND 和两输入或非门 NOR,所述三输入与非门 NAND 三个输入端分别连接内部时钟信号 ACT、外部时钟信号端 CLK 和 CT 信号,其输出端通过反向器 INV1 连接其自身的 CT 信号输入端,同时其输出端还通过一反向器电路与控制信号 CSB 分别连接到两输入或非门 NOR 的两个输入端,两输入或非门 NOR 的输出端产生 CKII 信号连接控制 NMOS 管 MN2 的栅极。

[0011] 进一步的,所述三输入与非门 NAND 中的上拉电路由两个 PMOS 管串联之后再与一个 PMOS 管并联,下拉电路则相反,由两个 NOMS 管先并联,再和另一个 NMOS 管串联。

[0012] 进一步的,所述三输入与非门 NAND 的上拉电路中单独并联的 PMOS 的栅极以及下拉电路中单独串联的 NMOS 管的栅极分别与外部输入时钟信号 CLK 端和内部时钟信号 ACT 对应连接。

[0013] 进一步的,所述 ACT 信号反馈回路中的反向器电路中至少包括一个反向器。

[0014] 本发明的有益效果是:

采用本发明技术方案,在不同输入时钟情况下,特别是时钟上升/下降时间较大时,都能产生可靠的存储器内部控制时钟,并且效率高,电路可靠性高。

附图说明

[0015] 图 1 为传统存储器时钟输入控制电路;

图 2 为应用图 1 中外部输入时钟上升/下降时间较大时 ACT 信号无法产生;

图 3 为本发明中包含 ACT 反馈回路的时钟输入控制电路;

图 4 为本发明中的三输入与非门 NAND 内部结构电路;

图 5 为本发明时钟输入控制电路的时序关系图。

具体实施方式

[0016] 下面将参考附图并结合实施例,来详细说明本发明。

[0017] 如图 3 所示,本发明实施例中的一种高效、可靠的时钟输入控制电路,其包含存储器内部时钟 ACT 信号的反馈回路,通过 PATH1 通道产生 CKII 和 CLK 信号一起控制 NMOS 管 MN1 和 MN2,当 MN1 和 MN2 打开时,NODE1 被拉低,ACT 变高。当 DBL 信号为低电平时,PMOS 管 MP1 打开,NODE1 拉高,通过反相器 INV4 将 ACT 信号拉低。另外,通过反相器 INV2 和 INV3,将 NODE1 节点的电位始终钳制在高或者低。与先前提到的电路不同,图 3 中所示的 PATH1 通道电路包含 ACT 信号的反馈电路。存储器内部时钟信号 ACT 和外部时钟输入信号 CKL 以

及 CT 信号一同连到三输入与非门 NAND 的三个输入,其输出通过反向器电路(小虚线框内,本实施例中使用一个反向器)与控制信号 CSB 一同连到两输入或非门 NOR 的输入,从而产生 CKII 信号。图 3 中所涉及的三输入与非门 NAND 并非通常所用的与非门,其电路结构如图 4 所示。其上拉电路由两个 PMOS 管串联之后再与一个 PMOS 管并联,下拉电路则相反,由两个 NMOS 管先并联,再和另一个 NMOS 管串联,相应的信号输入如图 4 所示。图 4 中的与非门电路应用与图 3 的控制电路时,上拉电路中单独并联的 PMOS 的栅极以及下拉电路中单独串联的 NMOS 管的栅极与外部输入时钟信号 CLK 端和内部时钟信号 ACT 对应连接。

[0018] 电路工作时,若外部输入时钟 CLK 为低电平,则通过三输入与非门 NAND 的输出 CKI 为高电平,如果此时控制信号 CSB 变低,CLK 升高,则通过 NOR 的延时,CKII 变高,此次 CLK 和 CKII 信号同时为高,MN1 和 MN2 同时打开,NODE1 被拉低,通过反相器 INV4 是的 ACT 输出变高。一旦 ACT 信号升高,三输入与非门的输出 CKI 被拉为低电平 0,通过电路 1 和 NOR 的延时,CKII 也被拉低,MN2 被关掉。这相对于一旦内部时钟信号 ACT 起来,通过 PATH1 通道即产生一个 CKII 的脉冲。这样一来,就能保证在输入时钟上升/下降时间比较大的情况下,存储器内部时钟能够确定产生。图 3 电路的具体工作时序如图 5 所示。

[0019] 如图 5 所示,当外部输入时钟信号 CLK 为低时,与非门 NAND 使得 CKI 信号始终为高(图中标号 1),当 CLK 变为高电平时,CKI 的值由 ACT 反馈信号控制。一旦控制信号 CSB 为低,由于 CKI 为高,致使 MN2 的栅极控制信号 CKII 变高(图中标号 2),CKII 的升高使 MN1 和 MN2 同时导通,从而引起 ACT 信号变高(图中标号 3)。由于 ACT 信号为高,引起 CKI 信号拉低(图中标号 4),进而可把 CKII 信号拉低关闭(图中标号 5)。此时,存储器内部控制时钟正常产生。

[0020] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

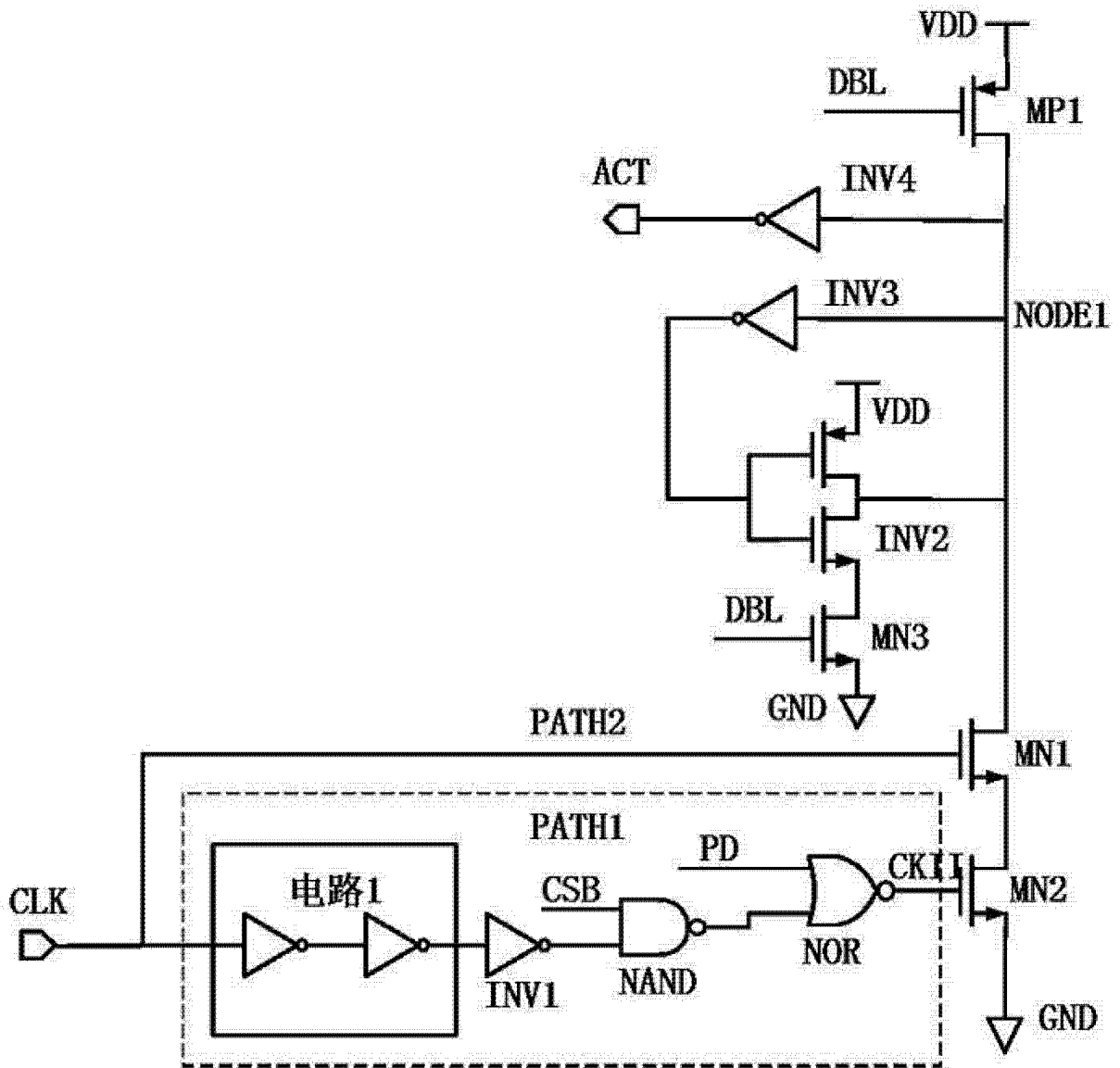


图 1

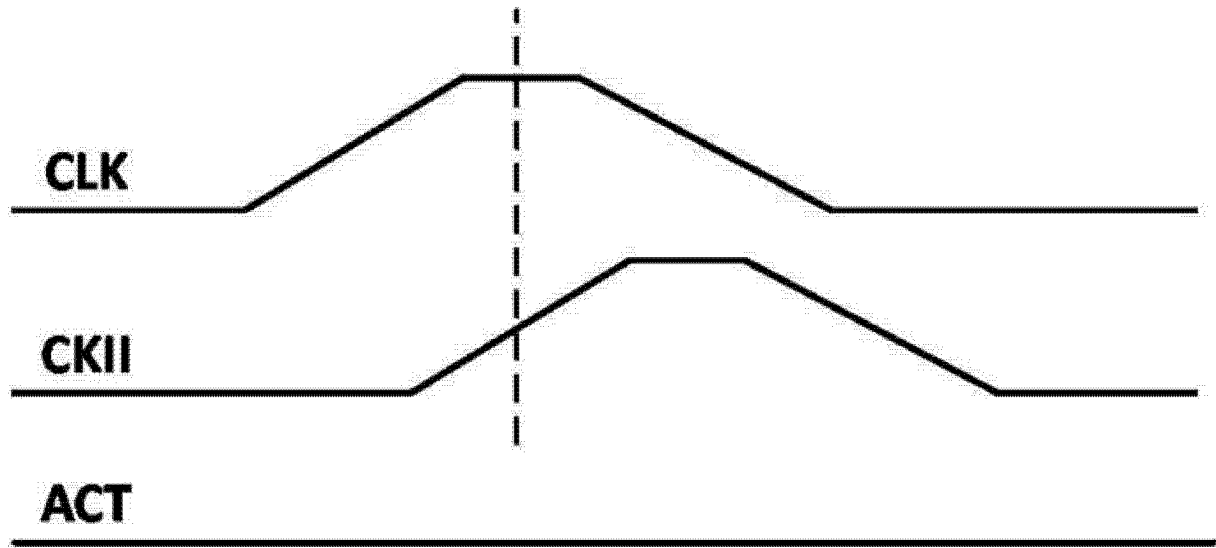


图 2

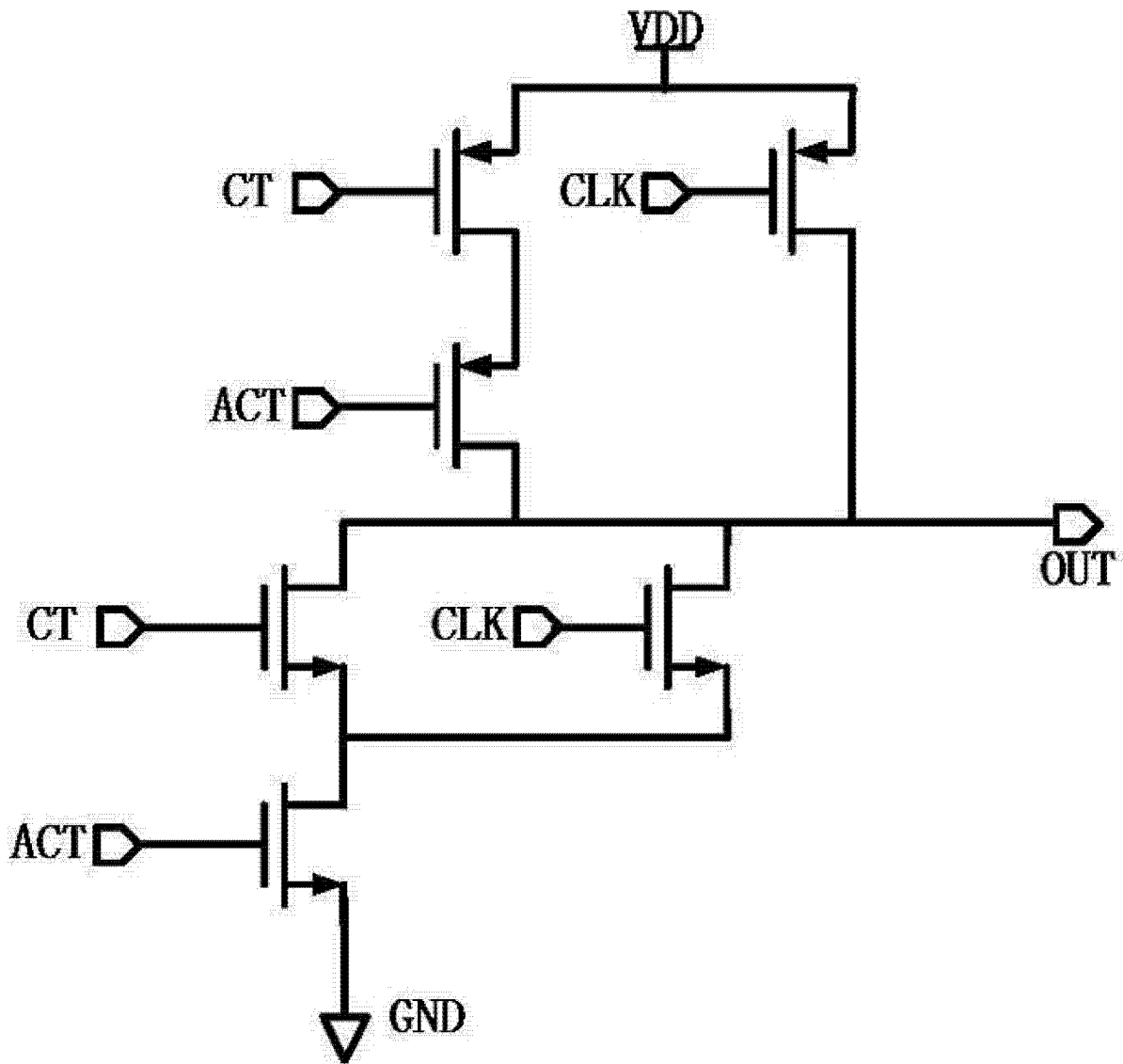


图 4

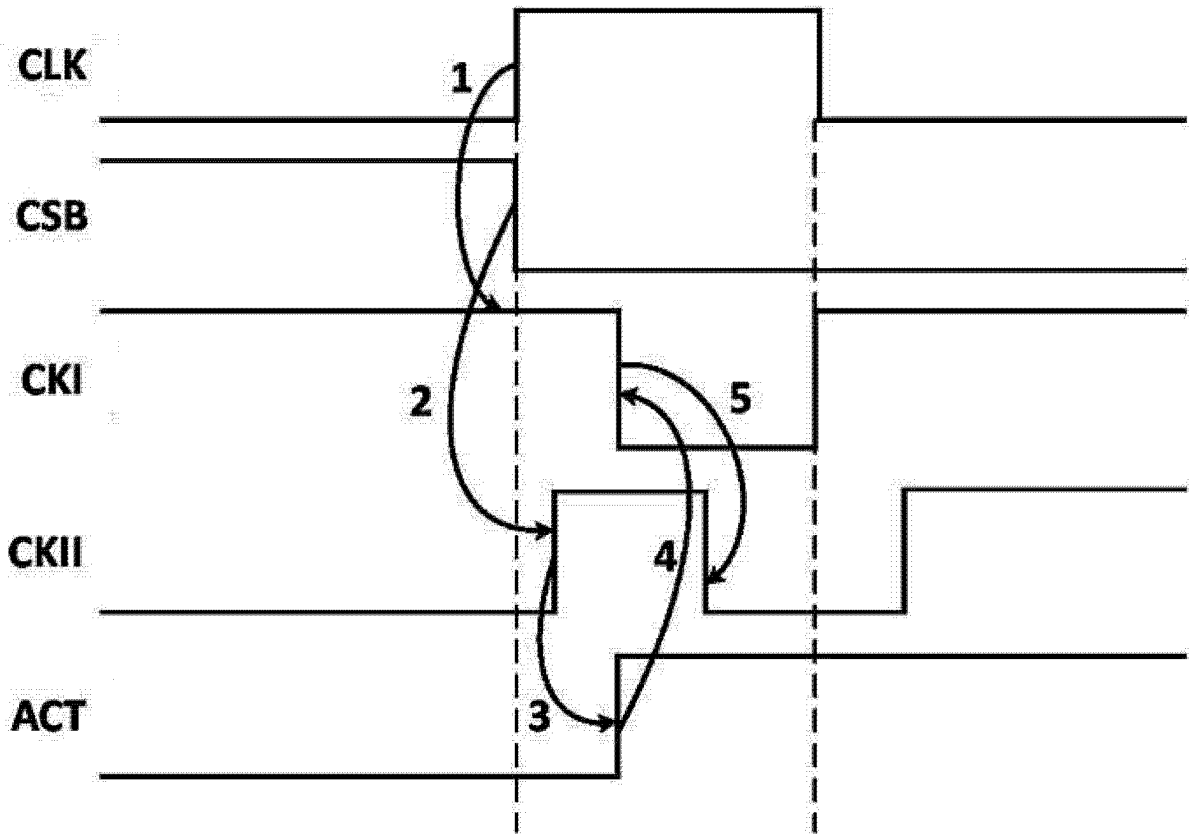


图 5