



(12) 发明专利申请

(10) 申请公布号 CN 112310134 A

(43) 申请公布日 2021.02.02

(21) 申请号 202010758224.4

(22) 申请日 2020.07.31

(30) 优先权数据

62/881,000 2019.07.31 US

16/865,819 2020.05.04 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 宋至伟 曾重宾 廖耕颖 吴彦柔

陈柏仁 叶书佑 苏庆忠

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 李伟

(51) Int. Cl.

H01L 27/146 (2006.01)

H01L 23/544 (2006.01)

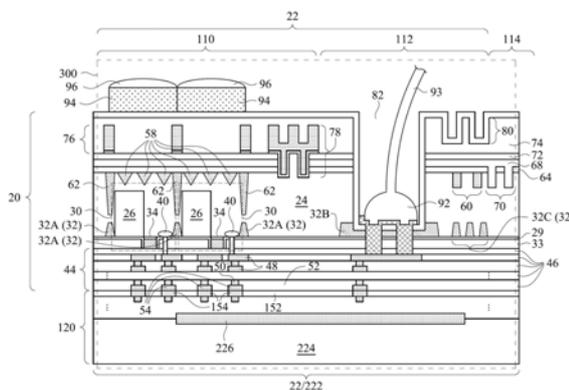
权利要求书2页 说明书10页 附图21页

(54) 发明名称

形成半导体器件的方法

(57) 摘要

一种方法包括在半导体衬底中形成图像传感器。第一对准标记形成为靠近半导体衬底的前侧。该方法还包括执行背侧抛光工艺以减薄半导体衬底,在半导体衬底的背侧上形成第二对准标记,以及在半导体衬底的背侧上形成部件。使用用于对准的第二对准标记形成部件。本发明的实施例涉及形成半导体器件的方法。



1. 一种形成半导体器件的方法,包括:
在半导体衬底中形成图像传感器,其中,靠近所述半导体衬底的前侧形成第一对准标记;
执行背侧抛光工艺以减薄所述半导体衬底;
在所述半导体衬底的背侧上形成第二对准标记;以及
在所述半导体衬底的背侧上形成部件,其中,使用用于对准的所述第二对准标记形成所述部件。
2. 根据权利要求1所述的方法,其中,形成所述第二对准标记包括:
蚀刻所述半导体衬底以形成从所述半导体衬底的背侧延伸到所述半导体衬底中的沟槽。
3. 根据权利要求2所述的方法,其中,形成所述第二对准标记包括沉积介电层以填充所述沟槽。
4. 根据权利要求2所述的方法,还包括:在蚀刻所述半导体衬底之前,沉积与所述半导体衬底的背表面接触的附加介电层,其中,所述沟槽穿透所述附加介电层。
5. 根据权利要求1所述的方法,还包括:形成从所述半导体衬底的背表面延伸到所述半导体衬底中的深沟槽隔离区域,其中,在形成所述深沟槽隔离区域之前形成所述第二对准标记。
6. 根据权利要求1所述的方法,还包括:
在所述半导体衬底的背侧上形成金属栅格;以及
在所述金属栅格上沉积介电层,其中,形成所述第二对准标记包括蚀刻所述介电层以形成沟槽。
7. 根据权利要求6所述的方法,其中,所述沟槽的深度小于所述介电层的厚度。
8. 根据权利要求1所述的方法,其中,形成所述部件包括:
蚀刻所述半导体衬底以形成穿透所述半导体衬底的贯穿开口;以及
形成延伸到所述贯穿开口中的接合焊盘,其中,所述接合焊盘电连接至所述半导体衬底的前侧上的金属部件。
9. 一种形成半导体器件的方法,包括:
在半导体衬底中形成浅沟槽隔离(STI)区域,其中,所述浅沟槽隔离区域包括第一对准标记;
在所述半导体衬底中形成图像传感器;
从所述半导体衬底的背侧执行背侧抛光工艺;
在所述半导体衬底中形成第二对准标记,其中,通过使用用于对准的所述第一对准标记形成所述第二对准标记;以及
在所述半导体衬底的背侧上形成滤色器。
10. 一种形成半导体器件的方法,包括:
在半导体衬底中形成多个浅沟槽隔离(STI)区域,其中,所述浅沟槽隔离区域包括:
浅沟槽隔离栅格;
浅沟槽隔离焊盘;和
第一对准标记;

在所述浅沟槽隔离栅格中形成图像传感器;以及
从所述半导体衬底的背侧形成第二对准标记,其中,通过与所述第一对准标记对准来形成所述第二对准标记。

形成半导体器件的方法

技术领域

[0001] 本发明的实施例涉及形成半导体器件的方法。

背景技术

[0002] 半导体图像传感器操作为感测光。通常,半导体图像传感器包括互补金属氧化物半导体(CMOS)图像传感器(CIS)和电荷耦合器件(CCD)传感器,它们广泛用于各种应用中,诸如数码相机(DSC)、移动电话相机、数字视频(DV)和数字视频记录器(DVR)应用。这些半导体图像传感器利用图像传感器元件的阵列,其中每个图像传感器元件包括光电二极管和其他元件,以吸收光并且将感测到的光转换成数字数据或电信号。

[0003] 前侧照明(FSI)CMOS图像传感器和背侧照明(BSI)CMOS图像传感器是CMOS图像传感器的两种类型。FSI CMOS图像传感器可操作为检测从它们的前侧投射的光,而BSI CMOS图像传感器可操作为检测从它们的背侧投射的光。当光投射到FSI CMOS图像传感器或BSI CMOS图像传感器中时,生成光电子,并且然后由图像传感器的像素中的光敏器件感测光电子。生成的光电子越多,图像传感器的量子效率(QE)越好,因此提高了CMOS图像传感器的图像质量。

发明内容

[0004] 本发明的实施例提供了一种形成半导体器件的方法,包括:在半导体衬底中形成图像传感器,其中,靠近所述半导体衬底的前侧形成第一对准标记;执行背侧抛光工艺以减薄所述半导体衬底;在所述半导体衬底的背侧上形成第二对准标记;以及在所述半导体衬底的背侧上形成部件,其中,使用用于对准的所述第二对准标记形成所述部件。

[0005] 本发明的另一实施例提供了一种形成半导体器件的方法,包括:在半导体衬底中形成浅沟槽隔离(STI)区域,其中,所述浅沟槽隔离区域包括第一对准标记;在所述半导体衬底中形成图像传感器;从所述半导体衬底的背侧执行背侧抛光工艺;在所述半导体衬底中形成第二对准标记,其中,通过使用用于对准的所述第一对准标记形成所述第二对准标记;以及在所述半导体衬底的背侧上形成滤色器。

[0006] 本发明的又一实施例提供了一种形成半导体器件的方法,包括:在半导体衬底中形成多个浅沟槽隔离(STI)区域,其中,所述浅沟槽隔离区域包括:浅沟槽隔离栅格;浅沟槽隔离焊盘;和第一对准标记;在所述浅沟槽隔离栅格中形成图像传感器;以及从所述半导体衬底的背侧形成第二对准标记,其中,通过与所述第一对准标记对准来形成所述第二对准标记。

附图说明

[0007] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的各个方面。应该强调,根据工业中的标准实践,各个部件未按比例绘制并且仅用于说明的目的。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

- [0008] 图1至图16示出了根据一些实施例的图像传感器芯片的形成中的中间阶段的截面图。
- [0009] 图17示出了根据一些实施例的图像传感器的像素的电路图。
- [0010] 图18示出了根据一些实施例的图像传感器芯片的分区平面图。
- [0011] 图19示出了根据一些实施例的示例对准标记。
- [0012] 图20示出了根据一些实施例的对准标记和可以使用对准标记的工艺。
- [0013] 图21示出了根据一些实施例的用于形成图像传感器芯片的工艺流程。

具体实施方式

[0014] 本发明提供了许多用于实现本发明的不同特征的不同实施例或实例。下面描述了组件和布置的具体实施例或实例以简化本发明。当然,这些仅是实例而不旨在限制。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成附加部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可以在各个示例中重复参考数字和/或字母。该重复是为了简单和清楚的目的,并且其本身不指示讨论的各个实施例和/或配置之间的关系。

[0015] 此外,为了便于描述,本文中可以使用诸如“在…下方”、“在…下面”、“下部”、“在…上面”、“上部”等的间距关系术语,以描述如图中所示的一个元件或部件与另一元件或部件的关系。除了图中所示的方位外,间距关系术语旨在包括器件在使用或操作工艺中的不同方位。装置可以以其它方式定位(旋转90度或在其它方位),并且在本文中使用的间距关系描述符可以同样地作相应地解释。

[0016] 根据本发明的一些实施例,提供了背侧照明(BSI)图像传感器芯片及其形成方法。根据本发明的一些实施例,示出了BSI图像传感器芯片的形成中的中间阶段。讨论了一些实施例的一些变型。本文讨论的实施例将提供示例,以使得能够进行或使用本发明的主题,并且本领域技术人员将容易理解可以进行的修改,同时保持在不同实施例的预期范围内。贯穿各种视图和示例性实施例,相同的参考标号用于指示相同的元件。虽然方法实施例可以讨论为以特定顺序执行,但是其他方法实施例可以以任何逻辑顺序执行。根据本发明的一些实施例,在BSI图像传感器芯片的背侧上形成背侧对准标记,并且通过与前侧对准标记对准来形成背侧对准标记。一次形成背侧对准标记,同时仍然可以从背侧观察前侧对准标记。在用于形成BSI图像传感器芯片的背侧工艺中,可以将背侧对准标记用于对准。

[0017] 图1至图16示出了根据本发明的一些实施例的在背侧对准标记的形成中的中间阶段的截面图。相应的工艺也示意性地反映在图21所示的工艺流程200中。

[0018] 图1示出了图像传感器芯片22的初始结构的形成,该初始结构可以是晶圆20的部分,晶圆20中包括多个图像传感器芯片22。图像传感器芯片22包括半导体衬底24。根据本发明的一些实施例,半导体衬底24是晶体硅衬底。根据本发明的其他实施例,半导体衬底24包括诸如锗的元素半导体;化合物半导体,包括碳硅、砷化镓、磷化镓、磷化铟、砷化铟和/或锑化铟;合金半导体,包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP和/或GaInAsP;或它们的组合。也可以使用其他衬底,诸如多层或梯度衬底。在整个说明书中,衬底24的主表面24A称为半导体衬底24的前表面,并且主表面24B称为半导体衬底24的背表面。表面24A和24B可

以在(100)或(001)平面上。

[0019] 隔离区域32形成延伸为延伸到半导体衬底24中以限定区域(诸如有源区域),隔离区域32可选地称为浅沟槽隔离(STI)区域32。根据本发明的一些实施例,STI区域32包括具有不同功能的多个部分。例如,STI区域32包括STI栅格32A、用于形成金属焊盘的着陆焊盘32B以及前侧对准标记32C。STI栅格32A是用于在其中形成图像传感器阵列的栅格。着陆焊盘32B可以是足够大以容纳金属焊盘的焊盘,如将在随后的段落中讨论的。前侧对准标记32C可以包括具有独特图案的图案化的STI区域,因此用作对准标记。对准标记32C可以用于前侧结构的形成中的对准目的。根据本发明的一些实施例,对准标记32C的高度H1可以在约1000埃到约2000埃的范围内。根据本发明的一些实施例,对准标记32C形成在金属焊盘区域112(图18)中。根据其他实施例,对准标记32C形成在任何其他区域中,包括划线区域114、图像传感器所在的像素区域110(当空间可用时)等。图19示出了根据本发明的一些实施例的对准标记的示例平面图,该对准标记具有可由对准标记32C采用的图案。例如,条和十字可以是STI区域或STI区域之间的空间。对准标记32C也可以采用任何其他可用的图案。

[0020] 再次参考图1,图像传感器26形成从前表面24A延伸到半导体衬底24中。图像传感器26的形成可以包括注入工艺。图像传感器26配置为将光信号(光子)转换为电信号。图像传感器26可以是光敏金属氧化物半导体(MOS)晶体管、光敏二极管等。在整个说明书中,图像传感器26可选地称为光电二极管26,虽然它们可以是其他类型的图像传感器。根据本发明的一些实施例,光电二极管26形成图像传感器阵列。每个光电二极管26可以位于由STI区域32A形成的栅格的栅格单元中。

[0021] 图1还示出了像素单元30,像素单元30在由STI网格32A限定的有源区域中具有至少一些部分。图17示出了像素单元30的示例的电路图。根据本发明的一些实施例,像素单元30包括光电二极管26,光电二极管26具有耦合至电接地GND的阳极和耦合至传输门晶体管34的源极的阴极。传输门晶体管34的漏极可以耦合至复位晶体管38的漏极和源极跟随器42的栅极。复位晶体管38的栅极耦合至复位线RST。复位晶体管38的源极可以耦合至像素电源电压VDD。浮置扩散电容器40可以耦合在传输门晶体管34的源极/漏极与源极跟随器42的栅极之间。复位晶体管38用于将浮置扩散电容器40处的电压预设为VDD。源极跟随器42的漏极耦合至电源电压VDD。源极跟随器42的源极耦合至行选择器43。源极跟随器42为像素单元30提供高阻抗输出。行选择器43用作相应的像素单元30的选择晶体管,并且行选择器43的栅极耦合至选择线SEL。

[0022] 再次参考图1,示出了晶体管作为像素单元30中的器件的示例(例如,图17中的晶体管34、38、42和44)。例如,在图1中示出了传输门晶体管34作为示例。根据本发明的一些实施例,每个光电二极管26电耦合至传输门晶体管34的第一源极/漏极区域,传输门晶体管34包括栅极28和栅极电介质31。栅极电介质31与衬底24的前表面24A接触。传输门晶体管34的第一源极/漏极区域可以由相应的连接光电二极管26共享。例如,通过向衬底24注入p型杂质和n型杂质至不同的深度以形成pn结,在衬底24中形成浮置扩散电容器40,该pn结用作浮置扩散电容器40。浮置扩散电容器40可以形成在传输门晶体管34的第二源极/漏极区域中,并且因此浮置扩散电容器40的其中一个电容器板电耦合至传输门晶体管34的第二源极/漏极区域。同一有源区域中的光电二极管26、相应的传输门晶体管34和浮置扩散电容器40形成像素单元30,也如图1所标记的。

[0023] 图18示出了根据本发明的一些实施例的BSI芯片22的示意性分区方案,并且图1示出了从如图18所示的参考横截面1-1获得的截面图。BSI芯片22可以包括像素区域110,在像素区域110中形成像素单元30(图1),该像素单元也形成为阵列。划线区域114在整个相应晶圆上形成为栅格,以将BSI图像传感器芯片22彼此分隔开。在划线区域114和像素区域110之间形成金属焊盘区域112(也是外围区域)。根据本发明的一些实施例,外围区域112可以形成为环绕像素区域110的环,如图18所示。根据可选实施例,代替形成环,外围区域112延伸到像素区域110的一侧、两侧或三侧,但不延伸到其余侧。

[0024] 再次回到图1,在衬底24和诸如传输门晶体管34的晶体管上形成接触蚀刻停止层29。CESL 29可以由氧化硅、氮化硅、碳氮化硅等或它们的多层形成。例如,可以使用诸如原子层沉积(ALD)或化学气相沉积(CVD)的共形沉积方法来形成CESL 29。层间电介质(ILD)33形成在CESL 29上方。ILD33可以包括使用例如可流动化学气相沉积(FCVD)、旋涂、CVD或其他沉积方法形成的介电材料。ILD 33也可以由含氧介电材料形成,含氧介电材料可以是氧化物,诸如氧化硅、磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、掺硼磷硅酸盐玻璃(BPSG)等。

[0025] 前侧互连结构44形成在半导体衬底24上方。前侧互连结构44用于将图像传感器芯片22中的器件电互连,并且连接至其他封装组件。前侧互连结构44包括介电层46以及位于介电层46中的金属线48和通孔50。在整个说明书中,同一介电层46中的金属线48统称为金属层。前侧互连结构44可以包括多个金属层。根据本发明的一些实施例,介电层46包括低k介电层。低k介电层具有低k值,例如,低于3.8,并且可能低于约3.0。

[0026] 表面介电层52形成为晶圆20的顶部介电层。表面介电层52可以由k值等于或大于约3.8的非低k介电材料形成。根据本发明的一些实施例,表面介电层52由氧化硅形成或包括氧化硅。

[0027] 接合焊盘54还形成在晶圆20的顶部处。接合焊盘54可以由铜形成或包括铜。接合焊盘54还可以包括环绕铜的阻挡层。接合焊盘54的顶面可以与表面介电层52的顶面共面。

[0028] 接下来,参考图2,将晶圆20接合到晶圆120。相应的工艺示出为图21所示的工艺流程中的工艺202。根据本发明的一些实施例,通过混合接合执行接合。因此,晶圆20中的表面介电层52通过例如形成有S-O-Si键的熔融接合而接合至晶圆120中的表面介电层252。晶圆20的接合焊盘54也通过金属对金属直接接合而接合到晶圆120中的金属焊盘254。

[0029] 根据本发明的一些实施例,晶圆120包括芯片222,芯片222中进一步包括逻辑电路226。逻辑电路226可以包括用于处理和使用从BSI芯片22获得的电信号的应用电路。例如,逻辑电路226可以包括用于处理从图像传感器芯片22获得的图像相关信号的一个或多个图像信号处理(ISP)电路。图像信号处理(ISP)电路可以包括模数转换器(ADC)、相关双采样(CDS)电路、行解码器等。通过接合焊盘54和254,晶圆120中的电路电和信号连接至晶圆20中的图像传感器电路。

[0030] 进一步参考图2,执行背侧研磨工艺以将背表面24B研磨成薄半导体衬底24。相应的工艺示出为图21所示的工艺流程中的工艺204。所得的背表面称为图2中的24B'。衬底24的厚度可以减小到小于约20 μm 或小于约15 μm ,使得光可以从背表面24B'穿透到半导体衬底24中并且到达光电二极管26。为了改进光接收效率,衬底24的厚度T1保持为具有较大的值,例如大于约6 μm 。

[0031] 图3示出了对准标记56的形成,对准标记56包括从背表面24B'延伸到半导体衬底

24中的一个或多个沟槽。相应的工艺示出为图21所示的工艺流程中的工艺206。可以通过干蚀刻工艺来形成沟槽,该干蚀刻工艺可以使用诸如 C_2F_6 ; CF_4 ; SO_2 ; HBr 、 Cl_2 和 O_2 的混合物; HBr 、 Cl_2 和 O_2 的混合物或 HBr 、 Cl_2 、 O_2 和 CF_2 的混合物等的工艺气体来执行。对准标记56的图案可以采用任何可区分的图案,可区分的图案可以包括图19中所示的图案。对准标记56的深度D1可以在约1800埃和约2000埃之间的范围内。使用对准标记32C作为对准标记来确定对准标记56的位置。换句话说,使用用于对准的对准标记32C形成对准标记56。

[0032] 根据本发明的一些实施例,在金属焊盘区域112(图18)中形成对准标记56。根据其他实施例,对准标记56形成在任何其他区域中,包括划线区域114、像素区域110(当可用空间时)等。对准标记56可以与对准标记32C垂直对准,或者可以与对准标记32C横向偏移。

[0033] 图4示出了背侧高吸收(BSHA)区域58的形成。BSHA区域58具有使光聚焦以改善光吸收的功能。相应的工艺示出为图21所示的工艺流程中的工艺208。根据本发明的一些实施例,存在与同一像素单元30重叠的单个或多个(诸如两个、三个、四个或更多)BSHA区域58。根据本发明的一些实施例,BSHA区域58的形成包括在半导体衬底24上方形成蚀刻掩模。蚀刻掩模具有与像素单元对准的开口,每个开口对应于将要形成的一个BSHA区域58。可以使用用于对准的对准标记32C或对准标记56中的一个来执行蚀刻掩模的形成。然后,穿过开口蚀刻半导体衬底24以形成多个金字塔形开口,这可以通过湿蚀刻工艺来实现,使得沿着晶格方向的蚀刻将产生金字塔形开口。接下来,沉积透明材料,透明材料可以是氧化硅等的透明材料,并且将透明材料填充到开口中。然后执行诸如化学机械抛光(CMP)工艺或机械抛光工艺的平坦化工艺,产生BSHA区域58。

[0034] 根据本发明的一些实施例,在填充开口56的同时,对准标记56也由相同的材料填充,形成对准标记60。根据可选实施例,代替在形成BSHA区域58的同时填充开口56,可以在填充工艺期间掩蔽开口56,并且在随后的工艺中用其他材料填充开口56。例如,可以在图6和/或图8所示的工艺中填充开口56,并且所得对准标记60将由与介电层64(图6)和/或68(图8)相同的材料形成。

[0035] 参考图5,形成深沟槽隔离(DTI)区域62。相应的工艺示出为图21所示的工艺流程中的工艺210。根据本发明的一些实施例,DTI区域62的形成包括蚀刻半导体衬底24,以及用诸如 Ta_2O_5 的高k介电材料、诸如金属(例如钨)的不透明材料或它们的组合填充所得的沟槽。DTI区域62具有防止光穿透的功能,并且具有防止光信号的串扰的功能。根据本发明的一些实施例,DTI区域62形成栅格,其中DTI区域62的栅格线与STI栅格32A的栅格线垂直对准。

[0036] 图6示出了介电层64的形成。相应的工艺示出为图21所示的工艺流程中的工艺212。根据本发明的一些实施例,介电层64是高k介电层,可以由氧化铝(Al_2O_3)、氧化铪(HfO_2)、氧化钽(Ta_2O_5)等制成或包括氧化铝(Al_2O_3)、氧化铪(HfO_2)、氧化钽(Ta_2O_5)等。介电层64的厚度可以在约30埃和约80埃之间的范围内。沉积工艺可以包括化学气相沉积(CVD)、等离子体增强化学气相沉积(PECVD)、原子层沉积(ALD)等。

[0037] 接下来,如图7所示,形成沟槽66。相应的工艺示出为图21所示的工艺流程中的工艺214。可以使用干蚀刻工艺来执行沟槽66的形成。沟槽66可以采用任何可区分的图案,可区分的图案可以包括作为示例的图19中所示的图案。沟槽66的深度D2可以在约1800埃和约2000埃之间的范围内。使用对准标记32C或对准标记60作为对准标记来确定沟槽66的位置。沟槽66可以与对准标记32C垂直对准,或者可以与对准标记32C横向偏移。

[0038] 图8示出了介电层68的形成以及沟槽66的填充以形成对准标记70。相应的工艺示出为图21所示的工艺流程中的工艺216。根据本发明的一些实施例,介电层68是单层或包括多个层的复合层。例如,介电层68可以是或包括氧化钨层,并且可以在氧化钨层上方包括或不包括氧化钽(Ta_2O_5)层。氧化钨层的厚度可以在约30埃至约80埃之间的范围内。氧化钽层的厚度可以在约300埃和约800埃之间的范围内。沉积工艺可以包括CVD、PECVD、ALD等。取决于沟槽的宽度,此时可以完全填充沟槽66,或者可以部分填充沟槽66,并且将由随后沉积的层(诸如图9中的介电层72)进一步填充沟槽66。

[0039] 图9示出了介电层72的形成。相应的工艺示出为图21所示的工艺流程中的工艺218。根据本发明的一些实施例,介电层72由氧化硅等透明材料形成。介电层72的厚度可以在约1000埃和约2000埃之间的范围内。沉积工艺可以包括CVD、PECVD、ALD等。

[0040] 图10示出了根据本发明的一些实施例的金属栅格76、金属接地结构78、介电层74和沟槽80的形成。形成工艺可以包括蚀刻介电层72、68和64以形成一个或多个开口,使得暴露出半导体衬底24。开口也可以延伸到半导体衬底24中。接下来,沉积金属材料。根据本发明的一些实施例,金属材料包括粘合层73以及位于粘合层73上的金属材料75。粘合层73可以包括钛层、氮化钛层或包括钛层和位于钛层上方的氮化钛层的复合层。粘合层73的厚度可以在约400埃至约600埃之间的范围内。金属材料75可以包括钨、铬等,并且可以具有在约1.5千埃和约2.5千埃之间的范围内的厚度。

[0041] 在沉积之后,通过蚀刻执行图案化工艺,并且将金属材料75和粘合层73图案化为金属栅格76和接地结构78。相应的工艺示出为图21中所示的工艺流程中的工艺221。当从金属栅格76的顶部观察时,金属栅格76包括在第一方向上延伸的多个第一条,以及在垂直于第一方向的第二方向上延伸的多个第二条,其中多个第二条连接至多个第一条。金属栅格76中的栅格开口还与DTI区域62和STI栅格32A的栅格开口重叠,使得光可以穿过并被限制在开口中以到达下面的光电二极管26。接地结构78延伸到介电层72、68和64中的开口中以与半导体层24物理和电接触。

[0042] 在形成金属栅格76和接地结构78之后,沉积介电层74。相应的工艺示出为图21中所示的工艺流程中的工艺223。根据本发明的一些实施例,介电层74由氧化硅等的透明材料形成。介电层74的厚度可以在约4000埃和约6000埃之间的范围内。介电层74可以在CMP工艺或机械抛光工艺中被平坦化,使得其顶面是平坦的。

[0043] 接下来,也如图10所示,形成沟槽80。相应的工艺示出为图21所示的工艺流程中的工艺224。可以使用干蚀刻工艺来执行形成。沟槽80可以采用任何可区分的图案,可区分的图案可以包括作为示例的图19中所示的图案。沟槽80的深度D3可以在约2000埃和约3000埃之间的范围内。控制沟槽80的深度D3,使得不蚀刻穿过介电层74而使沟槽80不期望地到达高k介电层,因为这可能导致高k介电层暴露并劣化。使用对准标记60或对准标记70作为对准标记来确定沟槽66的位置。由于半导体衬底24很厚,所以可能难以采用对准标记32C来对准沟槽80。沟槽80可以与对准标记32C垂直对准,或者可以与对准标记32C横向偏移。沟槽80可以在随后的工艺中被部分地或完全地填充,并且相应的填充也称为对准标记80。

[0044] 图11示出了开口82的形成,该开口82是通过蚀刻形成在半导体衬底24的背侧上的介电层,然后蚀刻穿过半导体衬底24形成的。相应的工艺示出为图21中所示的工艺流程中的工艺227。在STI焊盘32B上停止蚀刻,同时可能导致一些过度蚀刻,使得开口82部分地延

伸到STI焊盘32B中。控制蚀刻,使得不蚀刻穿过STI焊盘32B。可以使用对准标记80、对准标记70或对准标记60来执行开口82的形成以确定开口82的位置。

[0045] 接下来,如图12所示,介电层84形成为毯式层,毯式层包括延伸到开口82中的一些部分以及和介电层74重叠的其他部分。相应的工艺示出为图21所示的工艺流程中的工艺228。根据本发明的一些实施例,介电层84由氧化硅形成,氧化硅可以通过PECVD或其他适用方法形成。介电层84的厚度可以在约1500埃和约2500埃之间的范围内。介电层84有时称为钝化层。

[0046] 图13示出了通过刻蚀ILD 33和CESL 29以及互连结构44中的可能的介电层46在开口82的底部处形成开口86。相应的工艺示出为图21所示的工艺流程中的工艺230。因此,互连结构44中的金属焊盘48A暴露。可以使用对准标记80、对准标记70或对准标记60来执行开口86的形成以确定开口86的位置。

[0047] 图14示出了金属层88的沉积。相应的工艺示出为图21所示的工艺流程中的工艺232。根据本发明的一些实施例,金属层88由铜、AlCu等形成或包括铜、AlCu等。金属层88的厚度可以在约1 μm 和约1.5 μm 之间的范围内。形成方法可以包括例如PVD、CVD等方法。

[0048] 接下来,如图15所示,图案化金属层88以形成金属焊盘90,该金属焊盘90包括开口82中的至少部分。相应的工艺示出为图21所示的工艺流程中的工艺234。可以使用对准标记80、对准标记70或对准标记60执行金属层88的图案化以确定金属层88的位置。

[0049] 在随后的工艺中,如图16所示,形成了诸如滤色器94的附加组件。然后形成微透镜96。每个图像传感器26与滤色器94中的一个和微透镜96中的一个对准。滤色器94和微透镜96的形成可以与对准标记60、70或80对准。因此形成图像传感器芯片22(以及相应的晶圆20)。例如,可以通过沉积共形的氧化硅层在微透镜96上形成保护层(未示出)。在随后的工艺中,将图像传感器晶圆20和晶圆120锯切成图像传感器芯片22和器件芯片222。图像传感器芯片22及其接合器件芯片222统称为封装件300。根据形成对准标记60、70和/或80的位置,对准标记60、70和/或80可以留在图像传感器芯片22中,或者可以将其去除(例如,如果对准标记形成在划线区域114中(图18)。当封装封装件300时,可以执行引线接合工艺以在金属焊盘90上形成接合球92,其中接合线93附接到接合球92。

[0050] 作为一些示例,前述工艺示出了背侧对准标记60、70和80的形成,它们在形成背侧结构的阶段形成。根据其他实施例,可以在诸如形成介电层68和/或72之后的任何其他阶段形成背侧对准标记。根据本发明的一些实施例,以任意组合形成任何一个、两个或全部三个对准标记60、70和80,只要在形成背侧对准标记60、70和80中的第一个时,仍可以从图像传感器芯片22的背侧清楚地看到前侧对准标记32C。可以或不使用之前形成的对准标记60、70和80作为对准标记来形成之后形成的对准标记60、70和80。

[0051] 在前述示例中,对准标记示出为填充有紧邻的上面的层的单一材料。应当理解,取决于用于形成对准标记的沟槽的深度和宽度,沟槽可以或可以不由一个随后沉积的层完全填充。当它们没有完全填充时,它们将由随后沉积的材料填充。

[0052] 图20示出了形成对准标记的时间点的示例实施例,以及可以使用先前形成的对准标记进行对准的部件的示例形成工艺。水平直线表示工艺和部件,并且在较低位置处的工艺和部件比在上部位置处所示的工艺和部件更早地执行/形成。标记为字母“A”的十字表示在形成开口86的阶段,下面的介电层和半导体衬底24的组的总厚度可能太大而无法与对

准标记32C对准。用字母“B”标记的十字表示在形成开口86的阶段,下面的介电层和半导体衬底的组合的总厚度可能太大而不能与对准标记60和70对准。因此,形成对准标记60、70和/或80以提供附加对准,使得背侧部件可以与之前形成的背侧对准标记对准,之前形成的背侧对准标记进一步与前侧对准标记对准。没有十字的箭头表示可能的对准动作,其中箭头的起点表示所采取的动作或形成的部件,而终点表示所使用的对准标记。如图20所示,由于增加了厚度以及形成了更多的背侧部件,因此可能需要使用之后形成的背侧对准标记而不是之前形成的背侧对准标记进行对准。例如,可能需要使用对准标记80来执行金属焊盘90的形成,而对准标记60和/或70可以是可用的或可以不是可用的。

[0053] 在所示的所讨论的实施例中,通过与前侧对准标记对准来形成背侧对准标记。根据其他实施例,可以首先形成背侧部件,然后形成前侧部件,并且可以通过与背侧对准标记对准来形成前侧对准标记。

[0054] 根据本发明的一些实施例,如图20所示,可以通过与对准标记70或60对准来形成对准标记80。可以通过与对准标记70或60对准来形成金属栅格76,并且可以通过与对准标记60或对准标记32C对准来形成DTI区域62。可以通过与对准标记32C对准来形成BSHA区域58。

[0055] 本发明的实施例具有一些有利特征。为了提高通过图像传感器收集光的效率,可以在背侧研磨工艺之后使图像传感器的半导体衬底保留为较厚(例如,厚于约6 μm)。这引起用于将背侧部件与前侧对准标记对准的对准问题。根据本发明的一些实施例,通过在BSI图像传感器芯片的背侧上形成对准标记,可以实现更好的对准。而且,可以在BSI图像传感器芯片的背侧上形成更多的对准标记,使得可以随着BSI图像传感器芯片的背侧结构的形成的进行而良好地执行对准。

[0056] 根据本发明的一些实施例,一种方法包括在半导体衬底中形成图像传感器,其中第一对准标记形成靠近半导体衬底的前侧;执行背侧抛光工艺以减薄半导体衬底;在半导体衬底的背侧上形成第二对准标记;以及在半导体衬底的背侧上形成部件,其中使用用于对准的第二对准标记形成部件。在实施例中,形成第二对准标记包括蚀刻半导体衬底以形成从半导体衬底的背侧延伸到半导体衬底中的沟槽。在实施例中,形成第二对准标记包括沉积介电层以填充沟槽。在实施例中,该方法还包括在蚀刻半导体衬底之前,沉积与半导体衬底的背表面接触的附加介电层,其中,沟槽穿透该附加介电层。在实施例中,该方法还包括形成从半导体衬底的背表面延伸到半导体衬底中的深沟槽隔离区域,其中在形成深沟槽隔离区域之前形成第二对准标记。在实施例中,该方法还包括在半导体衬底的背侧上形成金属栅格;以及在金属栅格上沉积介电层,其中形成第二对准标记包括蚀刻介电层以形成沟槽。在实施例中,沟槽的深度小于介电层的厚度。在实施例中,形成部件包括蚀刻半导体衬底以形成穿透半导体衬底的贯穿开口;以及形成延伸到贯穿开口中的接合焊盘,其中,接合焊盘电连接至半导体衬底的前侧上的金属部件。

[0057] 根据本发明的一些实施例,一种结构包括BSI图像传感器芯片,该BSI图像传感器芯片包括半导体衬底;图像传感器,位于半导体衬底中;第一对准标记,从半导体衬底的前侧延伸到半导体衬底中;以及第二对准标记,位于半导体衬底的背侧上。在实施例中,第一对准标记由浅沟槽隔离区域形成。在实施例中,第二对准标记由介电区域形成,并且介电区域从半导体衬底的背表面延伸到半导体衬底中。在实施例中,整个第二对准标记位于半导

体衬底中。在实施例中，介电层接触半导体衬底的背表面，其中第二对准标记穿透介电层。在实施例中，该结构还包括位于半导体衬底的背侧上的金属栅格；以及介电层，位于金属栅格上并且填充金属栅格中的空间；以及第三对准标记，延伸到介电层中。在实施例中，该结构还包括接合到BSI图像传感器芯片的前侧的器件管芯。

[0058] 根据本发明的一些实施例，一种结构包括BSI图像传感器芯片，该BSI图像传感器芯片包括半导体衬底；图像传感器，位于半导体衬底中；第一对准标记，从半导体衬底的前表面延伸到半导体衬底中，其中第一对准标记包括浅沟槽隔离区域的图案；以及第二对准标记，从半导体衬底的背表面延伸到半导体衬底中，其中第二对准标记的至少部分位于半导体衬底中。在实施例中，整个第二对准标记位于半导体衬底中。在实施例中，第二对准标记包括位于半导体衬底中的第一部分；位于半导体衬底外部的第二部分。在实施例中，第二对准标记由介电材料形成。在实施例中，该结构还包括位于半导体衬底的背侧上的金属栅格；介电层，位于金属栅格上方并且填充金属栅格中的空间；以及第三对准标记，延伸到介电层中。

[0059] 本发明的实施例提供了一种形成半导体器件的方法，包括：在半导体衬底中形成浅沟槽隔离(STI)区域，其中，所述浅沟槽隔离区域包括第一对准标记；在所述半导体衬底中形成图像传感器；从所述半导体衬底的背侧执行背侧抛光工艺；在所述半导体衬底中形成第二对准标记，其中，通过使用用于对准的所述第一对准标记形成所述第二对准标记；以及在所述半导体衬底的背侧上形成滤色器。

[0060] 在上述方法中，其中，通过使用用于对准的所述第二对准标记形成所述滤色器。

[0061] 在上述方法中，还包括：在所述半导体衬底的背表面上形成介电层；以及形成延伸到所述介电层和所述半导体衬底中的第三对准标记，其中，通过使用用于对准的所述第三对准标记来执行形成所述滤色器。

[0062] 在上述方法中，还包括：在所述半导体衬底的背侧上形成多个透明层，其中，所述滤色器形成在所述多个透明层上方。

[0063] 在上述方法中，还包括：在所述滤色器上形成微透镜，其中，通过使用用于对准的所述第二对准标记形成所述微透镜。

[0064] 在上述方法中，还包括：通过使用用于对准的所述第二对准标记，从所述半导体衬底的背侧蚀刻所述半导体衬底，其中，在蚀刻所述半导体衬底之后，所述浅沟槽隔离区域中的浅沟槽隔离焊盘暴露。

[0065] 在上述方法中，还包括：通过使用用于对准的所述第二对准标记，从所述半导体衬底的背侧蚀刻所述半导体衬底，其中，在蚀刻所述半导体衬底之后，所述浅沟槽隔离区域中的浅沟槽隔离焊盘暴露还包括：蚀刻所述浅沟槽隔离焊盘以形成延伸穿过所述浅沟槽隔离焊盘的开口，其中，通过使用用于对准的所述第二对准标记形成所述开口。

[0066] 本发明的实施例提供了一种形成半导体器件的方法，包括：在半导体衬底中形成多个浅沟槽隔离(STI)区域，其中，所述浅沟槽隔离区域包括：浅沟槽隔离栅格；浅沟槽隔离焊盘；和第一对准标记；在所述浅沟槽隔离栅格中形成图像传感器；以及从所述半导体衬底的背侧形成第二对准标记，其中，通过与所述第一对准标记对准来形成所述第二对准标记。

[0067] 在上述方法中，还包括：在所述半导体衬底中形成深沟槽隔离栅格，其中，所述深沟槽隔离栅格与所述浅沟槽隔离栅格垂直对准，并且使用用于对准的所述第一对准标记形

成所述深沟槽隔离栅格。

[0068] 在上述方法中,还包括:在所述半导体衬底中形成深沟槽隔离栅格,其中,所述深沟槽隔离栅格与所述浅沟槽隔离栅格垂直对准,并且使用用于对准的所述第二对准标记形成所述深沟槽隔离栅格。

[0069] 在上述方法中,还包括:在所述半导体衬底的背侧上形成滤色器,其中,通过使用用于对准的所述第二对准标记形成所述滤色器。

[0070] 在上述方法中,其中,所述第二对准标记形成为延伸到所述半导体衬底中。

[0071] 上面概述了若干实施例的特征,使得本领域人员可以更好地理解本发明的方面。本领域人员应该理解,它们可以容易地使用本发明作为基底来设计或修改用于实施与本文所介绍实施例相同的目的和/或实现相同优势的其它工艺和结构。本领域技术人员也应该意识到,这种等同配置并且不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,本文中它们可以做出多种变化、替换以及改变。

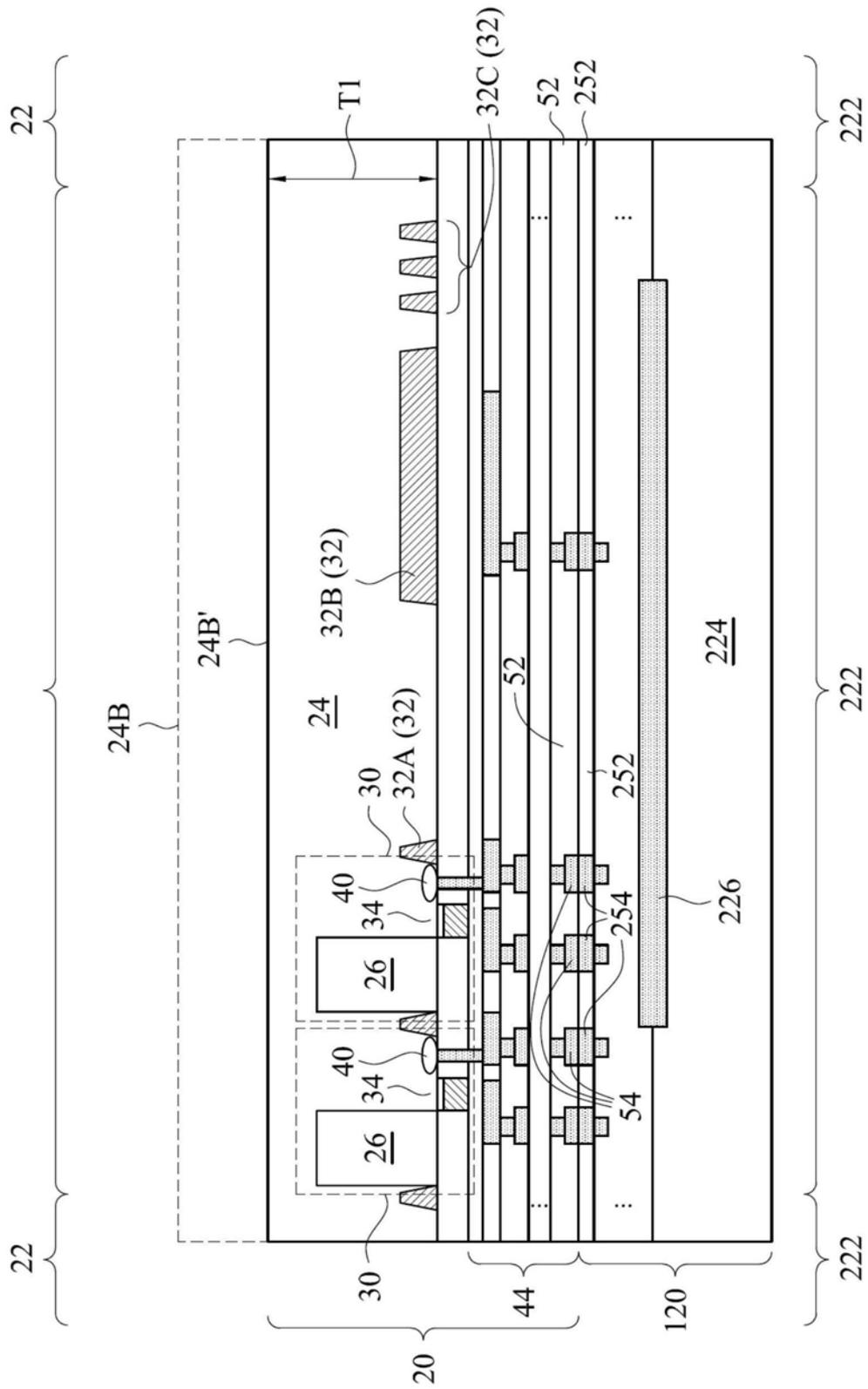


图2

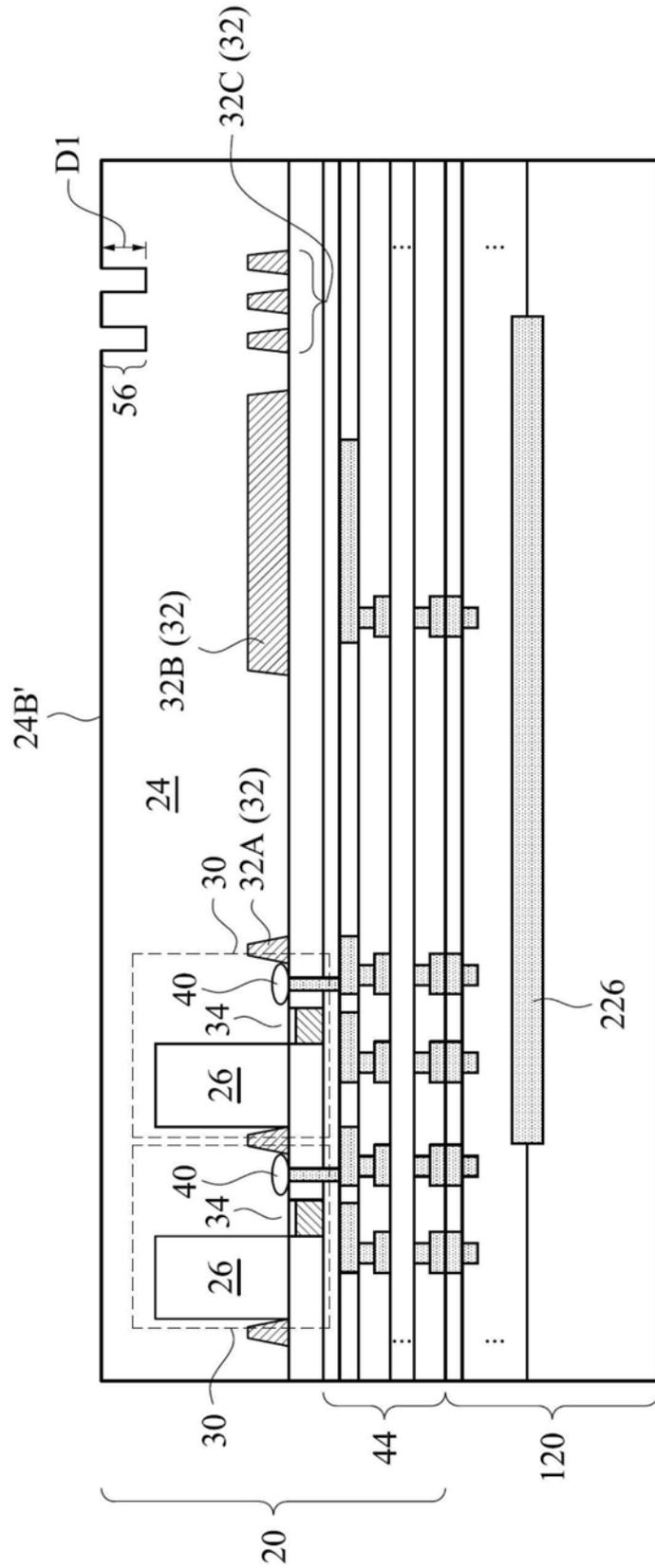


图3

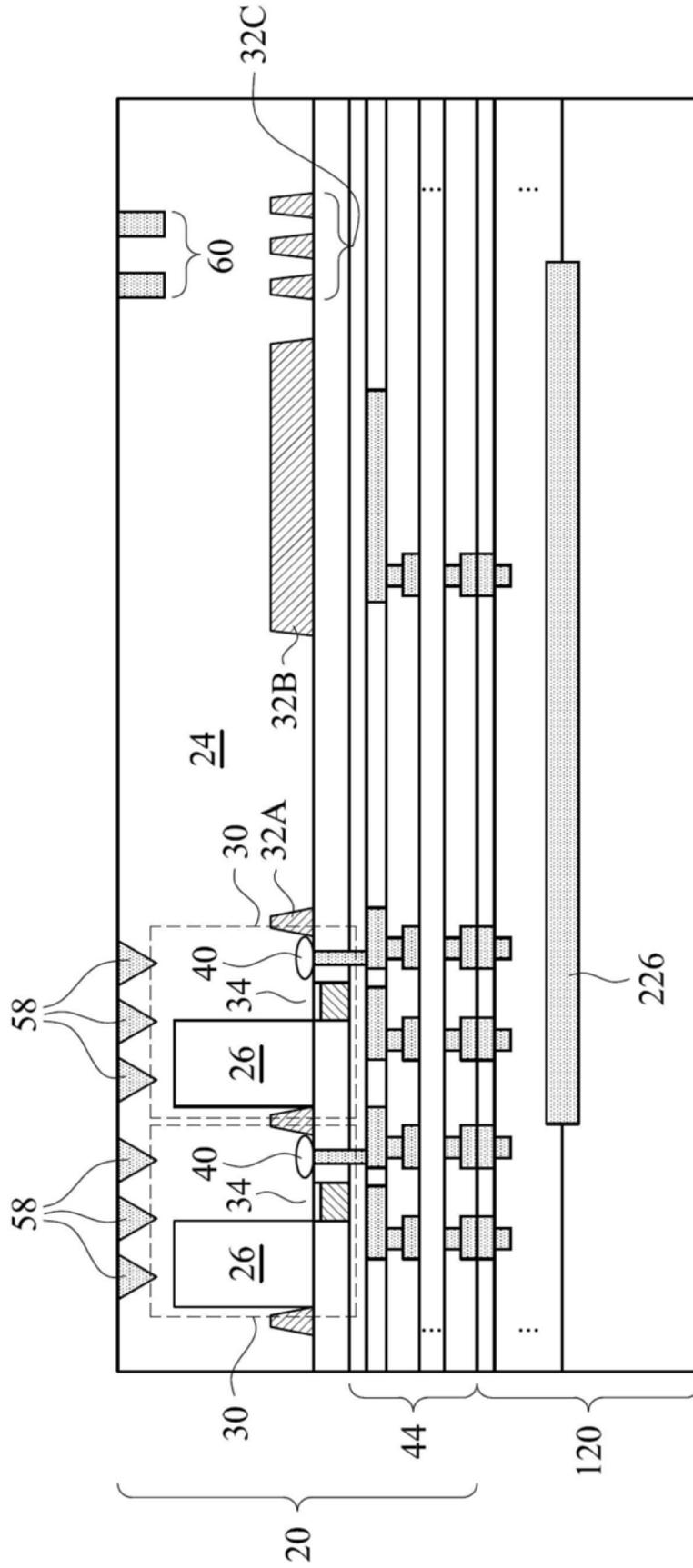


图4

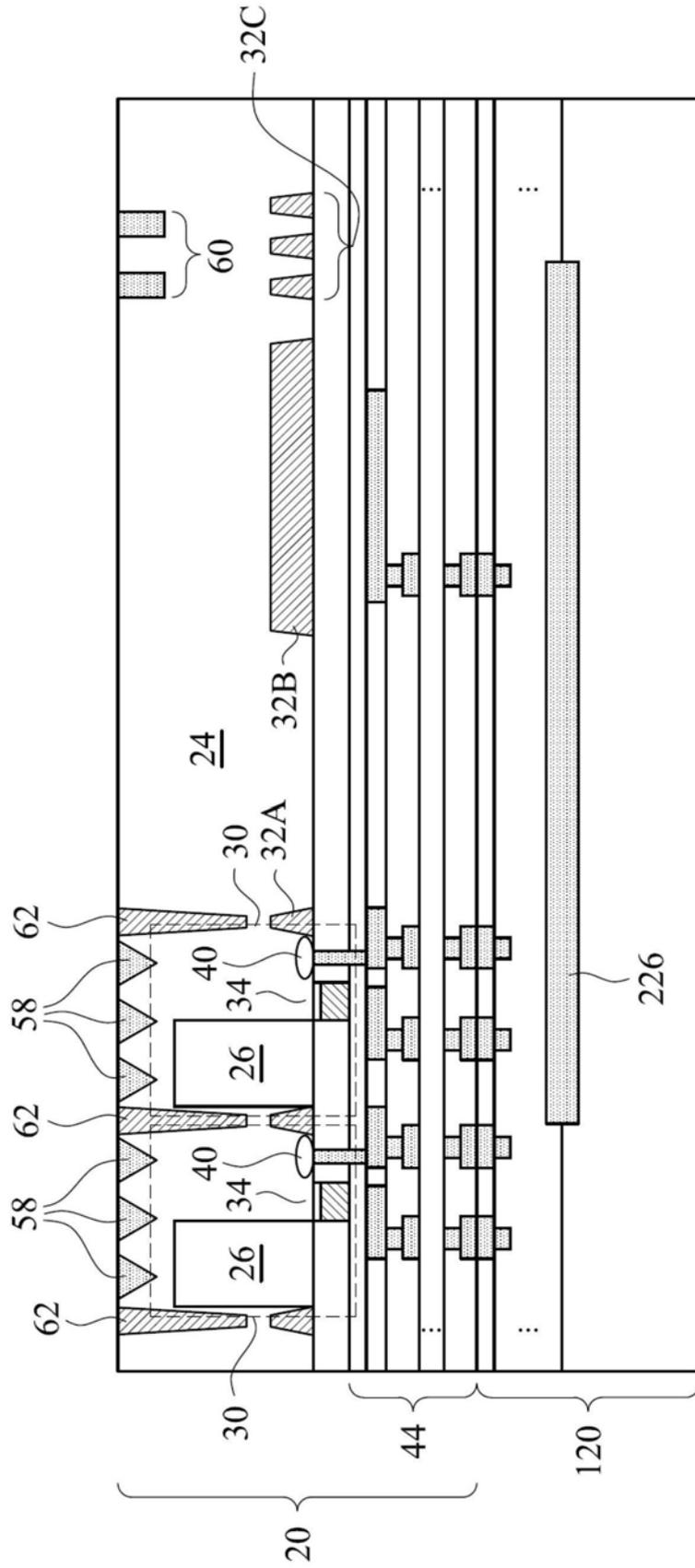


图5

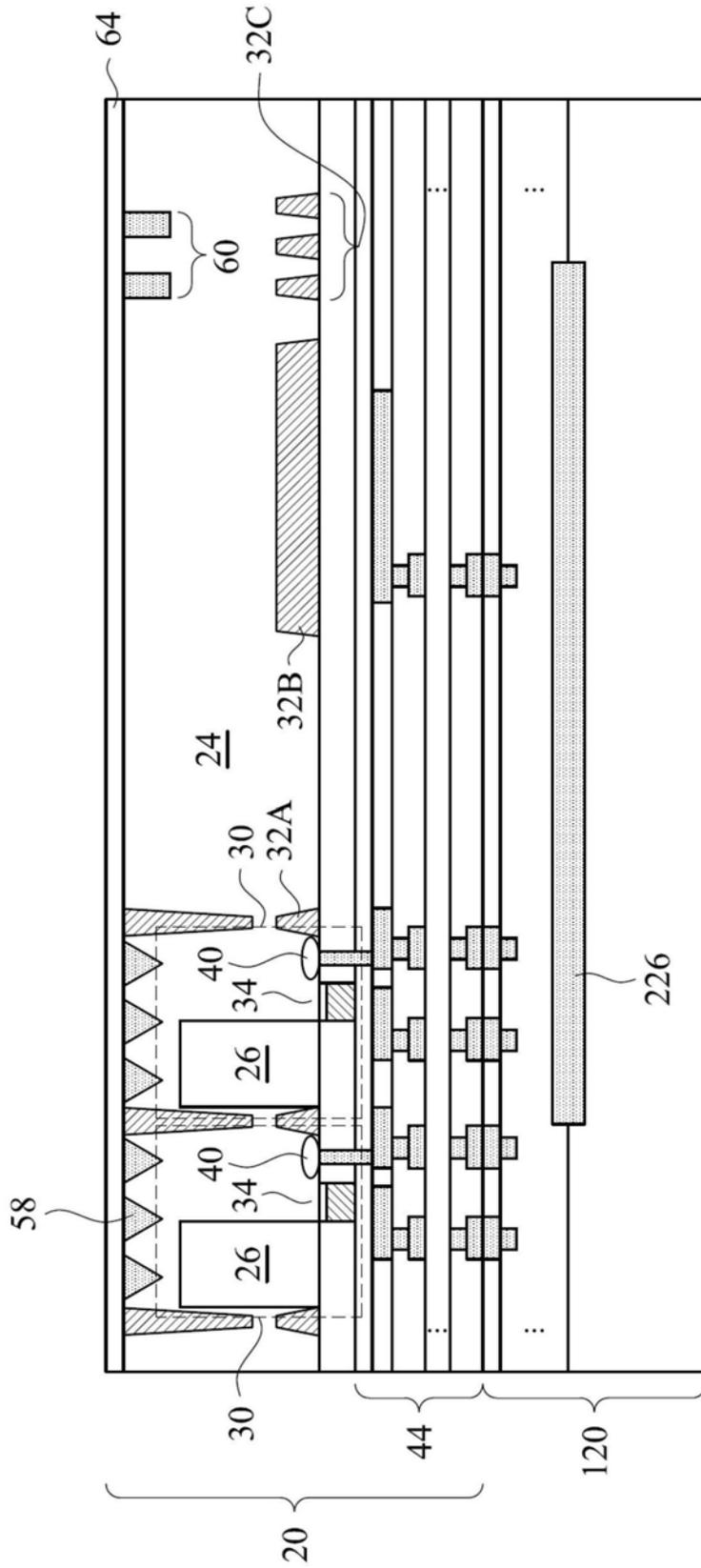


图6

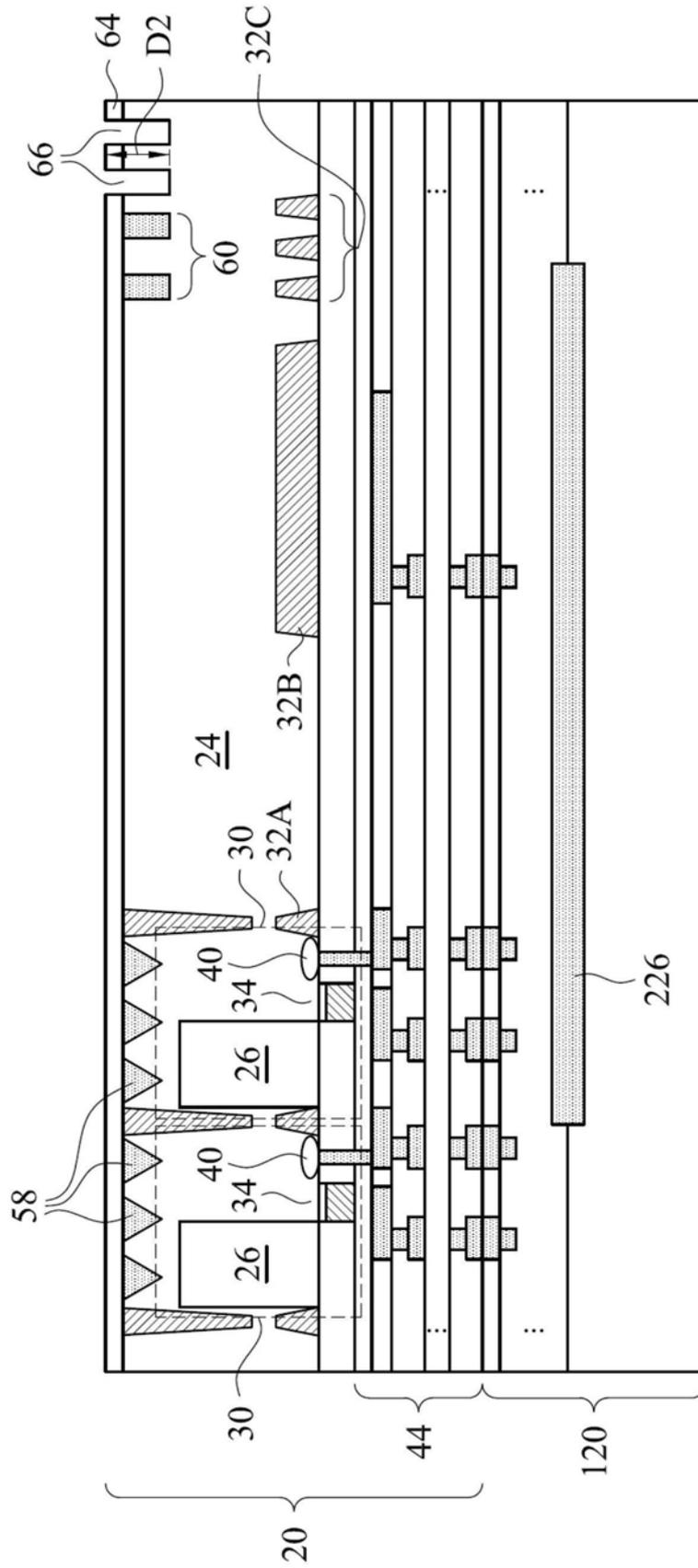


图7

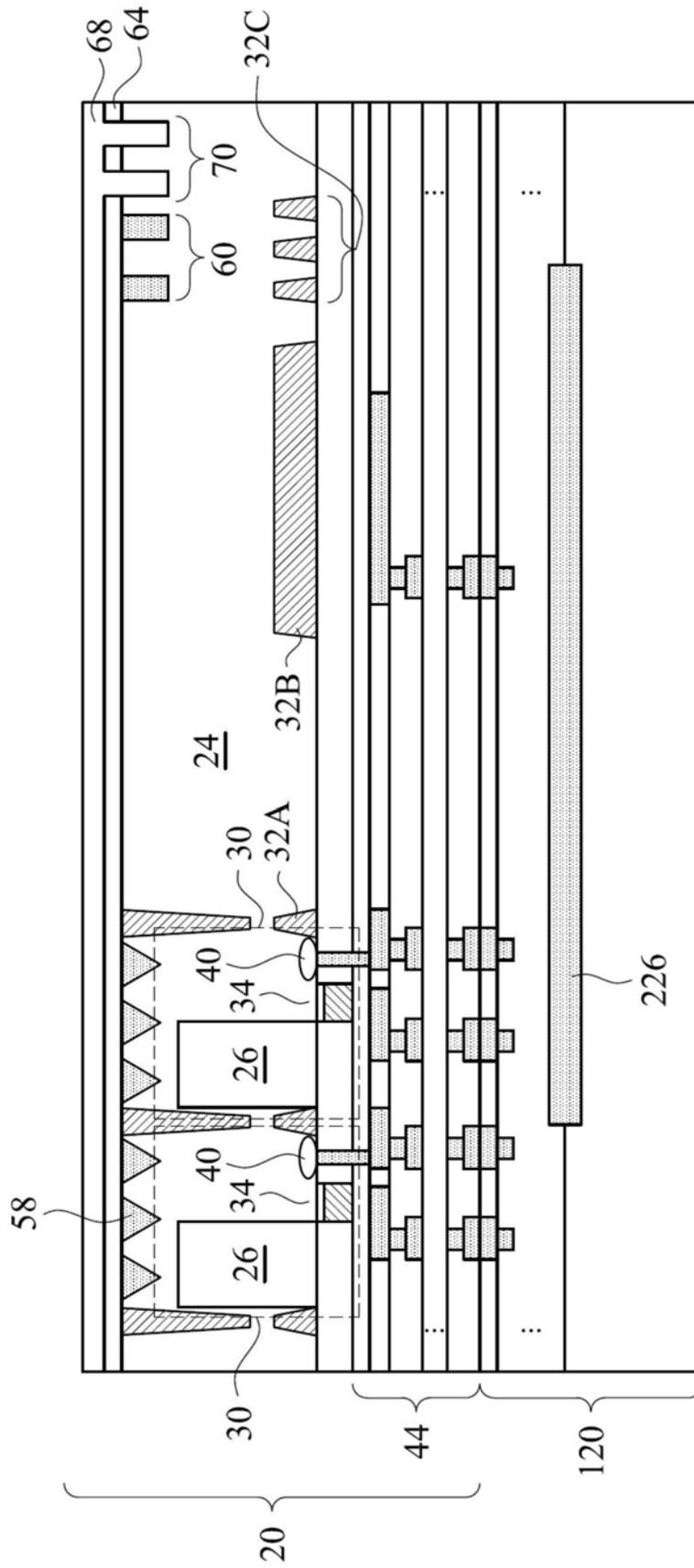


图8

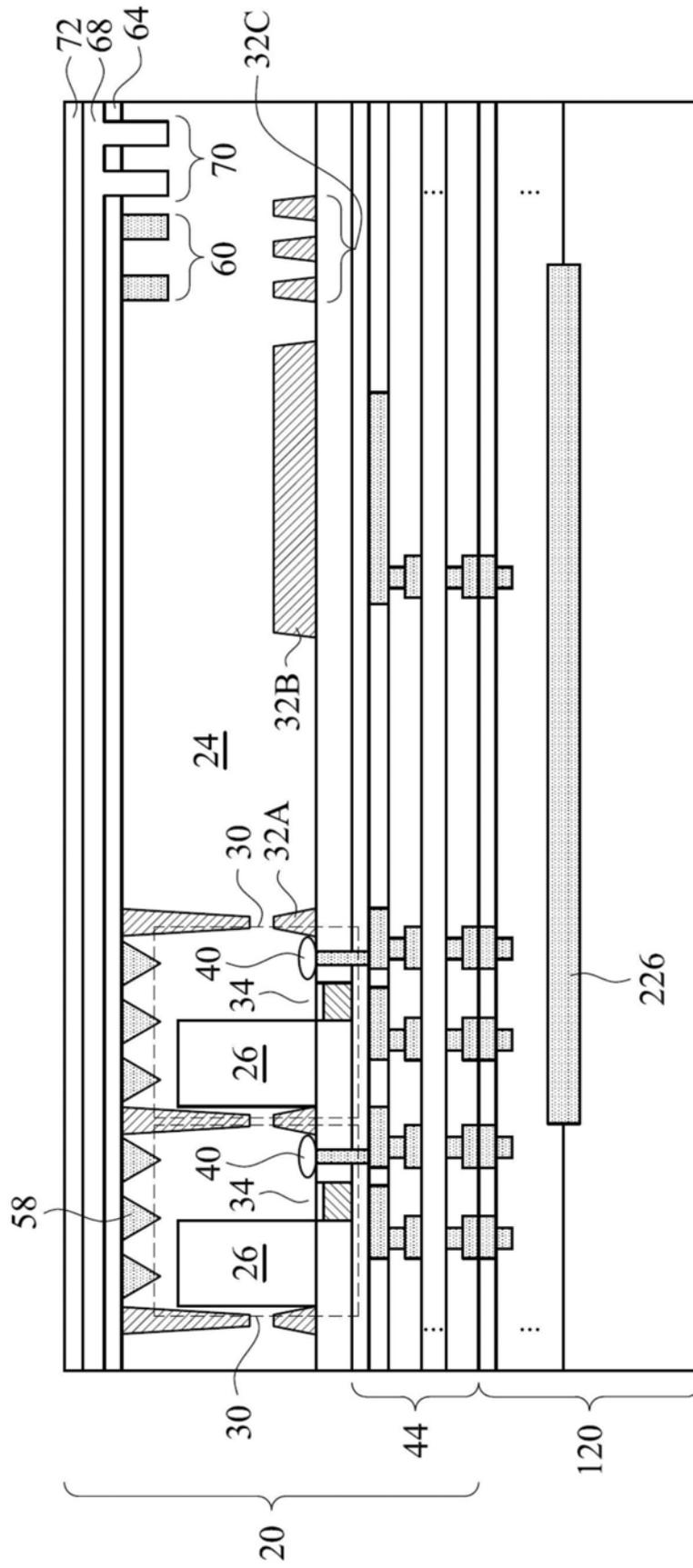


图9

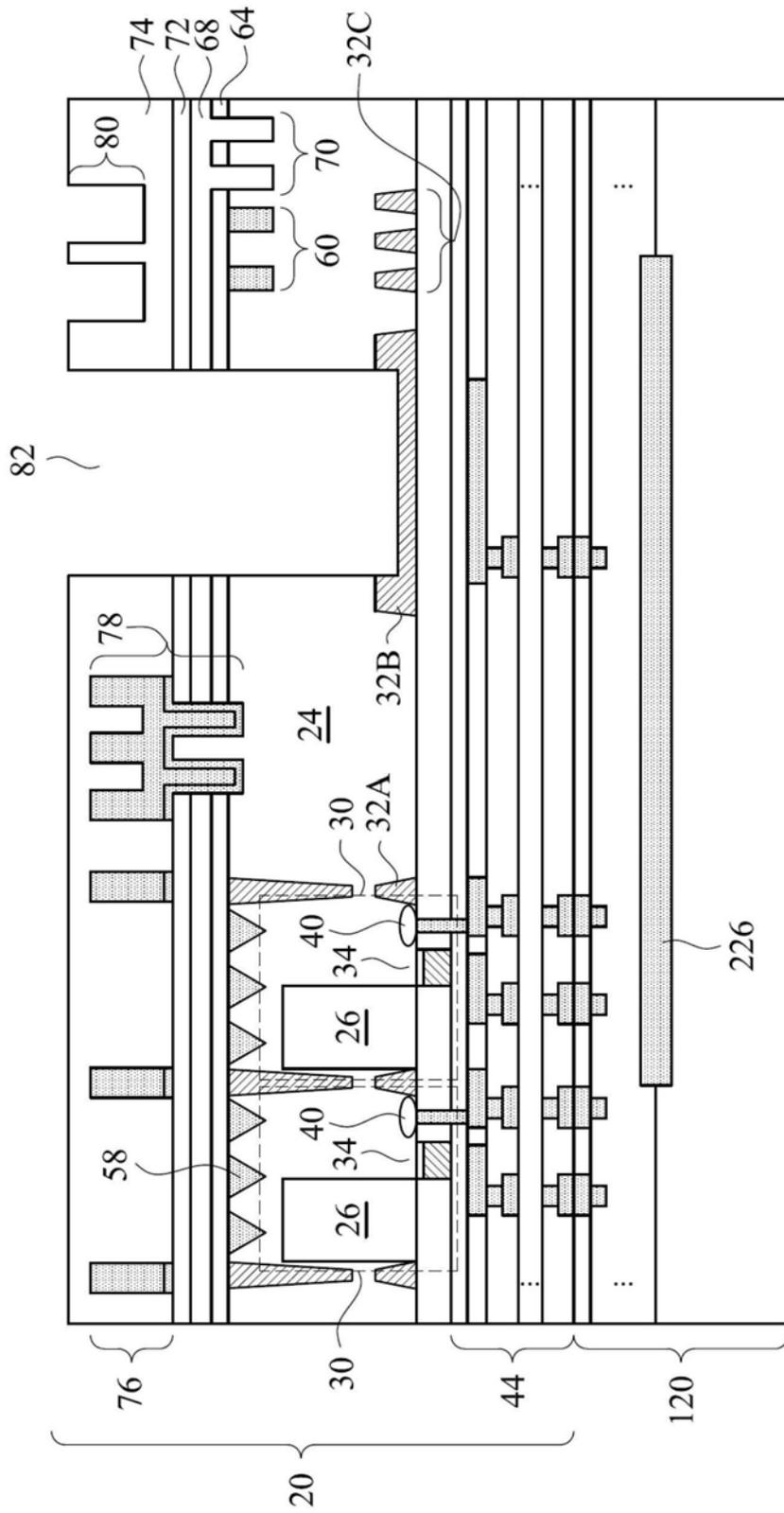


图11

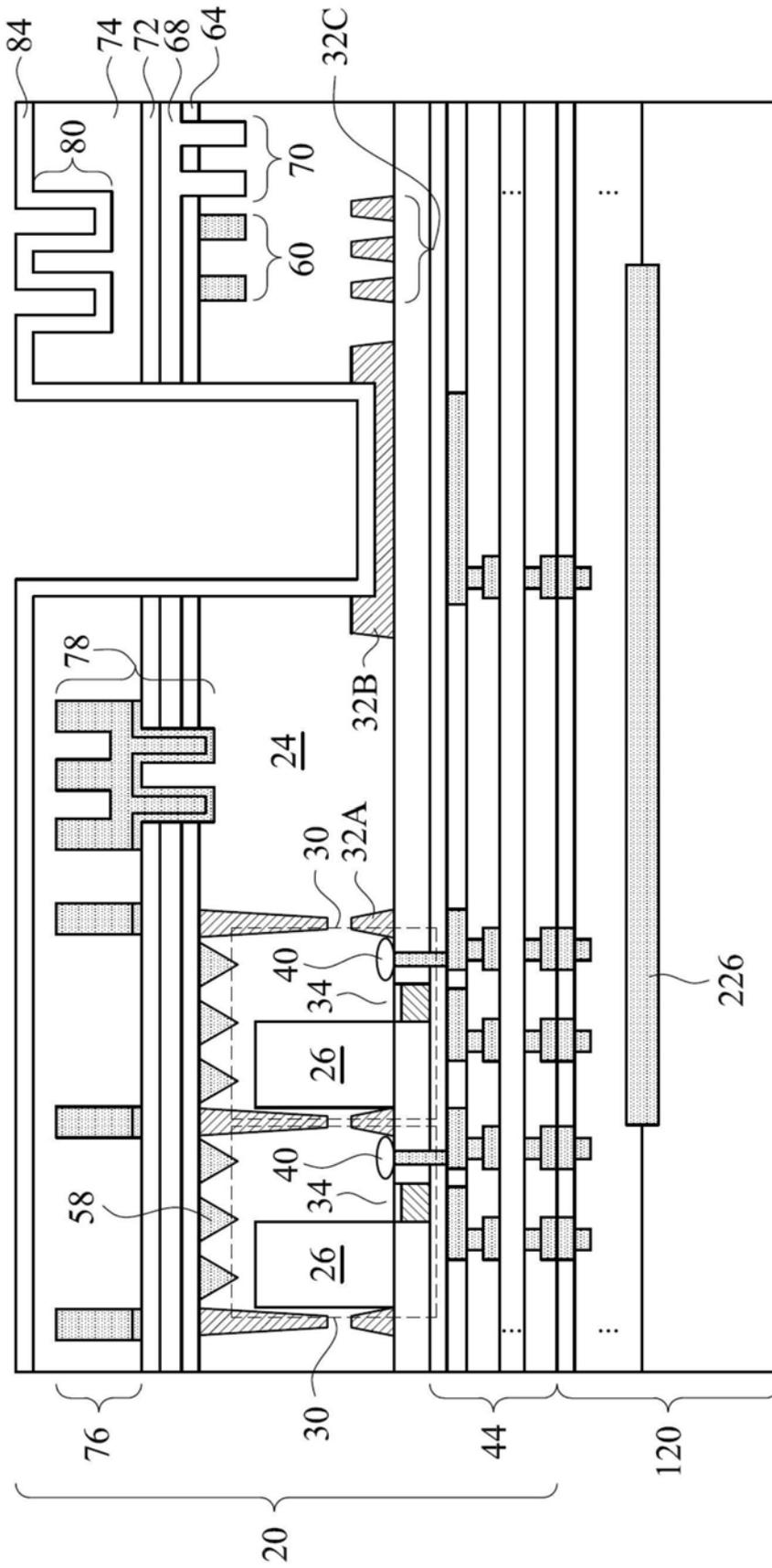


图12

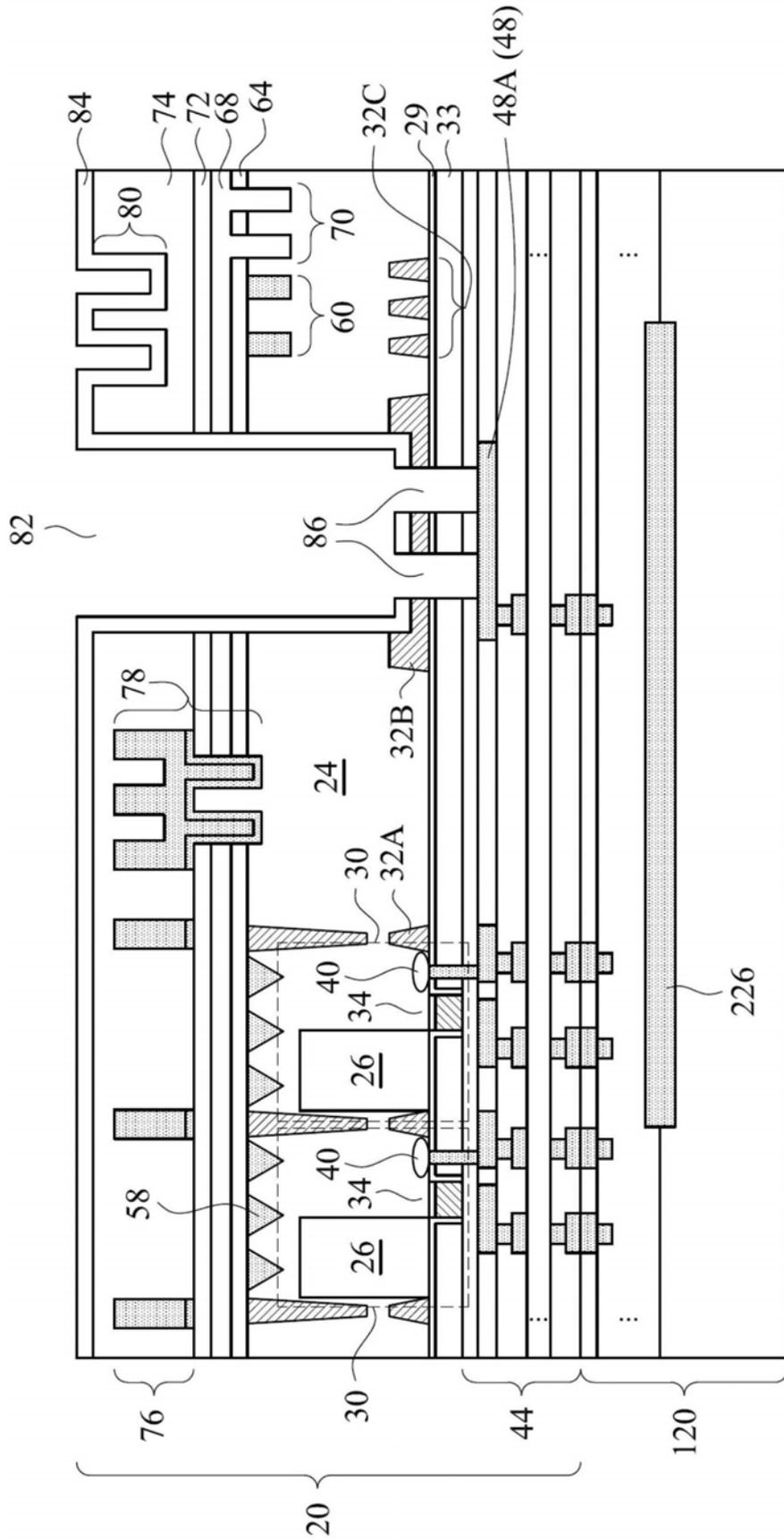


图13

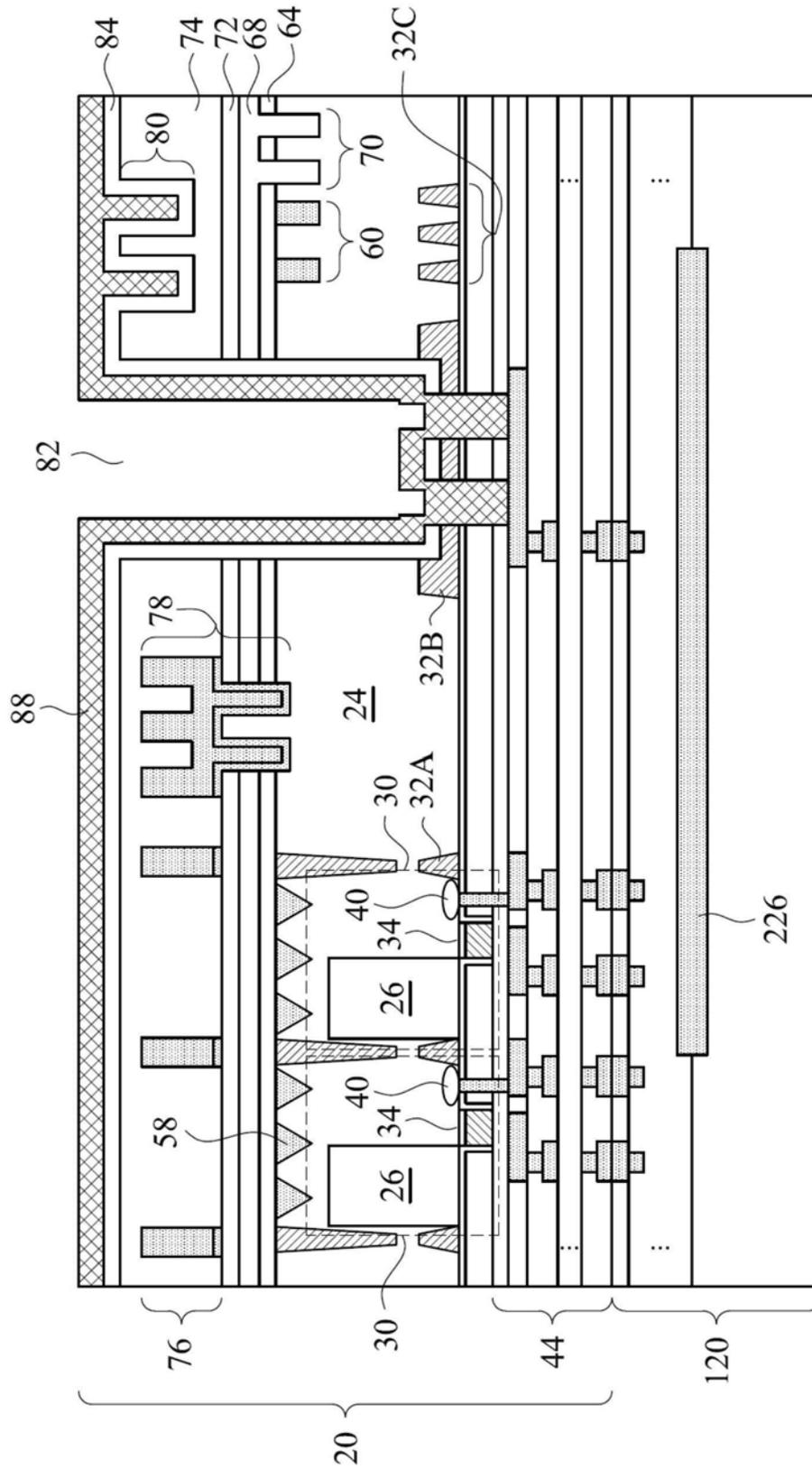


图14

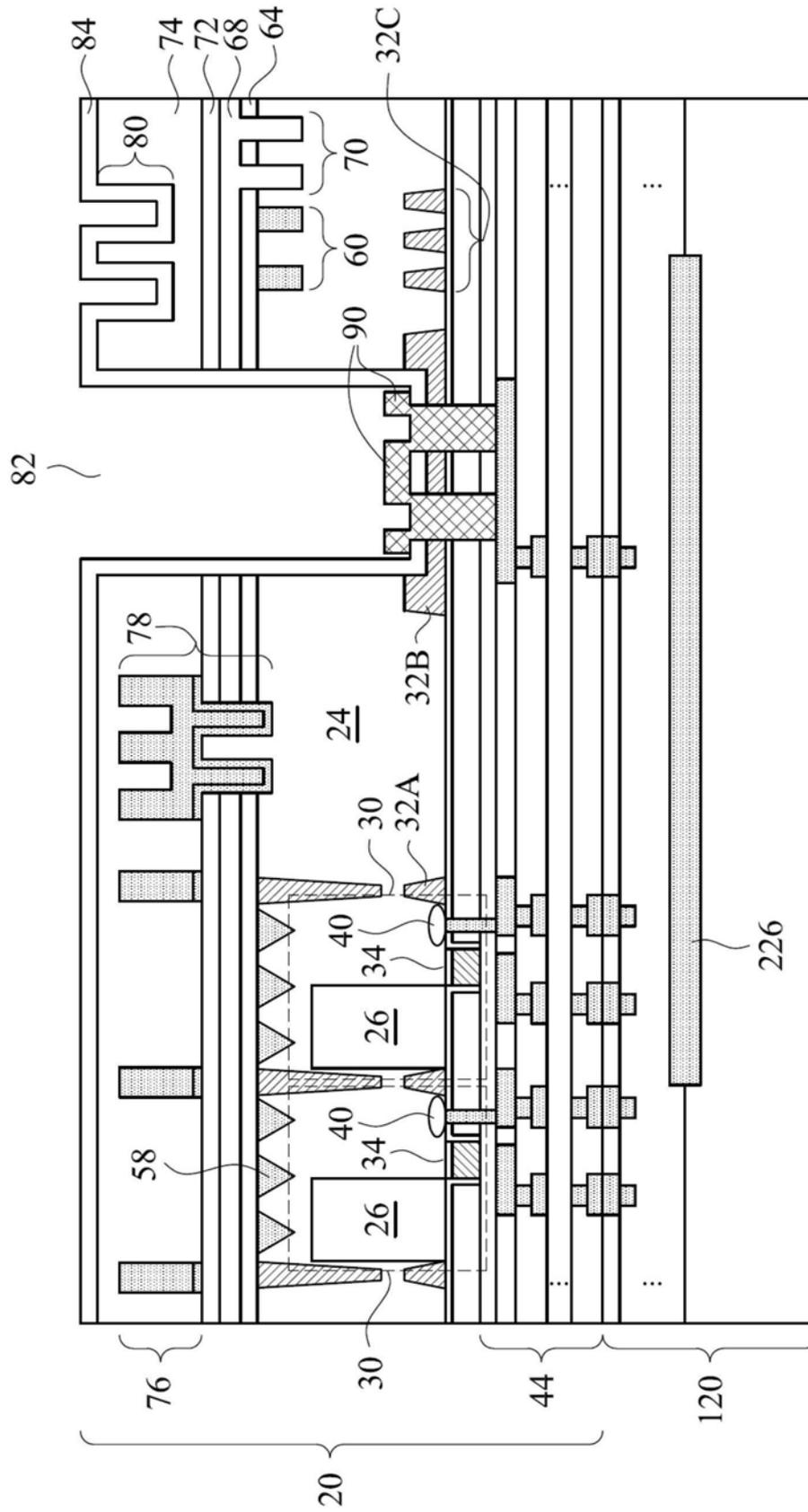


图15

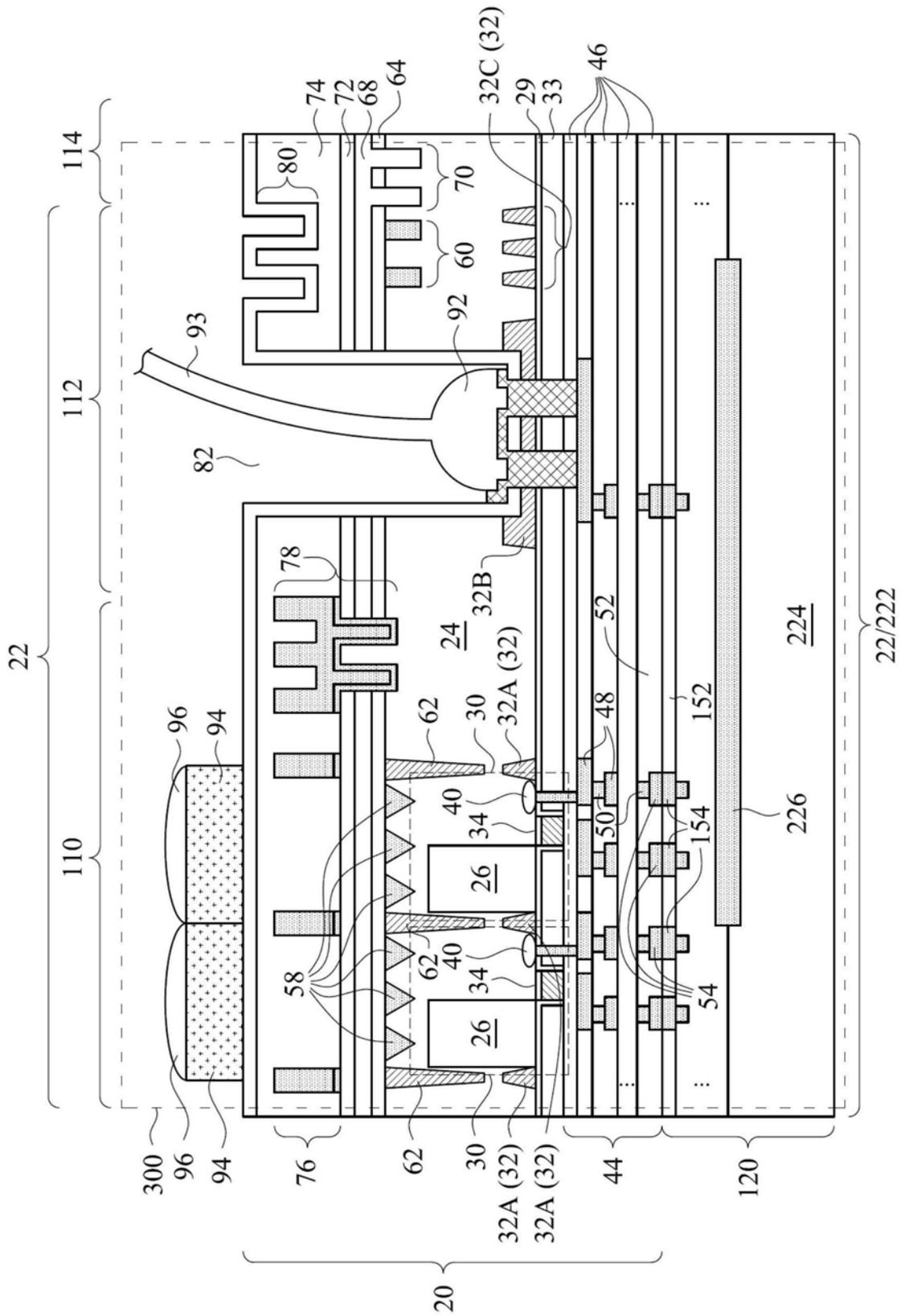


图16

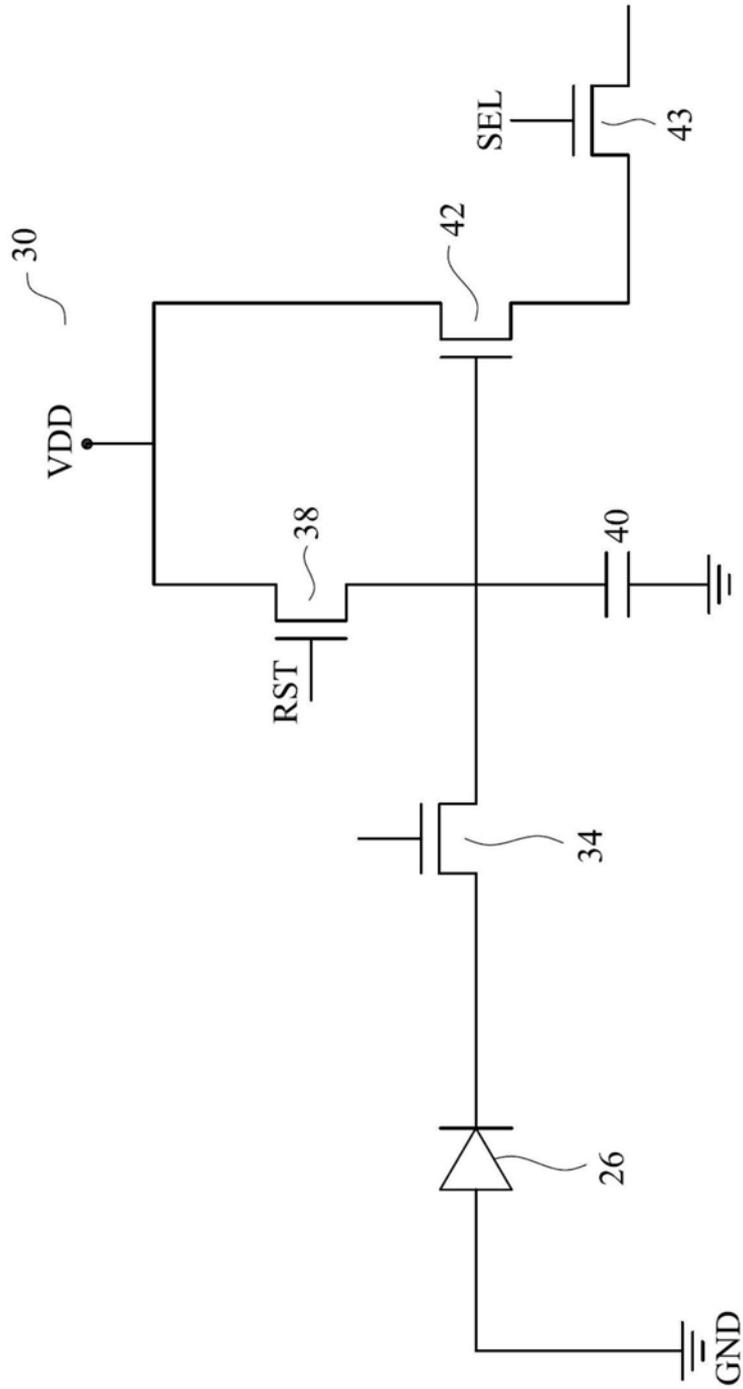


图17

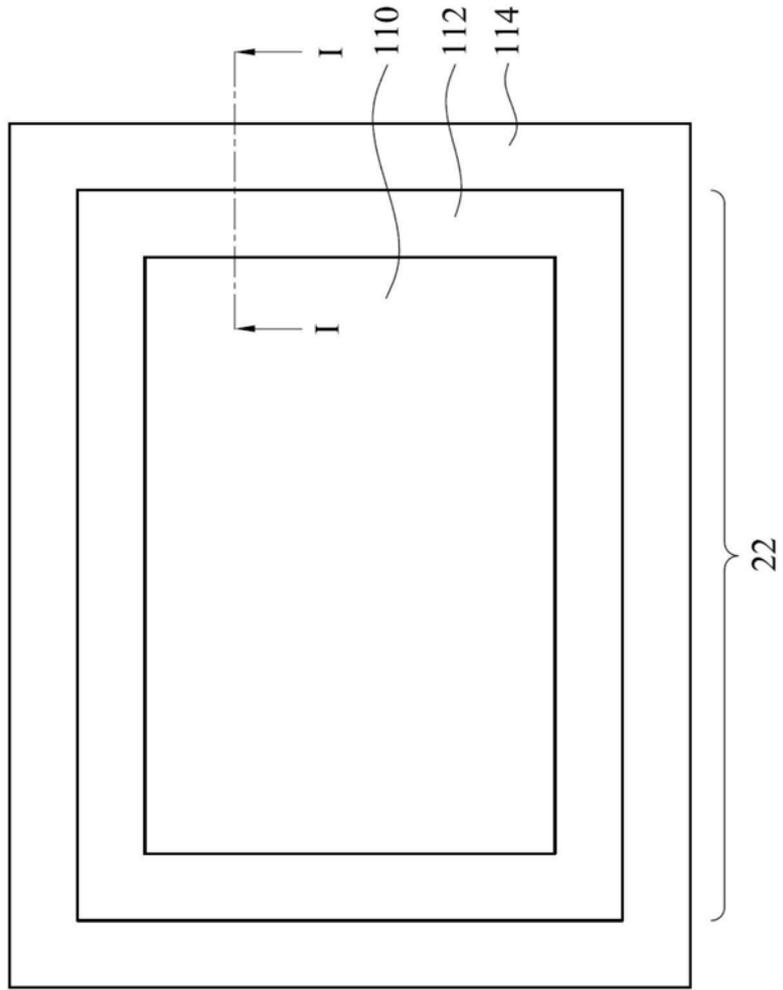


图18

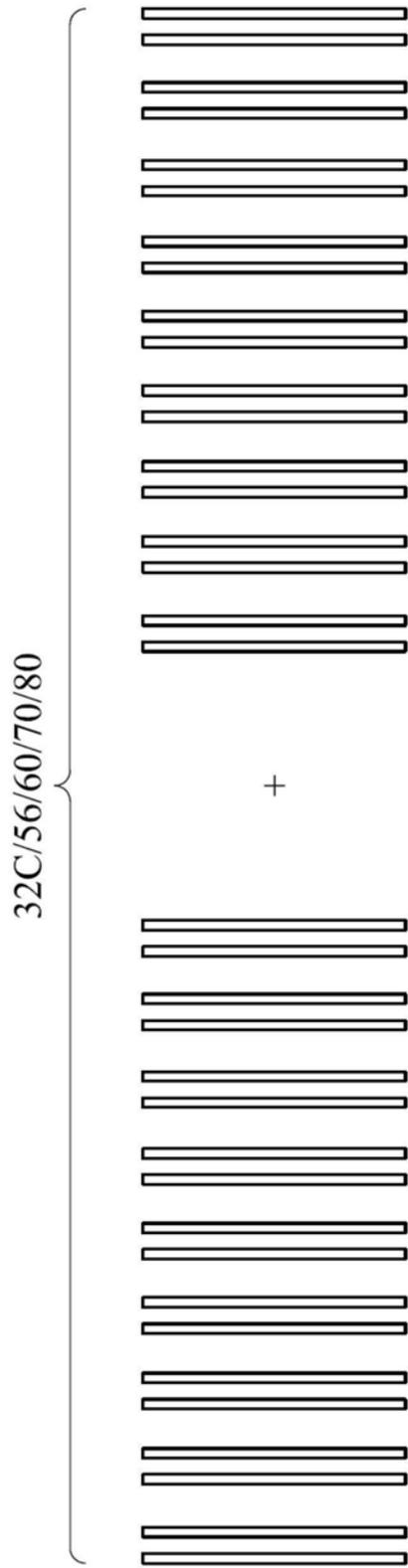


图19

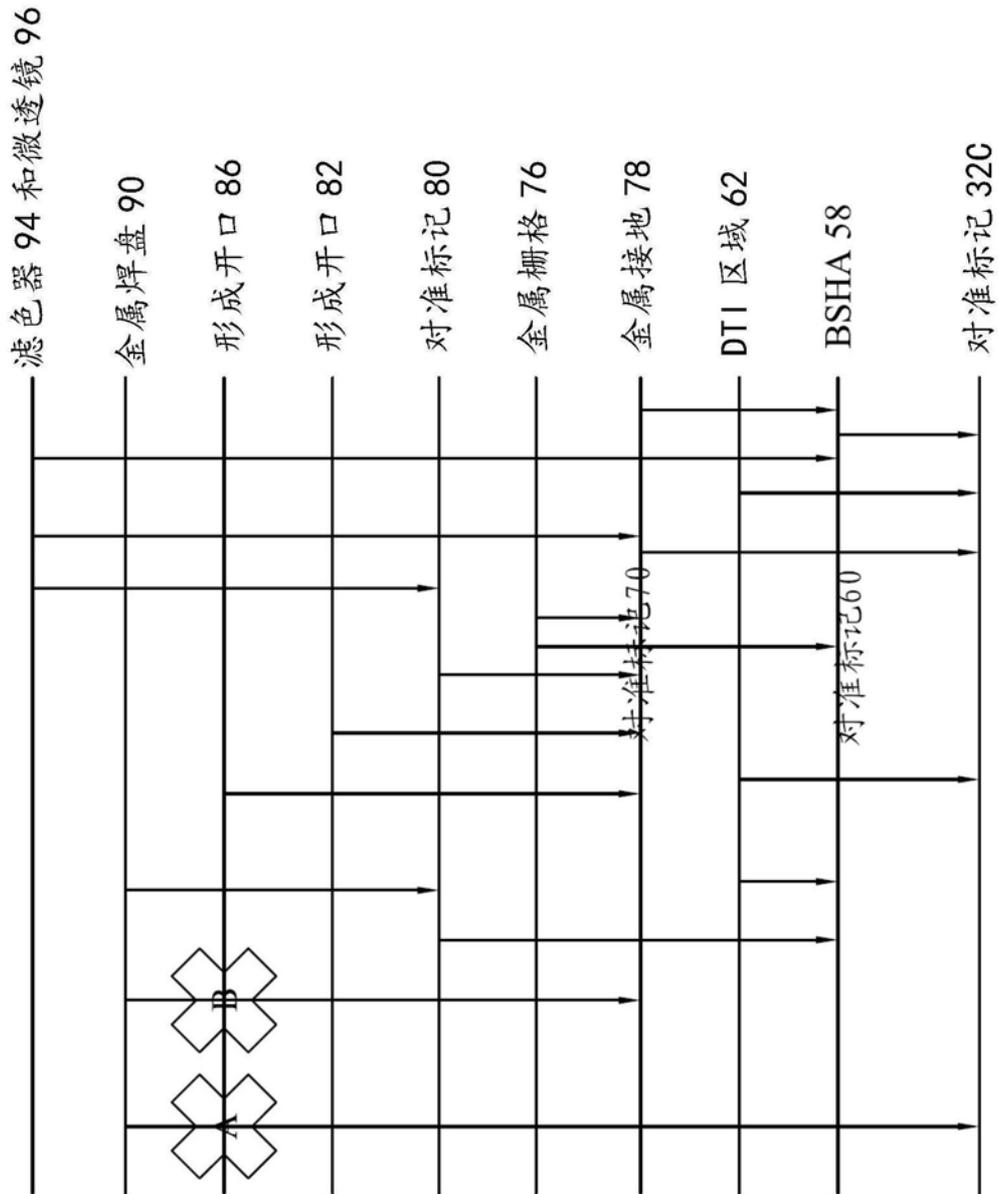


图20

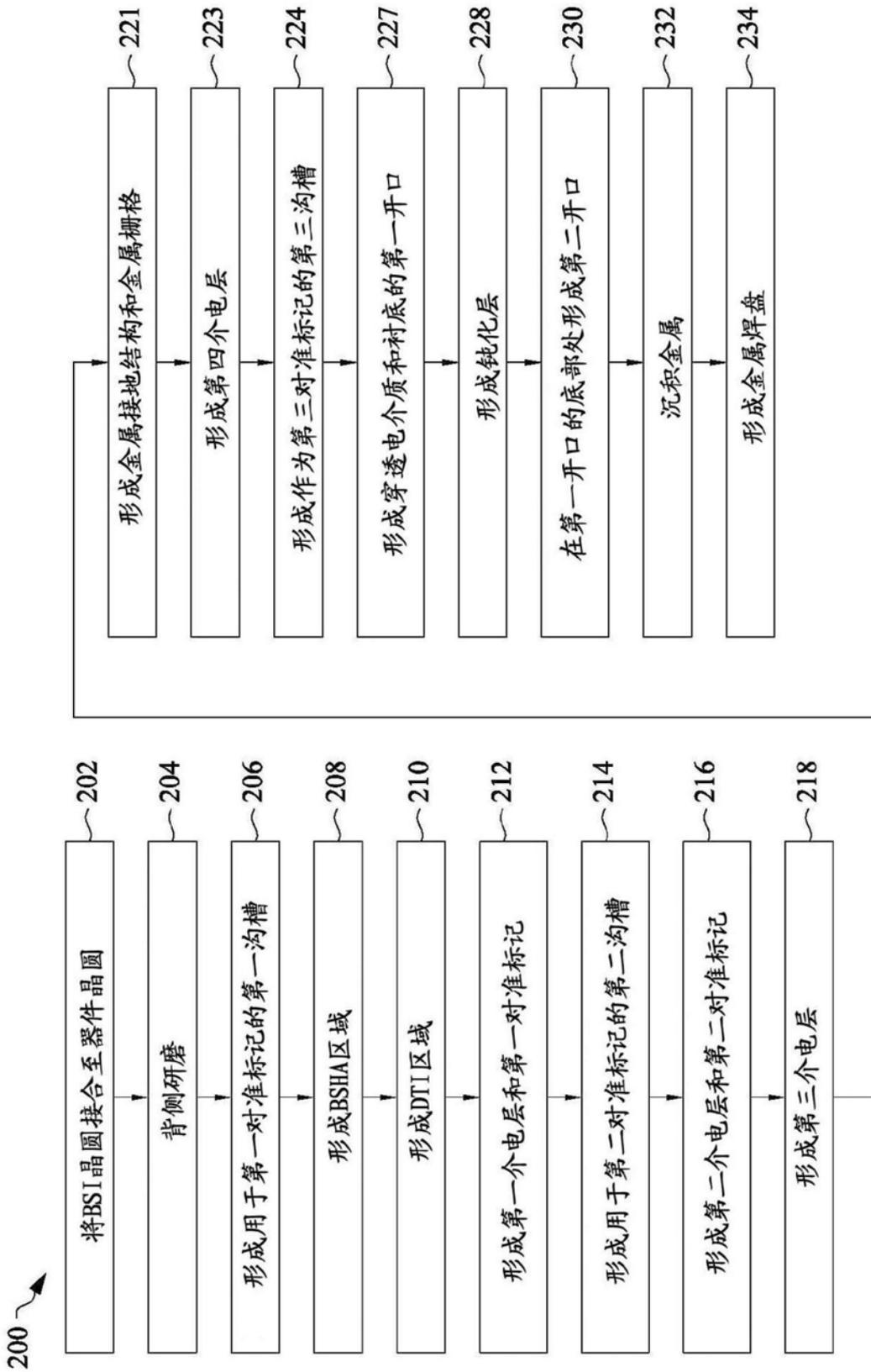


图21