

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5619542号
(P5619542)

(45) 発行日 平成26年11月5日(2014.11.5)

(24) 登録日 平成26年9月26日(2014.9.26)

(51) Int. Cl. F I
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 J
 HO 1 L 21/768 (2006.01)
 HO 1 L 23/522 (2006.01)

請求項の数 16 (全 18 頁)

(21) 出願番号	特願2010-201023 (P2010-201023)	(73) 特許権者	513192281
(22) 出願日	平成22年9月8日(2010.9.8)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2012-59884 (P2012-59884A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成24年3月22日(2012.3.22)		ルクセンブルク大公国エルー2121、ルク センブルク、ヴァル デ ボン マラデ ス208
審査請求日	平成25年8月30日(2013.8.30)	(74) 代理人	100123788 弁理士 宮崎 昭夫
		(74) 代理人	100127454 弁理士 緒方 雅昭
		(72) 発明者	藤井 誠也 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体基板の処理方法及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

主面側に複数の半導体素子を含む回路層の形成された半導体基板を、該基板の外径よりも大きい外径を有する支持体に、前記主面側で接着剤を用いて固着する工程と、

前記半導体基板の裏面を研削し、半導体基板の厚みを減少させる工程と、

前記支持体に前記半導体基板が固着された状態で、前記半導体基板の裏面側に導電体膜を形成する工程と、

前記裏面側に導電体膜の形成された半導体基板と、前記接着剤及び前記支持体を分離する工程と

を有する半導体基板の処理方法であって、

前記半導体基板の厚みを減少させる工程の後であって、前記導電体膜を形成する工程の前に、半導体基板と前記半導体基板の外周部にはみ出している前記接着剤との隙間を拡張する工程を有する前記処理方法。

【請求項2】

前記隙間を拡張する工程は、前記半導体基板の外周部の半導体層の一部を除去する工程である請求項1に記載の処理方法。

【請求項3】

前記隙間を拡張する工程は、前記半導体基板の外周部からはみ出す接着剤の少なくとも一部を除去する工程である請求項1に記載の処理方法。

【請求項4】

前記半導体基板の外周部からはみ出す接着剤の全てを除去する請求項 3 に記載の処理方法。

【請求項 5】

前記隙間を拡張する工程は、前記半導体基板の外周部の半導体層の一部と前記半導体基板の外周部からはみ出す接着剤の一部を除去する工程である請求項 1 に記載の処理方法。

【請求項 6】

前記拡張後の前記隙間が 6 μ m 以上である請求項 1 乃至 5 のいずれか 1 項に記載の処理方法。

【請求項 7】

前記隙間は、スパッタリング法により成膜される導電膜の膜厚の 2 倍の値を引いた値である請求項 6 に記載の処理方法。

【請求項 8】

前記導電体膜を形成する工程は、前記スパッタリング法でシード層を形成した後、該シード層を核に電解めっき法で導電体膜を形成する工程を含む請求項 1 乃至 6 のいずれかに記載の処理方法。

【請求項 9】

半導体基板の主面側に複数の半導体素子を含む回路層を有し、前記半導体基板の主面と対向する裏面と前記主面との間を貫通する貫通電極を有する半導体装置の製造方法であって、

前記回路層の形成された半導体基板を、該基板の外径よりも大きい外径を有する支持体に、前記主面側で接着剤を用いて固着する工程と、

前記半導体基板の裏面を研削し、半導体基板の厚みを減少させる工程と、

前記半導体基板の裏面側から前記主面側に貫通する貫通孔を形成する工程と、

前記貫通孔に導電体膜を埋設し、貫通電極を形成する工程と、

前記貫通電極の形成された半導体基板と、前記接着剤及び前記支持体を分離する工程とを有し、

前記貫通電極を形成する工程は、スパッタリング法で前記貫通孔の内部を覆うシード層を形成する工程の後に、該シード層を電極とした電解メッキ法で前記貫通孔内に導電体膜を形成する工程を含み、

前記半導体基板の厚みを減少させる工程の後であって、前記シード層を形成する工程の前に、半導体基板と前記半導体基板の外周部にはみ出している前記接着剤との隙間を拡張する工程を有する半導体装置の製造方法。

【請求項 10】

前記隙間を拡張する工程は、前記半導体基板の外周部の半導体層の一部を除去する工程である請求項 9 に記載の半導体装置の製造法。

【請求項 11】

前記隙間を拡張する工程は、前記半導体基板の外周部の半導体層の一部と前記半導体基板の外周部からはみ出す接着剤の一部を除去する工程である請求項 9 に記載の半導体装置の製造方法。

【請求項 12】

前記半導体基板の外周部の半導体層の一部の除去は、前記貫通孔を形成する工程と同時に行われる請求項 10 又は 11 に記載の半導体装置の製造方法。

【請求項 13】

前記隙間を拡張する工程は、前記半導体基板の外周部からはみ出す接着剤の少なくとも一部を除去する工程である請求項 9 に記載の半導体装置の製造方法。

【請求項 14】

前記半導体基板の外周部からはみ出す接着剤の全てを除去する請求項 13 に記載の半導体装置の製造方法。

【請求項 15】

前記拡張後の前記隙間が 6 μ m 以上である請求項 9 乃至 13 のいずれか 1 項に記載の半

10

20

30

40

50

導体装置の製造方法。

【請求項 16】

前記隙間は、スパッタリング法により成膜されるシード膜の膜厚の 2 倍の値を引いた値である請求項 15 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板の処理方法に関し、詳しくは、半導体基板を貫通する貫通電極を形成する際の裏面研削後の処理に関する。また、本発明は貫通電極を有する半導体装置の製造方法に関する。

10

【背景技術】

【0002】

半導体装置の小型化の要求に答えるため、複数の半導体チップを積層し、貫通電極を介して半導体チップ間を相互に接続する技術が開発されている。貫通電極を形成する場合、半導体素子の形成される主面側に深い孔を形成し、該孔に導電体を埋め込んだ後、半導体基板の裏面を研削等して、導電体膜を露出させる方法、あるいは、半導体素子を主面上に形成した半導体基板の裏面を研削等した後、貫通孔形成及び導電体の埋め込みを行う方法がある。後者の場合、半導体基板の厚さを 10 ~ 100 μm 程度まで薄くすることで、加工が容易となる。また半導体チップの厚みを薄く加工することで、積層した場合の小型化を進めることができる。

20

【0003】

半導体素子を主面上に形成した半導体基板の裏面を研削等して薄く加工する際には、主面上の半導体素子の保護や、半導体基板自体の破損防止のため、半導体基板の主面側に石英等の支持体（サポート基板）を接着剤を用いて固着させることが一般的に行われている（特許文献 1）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 311385 号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0005】

半導体素子の形成される主面側から貫通電極を形成する場合、裏面研削後の後処理として、貫通電極に外部接続が容易となる端子等を接続するために、配線層や導電パッドなどの形成工程を行う場合がある。また、裏面側から貫通電極を形成する場合には、裏面研削後に貫通電極を形成し、併せて裏面側に配線層や導電パッドなどの形成を行うこともできる。これら導電体膜の形成も、半導体基板の主面側に支持体を固着させた状態のまま実施され、支持体は導電体膜の形成後に半導体基板から接着層と共に除去される。

【0006】

本発明者は、支持体を固着した半導体基板を用いて、裏面研削後の貫通電極を含む導電体膜の製造工程の検討を行った結果、以下のような問題のあることを見出した。

40

【0007】

図 10 ~ 図 13 は従来 of 製造工程における問題点を説明するために、本発明者が作成した図面である。

支持体に半導体基板（ウエハ）を固着した状態の断面図を図 10、平面図を図 11 に示す。これらの図に示すように、シリコン（Si）等の半導体基板 1 は、石英等の支持体 2 に光硬化性樹脂等の接着剤 3 によって固着されている。半導体基板 1 及び支持体 2 は共に平面視で円形の基板であり、支持体 2 の直径は半導体基板 1 の直径よりも若干大きい寸法に設定されている。

【0008】

50

半導体基板 1 は、トランジスタ等の複数の半導体素子を含む回路層が形成された主面 S が支持体 2 と対向する向きに固着されている。すなわち、図 10 において半導体基板 1 の裏面側が上を向くように固着されている。半導体基板 1 を支持体 2 に固着する際には、塗布した液状の接着剤 3 が半導体基板 1 の側面からはみ出すため、図 10 に示したように半導体基板 1 の側面部も接着剤 3 で覆われている。

【0009】

接着剤 3 を硬化した後に、半導体基板 1 の裏面側（図 10 の上面側）の研削（バックグラインド）が行われ、半導体基板 1 が所定の厚みとなるように調整される。この状態での、半導体基板 1 の端部（図 10 の破線 E で示した場所）における拡大図を図 12 に示す。

【0010】

半導体基板 1 の研削に伴う機械的応力や、支持体 2 の微小な反り、半導体基板 1 の研削後に実施されるプラズマエッチングなどの加工によって加わる熱に起因した接着剤の収縮等の原因により、半導体基板 1 と接着剤 3 の間には数 μm 幅の隙間 d_0 が生じている。この隙間 d_0 は、半導体基板 1 の外周全体に生じる場合と、一部の領域のみに生じる場合とがある。

【0011】

図 12 のような隙間 d_0 を有した状態で、スパッタリング装置を用いて貫通電極の加工（導電体膜の形成）等を行った場合、絶縁体である接着剤 3 の表面には帯電（チャージアップ）が生じ、局所的な電位の上昇が生じやすい。一方、半導体基板 1 はシリコン層であり、半導体基板 1 全体に電荷（チャージ）の移動が速やかに行われるため、電位の上昇は生じにくい。このため、接着剤 3 の局所的な表面電位が限界を越えた時点で、図 13 に示したように半導体基板 1 への放電現象が発生する。通常、導電体膜の形成に先駆けて、裏面研磨後に絶縁膜の形成が行われるが、このような絶縁膜が存在していたとしても絶縁膜の膜厚がサブミクロンオーダー以下では同様の放電現象が発生する。この放電現象に伴い大電流が瞬時に流れるため、半導体基板 1 の電流の流れた経路部にはダメージ（基板のえぐれ等）が発生してしまう。これにより、貫通電極等の導電体膜の加工を正常に実施することが困難となる。

【0012】

このように従来の製造方法では、上述の放電現象に起因して、半導体装置の製造歩留りの低下が起きやすいという問題があった。

【課題を解決するための手段】

【0013】

本発明者は、半導体基板の裏面研削後、導電膜の成膜を実施する前に、基板端部と接着剤との隙間を所定値以上にすることで、スパッタリング法による導電膜の成膜に際してチャージアップに伴う放電現象を防止できることを見出した。

【0014】

すなわち、本発明の一実施形態によれば、

主面側に複数の半導体素子を含む回路層の形成された半導体基板を、該基板の外径よりも大きい外径を有する支持体に、前記主面側で接着剤を用いて固着する工程と、

前記半導体基板の裏面を研削し、半導体基板の厚みを減少させる工程と、

前記支持体に前記半導体基板が固着された状態で、前記半導体基板の裏面側に少なくともスパッタリング法を含む方法で導電体膜を形成する工程と、

前記裏面側に導電体膜の形成された半導体基板と、前記接着剤及び前記支持体を分離する工程と

を有する半導体基板の処理方法であって、

前記半導体基板の厚みを減少させる工程の後であって、前記導電体膜を形成する工程の前に、半導体基板と前記半導体基板の外周部にはみ出している前記接着剤との隙間を所定値以上に拡張する工程を有する前記処理方法が提供される。

【0015】

また、本発明の別の実施形態によれば、

半導体基板の主面側に複数の半導体素子を含む回路層を有し、前記半導体基板の主面側から対向する裏面側に貫通する貫通電極を有する半導体装置の製造方法であって、

主面側に複数の半導体素子を含む回路層の形成された半導体基板を、該基板の外径よりも大きい外径を有する支持体に、前記主面側で接着剤を用いて固着する工程と、

前記半導体基板の裏面を研削し、半導体基板の厚みを減少させる工程と、

前記半導体基板の裏面側から前記主面側に貫通する貫通孔を形成する工程と、

前記貫通孔に導電体膜を埋設し、貫通電極を形成する工程と、

前記貫通電極の形成された半導体基板と、前記接着剤及び前記支持体を分離する工程とを有し、

前記貫通電極を形成する工程は、前記スパッタリング法でシード層を形成した後、該シード層を核に電解めっき法で導電体膜を形成する工程を含み、

前記半導体基板の厚みを減少させる工程の後であって、前記スパッタリング法によるシード層を形成する工程の前に、半導体基板と前記半導体基板の外周部にはみ出している前記接着剤との隙間を所定値以上に拡張する工程を有する半導体装置の製造方法が提供される。

【発明の効果】

【0016】

貫通電極等の導電体膜を形成する際に、スパッタリング装置内での放電現象の発生を抑制できる。これにより製造歩留りを低下させることなく、貫通電極等の導電体膜の製造を行うことが可能となる。

【図面の簡単な説明】

【0017】

【図1】第1実施例の工程を説明する半導体基板端部における断面模式図である。

【図2】第1実施例の処理後の半導体基板端部における断面模式図である。

【図3】第2実施例の工程を説明する半導体基板端部における断面模式図である。

【図4】第2実施例の処理後の半導体基板端部における断面模式図である。

【図5】第3実施例の工程を説明する半導体基板端部における断面模式図である。

【図6】第3実施例の処理後の半導体基板端部における断面模式図である。

【図7】第4実施例の処理後の半導体基板端部における断面模式図である。

【図8】第5実施例の工程を説明する半導体基板端部における断面模式図である。

【図9】第5実施例の処理後の半導体基板端部における断面模式図である。

【図10】従来技術の課題を説明する図であり、支持体に半導体基板（ウエハ）を固着した状態の断面模式図である。

【図11】図10に対応する上面図である。

【図12】図10の破線部Eの拡大断面模式図である。

【図13】放電現象を示す図である。

【図14】導電膜成膜の初期段階を示す断面模式図である

【発明を実施するための形態】

【0018】

以下、本発明の実施形態について具体例を参照して説明するが、本発明はこれらの実施形態のみに限定されるものでない。

【0019】

[第1実施例]

トランジスタ等の半導体素子が主面上に形成されたシリコン等の半導体基板（ウエハ）を従来（図10）と同様に支持体に固着したものを準備する。支持体2には石英やアクリル樹脂等の円形基板（例えば直径300mm）を用いることができる。

【0020】

半導体基板1は、支持体2の直径より若干小さい寸法（例えば直径で1～2mm程度小さい寸法）にあらかじめ加工されており、接着剤3で支持体2に固着されている。

接着剤3には、光硬化性樹脂又は熱硬化性樹脂等を用いることができる。

10

20

30

40

50

【 0 0 2 1 】

接着剤 3 が硬化（固形化）した後に、半導体基板 1 の裏面側（図 1 0 の上面側）に対して研削（バックグラインド）が実施され、所定の厚み（例えば 5 0 μm ）に調整される。

研削を実施した後に、引き続き裏面のポリッシング（研磨）を行ってもよい。ポリッシングを行う場合には、ポリッシングの実施後に半導体基板が所定の厚みとなるように調整する。

この状態で、従来（図 1 2）と同様に、接着剤 3 と半導体基板 1 との間には隙間 d_0 が生じる。裏面のポリッシングを行う場合には、ポリッシング工程も隙間 d_0 を生じる原因となる。

【 0 0 2 2 】

本発明者は先に説明した放電現象の発生と、この隙間 d_0 の値について検証を行った結果、隙間 d_0 が 6 μm 未満の場合に放電が起き易いことを見出した。半導体基板 1 と接着剤 3 が接触している場所（ $d_0 = 0 \mu\text{m}$ ）の近傍には放電現象は発生しなかった。隙間 d_0 の値が小さくなるにしたがって、放電現象の頻度の上昇が確認され、隙間 d_0 が 6 μm 以上の場合には、放電現象の発生は確認されなかった。

【 0 0 2 3 】

また、スパッタリング法で導電体膜の形成を行う場合には、図 1 4 に示したように、成膜の初期段階で導電体膜 5 が半導体基板 1 の側面と接着剤 3 の側面の両側から徐々に膜厚が増加していく。このため、導電体膜の膜厚が差し引かれた隙間 d_4 は徐々に狭くなっていくため、放電現象の発生に際しては導電体膜の膜厚分も考慮する必要がある。なお、成膜プロセスが進んで隙間 d_4 の底部にも導電体膜が成膜されることで、半導体基板 1 の側面と接着剤 3 の側面の導電体膜が導通すれば、放電現象は発生しなくなる。

【 0 0 2 4 】

以上の検証に基づき、本実施例では、以下に説明する方法によって放電現象の発生を抑制する。

図 1、2 は、半導体基板 1 の端部（図 1 0 の破線 E で示した部分）における断面模式図である。

【 0 0 2 5 】

（図 1）

半導体基板 1 上にフォトレジスト膜 4 を塗布し、半導体基板 1 の端部 E 1 よりも内側にフォトレジスト膜 4 の端部 E 2 が位置するようにパターニングを行う。接着剤 3 の端部 E 3 よりも外側の部分はフォトレジスト膜 4 によって覆われている。これにより、平面視で半導体基板 1 の端部 E 1 が露出したリング状の領域が形成され、それ以外の領域はフォトレジスト膜 4 によって覆われた状態となる。

【 0 0 2 6 】

（図 2）

フォトレジスト膜 4 をマスクとしてシリコンのエッチングを行い、隙間 d_1 を形成する。シリコンのエッチングとしては、 SF_6 ガスを用いたドライエッチングを例示できる。エッチング後にフォトレジスト膜 4 は除去する。

【 0 0 2 7 】

エッチング後の隙間 d_1 は、初期状態での隙間 d_0 よりも大きな値となっている。隙間 d_1 は 6 μm 以上となるように形成することが好ましい。

【 0 0 2 8 】

より現実的には、初期隙間 d_0 のばらつきを考慮して、例えば、基板段部 E 1 からフォトレジスト膜端部 E 2 の距離を 6 μm に設定することで、基板外周部の全てで隙間 d_1 を 6 μm 以上に拡張することができる。

【 0 0 2 9 】

さらに、後の工程でスパッタリング法によって導電体膜の成膜を行うことを考慮すると、導電体膜の膜厚も加味して、基板段部 E 1 からフォトレジスト膜端部 E 2 の距離を設定

10

20

30

40

50

すればよい。具体的には、成膜する導電体膜の最終的な膜厚の2倍の値を基板段部E1からフォトリソ膜端部E2の距離から引いたものが6 μ mとなるように設定することが好ましい。もちろん、基板段部E1からフォトリソ膜端部E2の距離は、6 μ mを超える値に設定しても良いが、基板外周部のチップ領域に係らない距離までとする。

【0030】

本実施例では、半導体基板の側面をエッチングして、半導体基板と接着剤との隙間を拡大することで、スパッタリング法による導電膜形成時の放電現象の発生を抑制することが可能となる。

【0031】

半導体基板の裏面から貫通電極を形成する場合、貫通孔を形成して、スパッタリング法によるシード膜形成及び電解めっきによる導電膜埋め込みを行う。貫通孔の形成方法としては、後述する第5実施例に示すようなドライエッチングによる方法、ウェットエッチングによる方法あるいはレーザーアブレーションによる方法等、公知の方法が採用できる。予め、主面S側に貫通電極と接続する導電パッド等が形成されている場合には、導電パッドへの影響の少ない方法が採用される。また、隣接して配置される貫通電極間の絶縁を行うため、導電膜形成に先駆けて貫通電極の周囲に絶縁膜を形成する。このような絶縁膜として、例えば、特開2009-111061号公報に記載されるように、あらかじめ基板主面側からリング状の埋め込み絶縁膜を形成し、この埋め込み絶縁膜で囲まれた半導体基板の領域に貫通孔を形成し、貫通電極を形成する方法も採用できる。

【0032】

また、特許文献1に示されるように、主面S側から貫通電極を形成し、裏面研削により貫通電極を露出させた後、導電パッドや突起電極（バンプ電極）等に使用する導電膜形成を実施する場合にも本発明を適用することができる。

【0033】

このようにして貫通電極、導電パッド、突起電極等を形成した後、半導体基板1を支持体2から分離する。支持体2の分離方法は、接着剤3を溶解可能な溶剤を用いて溶出し、支持体2を半導体基板1から分離する方法、加熱等に接着剤3の接着力を低下せしめた後、支持体2を基板から剥離する方法が挙げられる。

【0034】

支持体2と分離された半導体基板は、その後、個々のチップにダイシング等で分割される。分割された個々のチップは、貫通電極を介した積層状態の半導体装置として組み立てられる。

【0035】

[第2実施例]

シリコン等の半導体基板を従来と同様に支持体に固着し、研削によって半導体基板を所定の厚みに調整したものを準備する。

図3、4は、半導体基板1の端部（図10の破線Eで示した部分）における断面模式図である。

【0036】

（図3）

半導体基板1上にフォトリソ膜4を塗布し、接着剤3の端部E3よりも外側にフォトリソ膜4の端部E4が位置するようにパターンニングを行う。半導体基板1の端部E1よりも内側の部分はフォトリソ膜4によって覆われている。これにより、平面視で接着剤3の端部E3が露出したリング状の領域が形成され、それ以外の領域はフォトリソ膜4によって覆われた状態となる。

【0037】

（図4）

フォトリソ膜4をマスクとして接着剤3のエッチングを行い、隙間d2を形成する。接着剤のエッチングとしては、酸素ガスを用いたドライエッチングを例示できる。この際、接着剤3とフォトリソ膜4は共に有機物であるため、フォトリソ膜4のエッ

10

20

30

40

50

チングも進行する。エッチング条件及びフォトリソ膜4の膜厚によっては、エッチングに際してフォトリソ膜4が全て除去される場合もあるが、半導体基板1ではシリコン表面が露出した場合でもエッチングは進行しないので特に問題は無い。エッチング後にフォトリソ膜4が残存している場合には除去する。

【0038】

本実施例の場合も、エッチング後の隙間d2は、初期状態での隙間d0よりも大きな値となっている。隙間d2は6 μ m以上となるように形成することが好ましい。

【0039】

本実施例の場合、初期状態での隙間d0のばらつきに関わりなく、基板端部E1から外周部の接着剤3上のフォトリソ膜4までの距離を6 μ m以上に設定すればよい。

10

【0040】

また、第1実施例で説明したように、後工程の導電膜形成を考慮して、E1 - E4間距離を、成膜する導電膜の最終的な膜厚の2倍の値を引いた値が6 μ m以上となるようにすればよい。

【0041】

本実施例では、接着剤の側面をエッチングして、半導体基板と接着剤との間の隙間を拡大することで、放電現象の発生を抑制することが可能となる。

【0042】

[第3実施例]

シリコン等の半導体基板を従来と同様に支持体に固着し、研削によって半導体基板を所定の厚みに調整したものを準備する。

20

図5、6は、半導体基板1の端部(図10の破線Eで示した部分)における断面模式図である。

【0043】

(図5)

半導体基板1上にフォトリソ膜4を塗布し、接着剤3の端部E3よりも外側にフォトリソ膜4の端部E4が位置し、半導体基板1の端部E1よりも内側にフォトリソ膜4の端部E2が位置するようにパターニングを行う。これにより、平面視で半導体基板1の端部E1と接着剤3の端部E3が露出したリング状の領域が形成され、それ以外の領域はフォトリソ膜4によって覆われた状態となる。

30

【0044】

(図6)

フォトリソ膜4をマスクとしてシリコンのエッチングを行った後に、フォトリソ膜4を除去せずに引き続き接着剤3のエッチングを行い、隙間d3を形成する。エッチング後にフォトリソ膜4が残存している場合には除去する。

【0045】

エッチング後の隙間d3は、初期状態での隙間d0よりも大きな値となっている。隙間d3は6 μ m以上となるように形成することが好ましい。本実施例の場合も、初期状態での隙間d0のばらつきに関わりなく、半導体基板1上のフォトリソ膜4の端部E2から外周部の接着剤3上のフォトリソ膜4までの距離を6 μ m以上に設定すればよい。

40

【0046】

後の工程で成膜する導電膜の膜厚も考慮して、E2 - E4間距離を設定すればよい。具体的には、成膜する導電膜の最終的な膜厚の2倍の値をE2 - E4間距離から引いたものが6 μ m以上となるように設定することが好ましい。

【0047】

本実施例では、半導体基板の側面と接着剤の側面の両方をエッチングして、半導体基板と接着剤との間の隙間を拡大することで、放電現象の発生を抑制することが可能となる。

【0048】

[第4実施例]

シリコン等の半導体基板を従来と同様に支持体に固着し、研削によって半導体基板を所

50

定の厚みに調整したものを準備する。

図7は、半導体基板1の端部(図10の破線Eで示した部分)における断面模式図である。

【0049】

(図7)

本実施例ではフォトレジスト膜を設けずに、従来の図12の状態からそのまま接着剤のエッチングを行う。接着剤のエッチングとしては、酸素ガスを用いたドライエッチングの他に、溶剤を用いたウェットエッチングを実施してもよい。ウェットエッチングを行う場合には、枚葉式のエッチング装置を使用し、薬液(溶剤)を支持体2の外周端にのみ吐出するようにする。

【0050】

半導体基板1と支持体2の間に挟まれている部分の接着剤3は半導体基板1がマスクとなって残存するため、半導体基板1の固着状態は維持される。

【0051】

本実施例では、図7に示したように半導体基板1の端部E1よりも外側に存在していた接着剤3は全て除去される。これにより、放電現象の発生を抑制することが可能となる。

【0052】

[第5実施例]

シリコン等の半導体基板を従来と同様に支持体に固着し、研削によって半導体基板を所定の厚みに調整したものを準備する。

【0053】

貫通電極を形成する際には、まず貫通電極を配置するためのコンタクトホールを半導体基板のシリコン層を貫通するように裏面側(図10の上面側)からエッチングで形成した後に、導電膜の埋設が行われる。具体的には、スパッタリング法で導電用のシード膜を形成した後に、電解メッキ法等で導電体の埋設が実施される。なお、隣接して配置される貫通電極間を絶縁する絶縁膜を、導電用のシード膜を形成する前に、形成される貫通電極を囲むようにあらかじめ設けておく。

【0054】

図8は、半導体基板1の端部(図10の破線Eで示した場所)における断面模式図であり、貫通電極用のコンタクトホールの開口パターン6を有するフォトレジスト膜4を形成した状態を示す。フォトレジスト膜4は半導体基板1の端部E1の内側のみを覆うようにパターン形成されている。この状態でまず、シリコンのドライエッチングを行い、開口パターン6の位置にコンタクトホールを形成する。

【0055】

引き続き、図9に示したように、フォトレジスト膜4を除去せずに、酸素ガス等を用いて接着剤のドライエッチングを行う。エッチング条件及びフォトレジスト膜4の膜厚によっては、接着剤のエッチングに際してフォトレジスト膜4が全て除去される場合もあるが、半導体基板1においては、シリコン表面が露出した場合でもエッチングは進行しないので特に問題は無い。

【0056】

これにより、半導体基板1の端部E1よりも外側に位置する接着剤3を除去して、図7のような状態を得ることができる。エッチング後にフォトレジスト膜4が残存している場合には除去する。

【0057】

本実施例の方法は、先の第1～第3実施例と組み合わせることも可能である。すなわちフォトレジスト膜4に開口パターン6を形成する際に、同時に半導体基板1の端部の露出状態が第1～第3実施例のいずれかと同じになるように形成する。

【0058】

第1及び第3実施例で説明したシリコンのエッチングは、開口パターン6の部分のシリコンのドライエッチングと兼用することができる。

10

20

30

40

50

【 0 0 5 9 】

第2及び第3実施例の接着剤のエッチングを行う場合には、開口パターン6の部分のシリコンのドライエッチングの後に、フォトレジスト膜4を除去せずに引き続き実施する。

【 0 0 6 0 】

このように、半導体基板外周部の処理を貫通電極用のコンタクトホール形成工程と兼用して実施することにより、製造工程の増加を抑制できる。

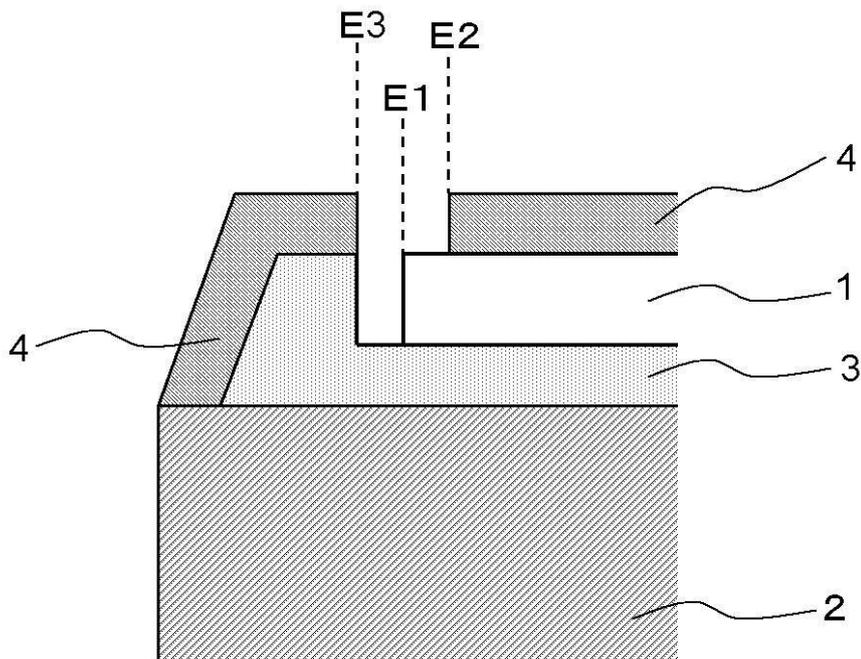
【符号の説明】

【 0 0 6 1 】

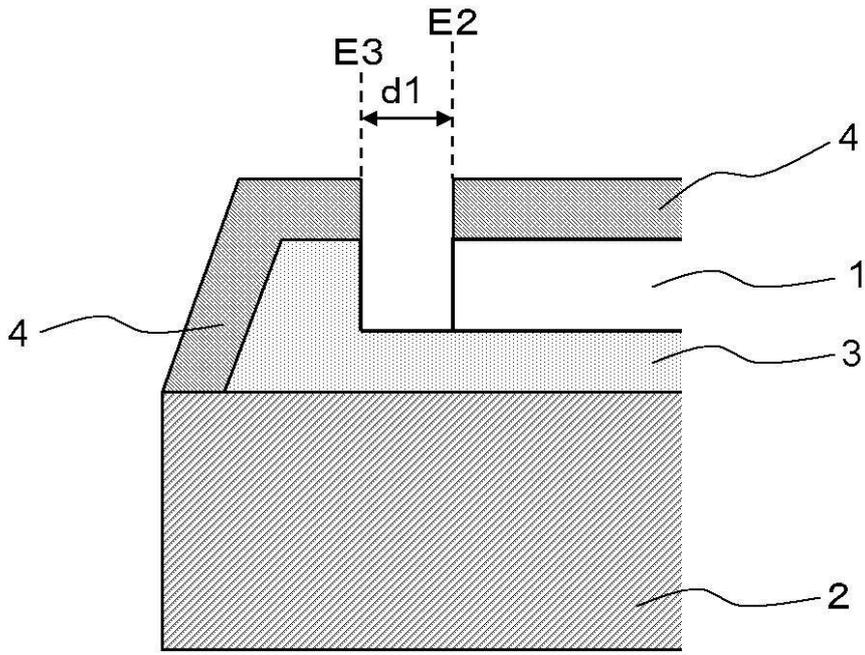
- 1 半導体基板
- 2 支持体
- 3 接着剤
- 4 フォトレジスト膜
- 5 導電膜
- 6 開口パターン

10

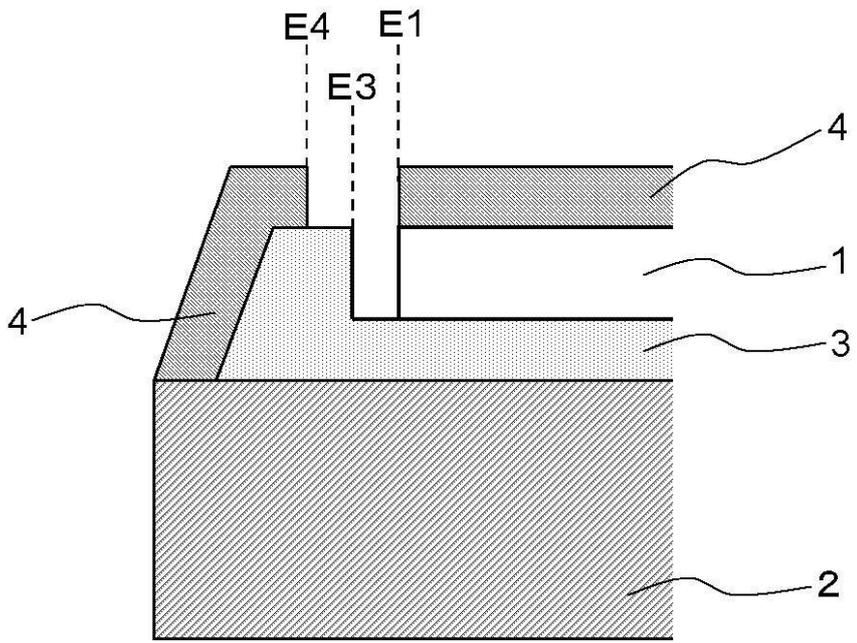
【 図 1 】



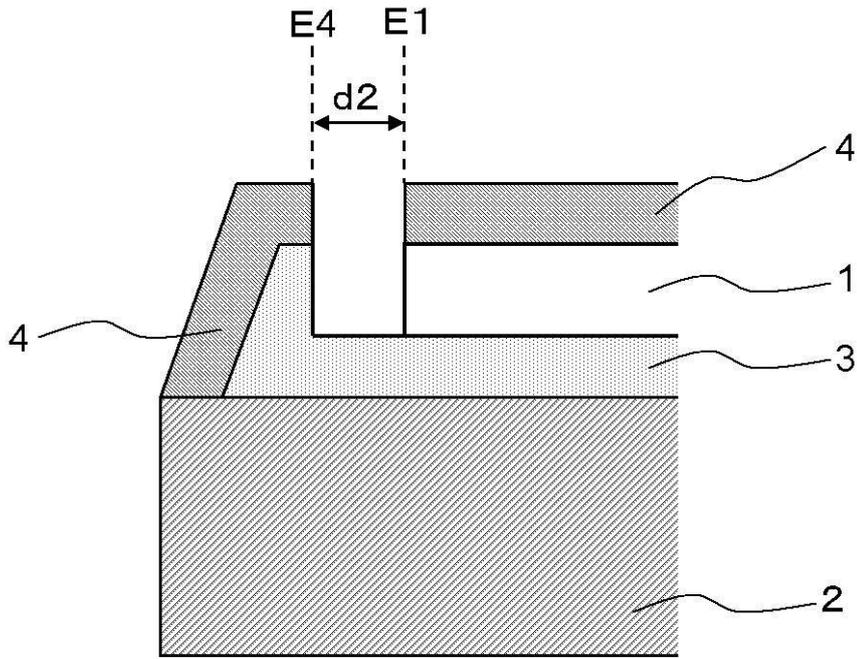
【図2】



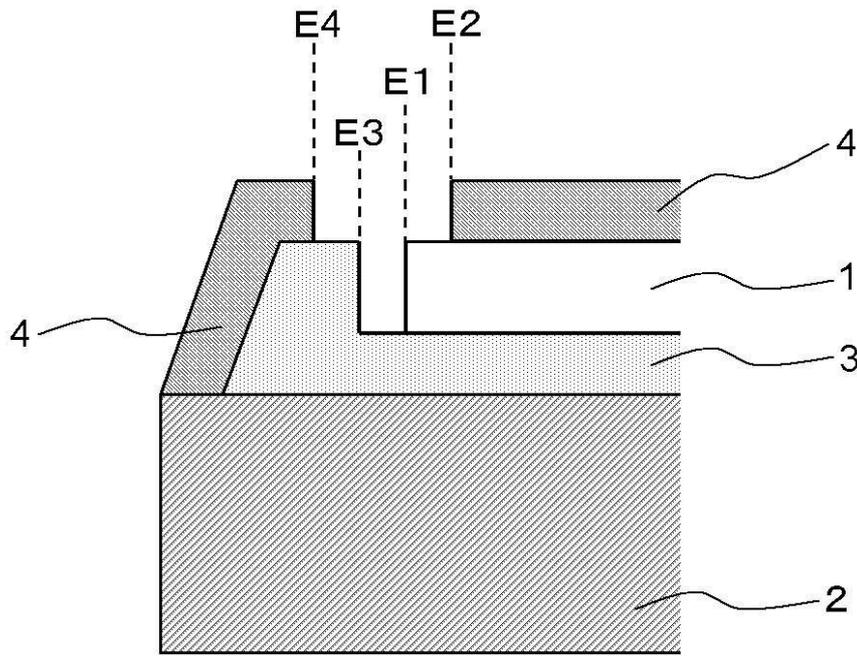
【図3】



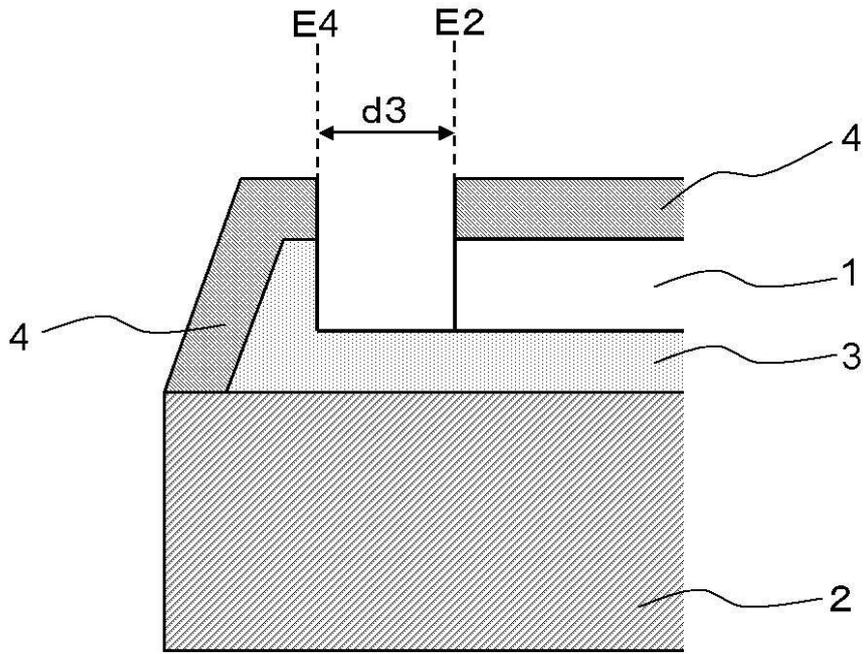
【 図 4 】



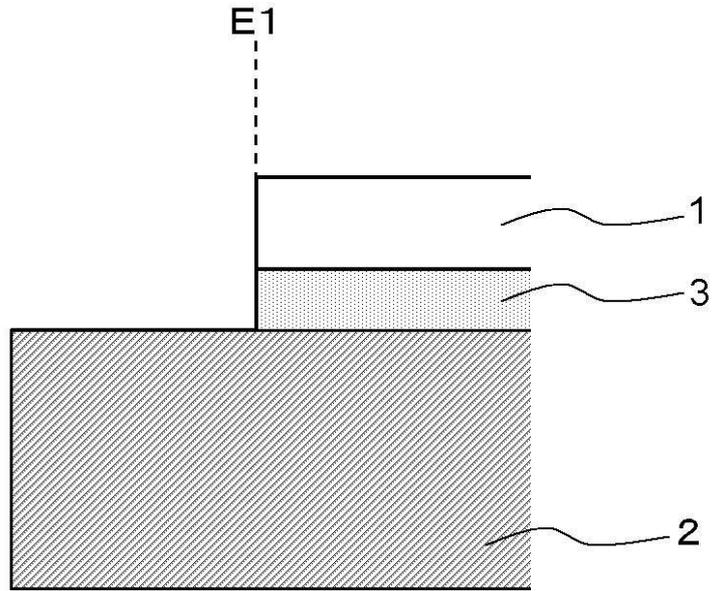
【 図 5 】



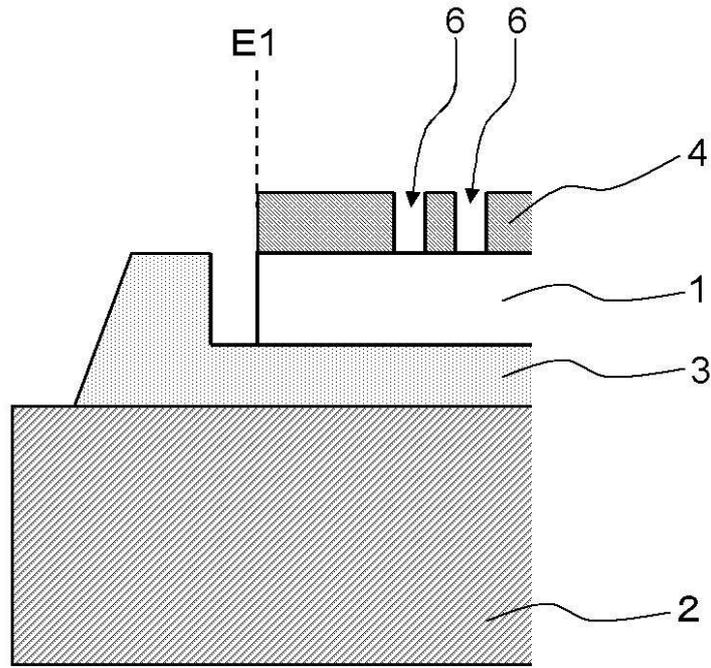
【図6】



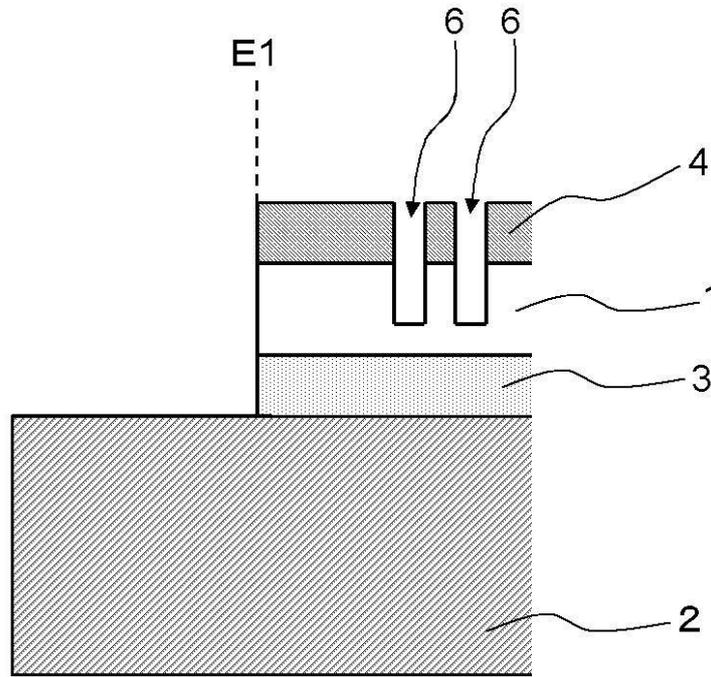
【図7】



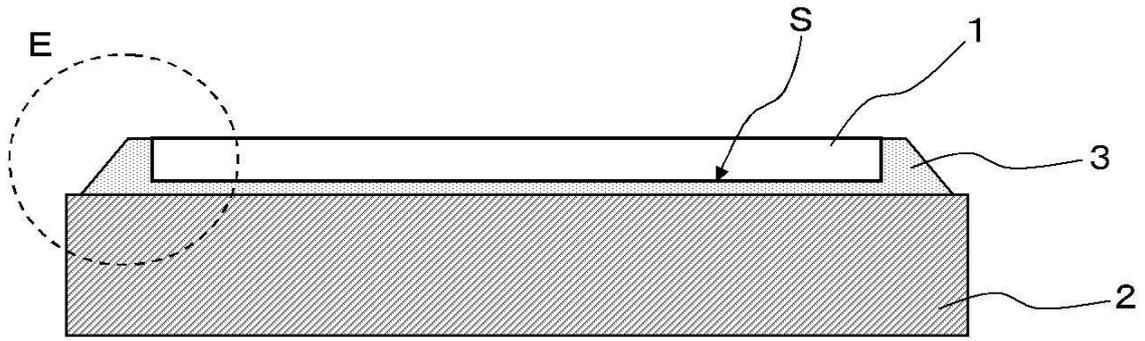
【図8】



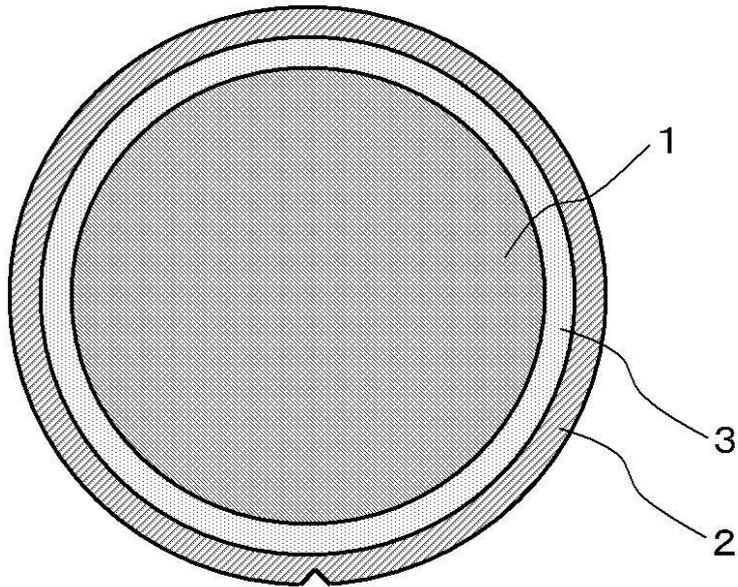
【図9】



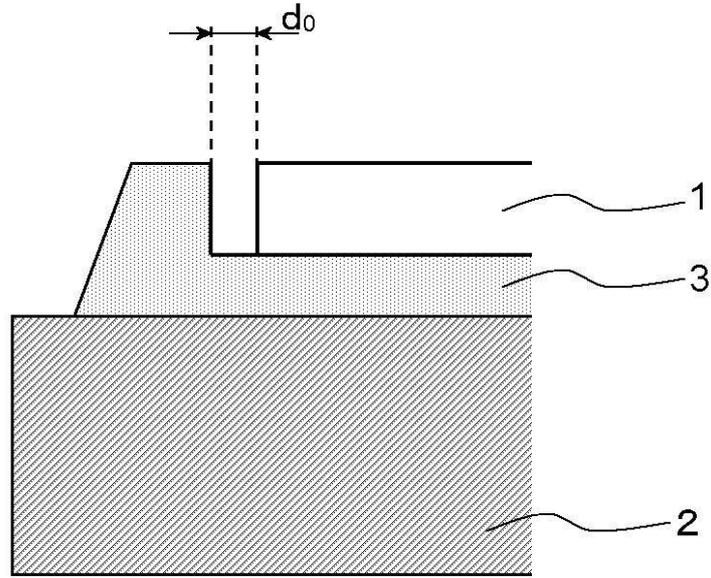
【図10】



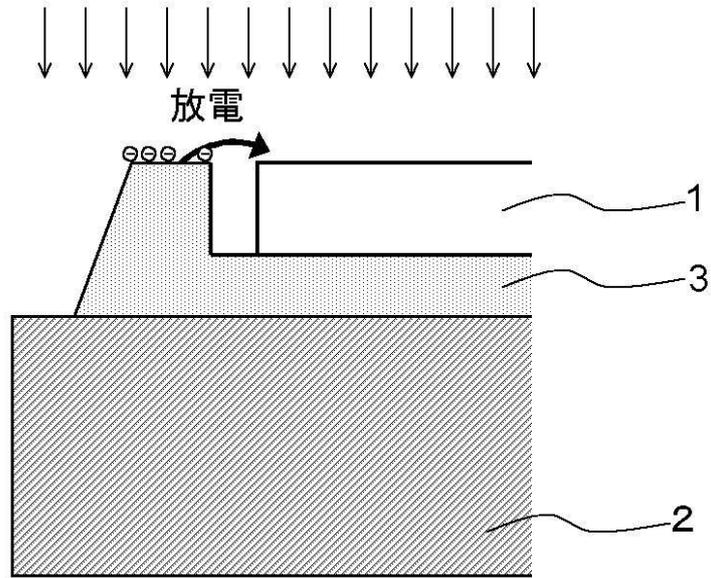
【図11】



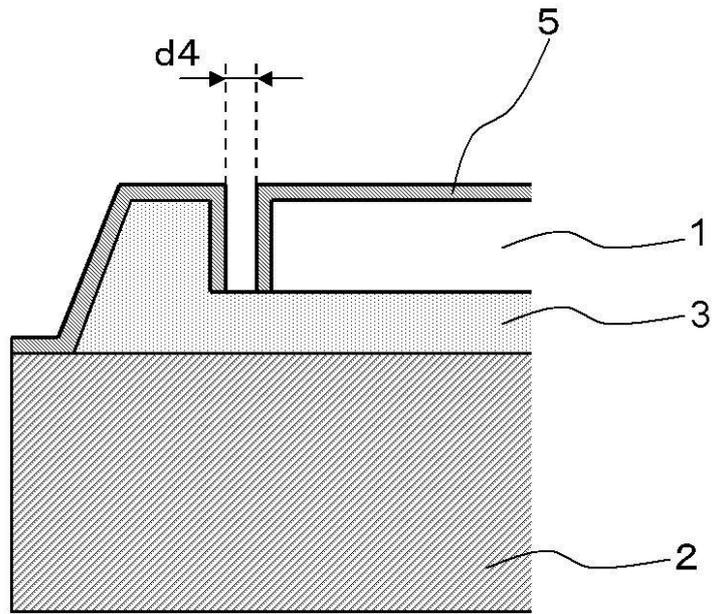
【図12】



【図13】



【 図 1 4 】



フロントページの続き

審査官 河合 俊英

- (56)参考文献 特開平06 - 244073 (JP, A)
特開2007 - 242714 (JP, A)
特開2004 - 296585 (JP, A)
特開2011 - 243837 (JP, A)
特開2006 - 229218 (JP, A)
特開2007 - 005596 (JP, A)
特開2002 - 083936 (JP, A)
特開2005 - 136098 (JP, A)
国際公開第2009 / 142078 (WO, A1)
米国特許出願公開第2006 / 0252262 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 21 / 3205
H01L 21 / 768
H01L 23 / 522