

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-140127

(P2010-140127A)

(43) 公開日 平成22年6月24日 (2010.6.24)

(51) Int.Cl.
G06F 13/28 (2006.01)

F I
G06F 13/28 310E

テーマコード (参考)
5B061

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2008-313917 (P2008-313917)
(22) 出願日 平成20年12月10日 (2008.12.10)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 110000279
特許業務法人ウィルフォート国際特許事務所
(72) 発明者 戸▲高▼ 貴司
神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内
(72) 発明者 田村 崇
神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内
(72) 発明者 宮越 利晋
神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内
Fターム(参考) 5B061 BA03 GG01

(54) 【発明の名称】 データ転送処理装置及び方法

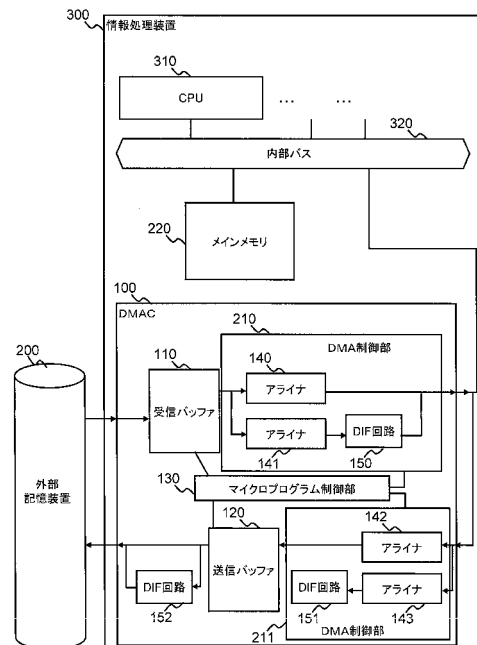
(57) 【要約】

【課題】アラインされていないデータユニットのデータ転送と並行して特定のデータ処理をハードウェア回路で行うにあたり論理規模が増大しないようにする。

【解決手段】データユニットの転送経路とは別の位置に、データ処理回路と、このデータ処理回路用のアライナとが備えられる。データ処理回路用のアライナは、アライン後のデータユニットの先頭部分に非転送対象のデータが含まれることが無いように、このアライナに入力されたデータユニットのアドレスをアラインするよう構成されている。データ転送に並行して、データ処理回路用のアライナに、転送されるデータユニットが入力され、入力されたデータユニットにおけるデータのアドレスがアラインされ、アライン後のデータユニットがデータ処理回路の入力データ幅単位でデータ処理回路に入力され、データ処理回路に入力されたアライン後のデータユニットが処理される。

【選択図】 図1

FIG.1



【特許請求の範囲】

【請求項 1】

転送元から転送先へ所定の転送単位で転送されるデータユニットの転送経路とは別の位置に、入力されたデータユニットを処理するデータ処理回路と、このデータ処理回路用のアライナとを備え、

前記データ処理回路用のアライナは、アライン後のデータユニットの先頭部分に非転送対象のデータが含まれることが無いように、このアライナに入力されたデータユニットのアドレスをアラインするよう構成されており、

前記転送元から前記転送先へのデータ転送に並行して、

- (A) 前記データ処理回路用のアライナに、転送されるデータユニットが入力され、
 - (B) 前記データ処理回路用のアライナに入力されたデータユニットにおけるデータのアドレスがアラインされ、
 - (C) 前記データ処理回路用のアライナによるアライン後のデータユニットが前記データ処理回路の入力データ幅単位で前記データ処理回路に入力され、
 - (D) 前記データ処理回路に入力されたアライン後のデータユニットが処理される、
- データ転送処理装置。

10

【請求項 2】

前記転送経路上に、データ転送用のアライナが設けられており、

前記データ転送用のアライナと前記データ処理回路用のアライナとの両方に、アラインされていないデータユニットが所定の転送単位で入力され、

20

前記データ処理回路は、D I F (Data Integrity Field) 回路であり、

前記 D I F 回路の入力データ幅は、固定長、且つ、前記固定長のデータブロックのサイズの約数であり、

前記転送単位のサイズが前記入力データ幅の N 倍 (N は自然数)、或いは、前記入力データ幅が前記転送単位のサイズの M 倍 (M は自然数) であり、

前記データ転送と、前記 (A) 乃至 (D) の処理が、同時期に発せられたクロックに同期して行われ、

前記転送単位のサイズが前記入力データ幅の N 倍の場合、前記データ転送のためのクロックサイクルは、前記 (C) の処理のためのクロックサイクルの $1/N$ 倍であり、

前記入力データ幅が前記転送単位のサイズの M 倍の場合、前記 (C) の処理のためのクロックサイクルは、前記データ転送のためのクロックサイクルの $1/M$ 倍である、

30

請求項 1 記載のデータ転送処理装置。

【請求項 3】

前記データ転送処理装置は、外部記憶装置と通信するために情報処理装置に備えられるホストバスアダプタである、

請求項 2 記載のデータ転送処理装置。

【請求項 4】

前記データ処理回路は、固定長のデータブロックのサイズ毎に対応したチェックコードを生成するチェックコード生成回路であり、

前記チェックコード生成回路の入力データ幅は、固定長、且つ、前記固定長のデータブロックのサイズの約数である、

40

請求項 1 記載のデータ転送処理装置。

【請求項 5】

転送元から転送先への所定の転送単位でのデータ転送に並行して、

- (A) 転送されるデータユニットをデータ処理回路用にアラインし、
 - (B) データ処理回路用にアラインされた後のデータユニットを、前記データ処理回路の入力データ幅単位で前記データ処理回路に入力し、
 - (C) 前記データ処理回路が、入力されたアライン後のデータユニットを処理する、
- データ転送処理方法。

【請求項 6】

50

C P U及びメモリを含んだ情報処理部と、
前記情報処理部が外部記憶装置と通信するための通信インタフェース装置と
を備え、

前記通信インタフェース装置が、前記外部記憶装置から読み出されたデータブロックが
流れる読出し部と、前記外部記憶装置に書き込まれるデータブロックが流れる書込み部と
の少なくともいずれかにおいて、所定の転送単位で転送されるデータユニットが流れる経
路とは別の位置に、入力されたデータユニットを処理するデータ処理回路と、このデータ
処理回路用のアライナとを備え、

前記データ処理回路用のアライナは、アライン後のデータユニットの先頭部分に非転送
対象のデータが含まれることが無いように、このアライナに入力されたデータユニットの
アドレスをアラインするよう構成されており、

前記転送元から前記転送先へのデータ転送に並行して、

- (A) 前記データ処理回路用のアライナに、転送されるデータユニットが入力され、
- (B) 前記データ処理回路用のアライナに入力されたデータユニットにおけるデータのアド
レスがアラインされ、
- (C) 前記データ処理回路用のアライナによるアライン後のデータユニットが前記データ
処理回路の入力データ幅単位で前記データ処理回路に入力され、
- (D) 前記データ処理回路に入力されたアライン後のデータユニットが処理される、
情報処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データの転送処理に関し、具体的には、例えば、サーバ等の情報処理装置に
備えられるホストバスアダプタ(H B A)等の通信インタフェース装置におけるデータ転
送処理に関する。

【背景技術】

【0002】

サーバ等の情報処理装置には、例えば特許文献1に開示されているような、通信インタ
フェース装置が搭載される。情報処理装置は、通信インタフェース装置を介して、外部記
憶装置等の外部の装置と通信する。

【0003】

【特許文献1】特開2002-183072号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

情報処理装置には、情報処理装置全体の性能向上の観点から、ダイレクトメモリアクセ
スコントローラ(D M A C)と呼ばれるデータ転送処理装置が備えられることがある。D
M A Cでは、C P U (Central Processing Unit)に代わってデータ転送が行われる。

【0005】

図10に、D M A Cの構成の一例を示す。

【0006】

D M A C 10は、例えば、外部記憶装置(例えばディスクアレイ装置)20と通信する
ための通信インタフェース装置(例えばホストバスアダプタ(H B A))である。D M A
C 10は、外部記憶装置20と通信し、且つ、C P U 31及びメインメモリ22を含んだ
情報処理資源と内部バス32を介して通信する。

【0007】

D M A C 10は、例えば、下記構成要素(1)乃至(5)、

(1) 外部記憶装置20から読み出されたデータブロックを一時的に記憶するための受信
バッファ11；

(2) 受信バッファ11に格納されているデータブロックを所定の転送単位で情報処理資

10

20

30

40

50

源（例えばメインメモリ 2 2）に転送する D M A 制御部 2 1；

（ 3 ）外部記憶装置 2 0 に書き込まれるデータブロックを一時的に記憶するための送信バッファ 1 2；

（ 4 ）情報処理資源（例えばメインメモリ 2 2）に格納されているデータブロックを所定の転送単位で送信バッファ 1 2 に転送する D M A 制御部 2 2；

（ 5 ） D M A C 1 0 の動作を制御するマイクロプログラム制御部 1 3；

を備える。受信バッファ 1 1 及び送信バッファ 1 2 のうちの一方又は両方が、送受信の多重度をあげてデータ転送性能の向上を図る観点から、複数個備えられる。マイクロプログラム制御部 1 3 は、 C P U やローカルメモリ等を備えている。マイクロプログラム制御部 1 3 は、データ転送起動コマンドを D M A 制御部 2 1 又は 2 2 に設定する。これにより、 D M A 制御部 2 1 又は 2 2 が、その起動コマンドを解釈しデータ転送を行う。このため、マイクロプログラム制御部 1 3 は別の処理を行うことが可能となり、情報処理装置 3 0 全体の性能が向上する。

【 0 0 0 8 】

送受信バッファ 1 1 及び 1 2 は、外部記憶装置 2 0 とデータをやり取りするため、各種インタフェース規格ごとにデータ以外にも制御用の情報が付加されることになる。このため、送受信バッファ 1 1 及び 1 2 内のデータはアラインされているとは限らない。

【 0 0 0 9 】

また、データの転送先または転送元となる情報処理装置 3 0 内のメモリアドレスは、情報処理資源におけるアプリケーションプログラムによって指定される。このため、送受信バッファ 1 1 及び 1 2 と転送先または転送元となる情報処理資源内のメモリアドレスがずれて、アラインされない可能性がある。

【 0 0 1 0 】

以上の理由から、アラインされない場合に対応したデータ転送を行う必要がある。そこで、図 1 0 の D M A 制御部 2 1（ 2 2 ）に示すように、データの転送経路上にアライナ 1 4（ 1 5 ）が設けられ、転送元から転送先へのデータユニットがアライナ 1 4（ 1 5 ）を経由する。これにより、データユニットにおけるデータのアドレスが、転送先が指定するアドレスにアラインされて、アライン後のデータユニットが転送先へ転送されることになる。具体的には、例えば、図 2 に示すように、転送元から「 A B」、「 C D E F」、「 G H I J」、「 K L M N」、「 O P」の順にデータユニットが読み出され、アライナ 1 4（ 1 5 ）を通して、転送先へアライン後のデータユニット「 A B C」、「 D E F G」、「 H I J K」、「 L M N O」、「 P」が転送されることになる。なお、ここで言う「データユニット」とは、転送単位のサイズのデータのことであり、具体的には、4 つの 4 B y t e のデータの集合であり、故に、データユニットのサイズは 1 6 B y t e である。また、前述した A ~ P のそれぞれ 4 B y t e のデータ（図 2 で灰色のブロックで表示されているデータ）は、転送先で必要とされるデータ（転送対象データ）であり、一つのデータユニットにおける転送対象データ以外のデータ（図 2 で白色のブロックで表示されているデータ）は、転送先で必要とされないデータ（非転送対象データ）である。

【 0 0 1 1 】

また、データ転送においては、データの検査を行うことが信頼性向上のために求められている。データの検査の代表的な手法の一つに、巡回冗長検査がある。巡回冗長検査では、所定サイズのデータブロックに対して生成多項式を適用し、チェックコードが生成される。例えば、転送元で、所定サイズのデータブロックに別の所定サイズのチェックコードが付加され、データブロックとチェックコードとのセット（以下、データ/コードセット）が転送先に送られる。転送先では、送られて来たデータ/コードセットにおけるデータブロックに対して生成多項式が適用され、それ故、再度チェックコードが生成され、生成されたチェックコードが、データ/コードセットにおけるチェックコードと一致するかが否かが判定される。このようにして、データの完全性が保証される。

【 0 0 1 2 】

巡回冗長検査は、各種インタフェース規格において定められており、チェックコード生

10

20

30

40

50

成のための生成多項式や計算方法がそれぞれ定められている。

【 0 0 1 3 】

巡回冗長検査の一例として、S C S I (Small Computer System Interface) インタフェースの D I F (Data Integrity Field) がある。D I F では、例えば、5 1 2 B y t e ごとのデータブロックに対して 8 B y t e のチェックコードが付加される。8 B y t e のチェックコードは、6 B y t e の任意のタグ情報と、2 B y t e の巡回冗長検査符号で構成され、巡回冗長検査符号は、5 1 2 B y t e のデータブロックに対して次の生成多項式を適用することで生成可能である ($x^{16}+x^{15}+x^{11}+x^9+x^8+x^7+x^5+x^4+x^2+x+1$) 。

【 0 0 1 4 】

図 1 0 に示した D M A C 1 0 では、バッファ 1 1 (1 2) にデータ/コードセットが一時的に格納されているため、データ転送の前にマイクロプログラム制御部 1 3 がバッファ 1 1 (1 2) からデータ/コードセットを読み出すことで、D I F によるチェックコードの検査または生成を行うことが可能である。

【 0 0 1 5 】

しかし、マイクロプログラム制御部 1 3 で D I F によるチェックコードの検査または生成を実施すると、その処理の間、バッファ 1 1 (1 2) を占有してしまい、送受信の多重度を下げってしまうことと、これまで行わなかったマイクロプログラム処理を実施することによる D M A C 1 0 の性能低下が想定される。

【 0 0 1 6 】

D M A C 1 0 の性能低下を防ぐための方法として、データ転送とチェックコードの検査または生成を並行して行うことが考えられる。

【 0 0 1 7 】

データ転送と並行して D I F のチェックコードの検査または生成を行うためには、チェックコードの検査または生成を行うハードウェア回路 (以下、D I F 回路) を設け、転送元からデータユニットを読み出す際、または転送先にデータユニットを書き込む際に、それと同じタイミングで D I F 回路にデータユニットを入力する方法が考えられる。言い換えれば、データ転送経路上の、図 1 0 に示すアライナ 1 4 (1 5) の上流側 (転送元側) 又は下流側 (転送先側) に、D I F 回路を設ける方法が考えられる。

【 0 0 1 8 】

図 3 に、転送先へデータユニットを書き込む際にそのデータユニットを D I F 回路に入力する例を示す。最初のデータユニット「 A B C 」に対しては、1 2 B y t e 幅のデータに対する D I F 回路が必要となる。なぜなら、転送対象データの数は 3 つであるため $3 \times 4 B y t e = 1 2 B y t e$ が転送対象データ群のサイズであるからである。同様の理由から、続くデータユニット「 D E F G 」、「 H I J K 」、「 L M N O 」のデータユニットに対しては、1 6 B y t e 幅のデータに対する D I F 回路が必要となり、最後の「 P 」のデータユニットについては 4 B y t e のデータ幅の D I F 回路が必要となる。

【 0 0 1 9 】

このように、アラインされていないデータユニットに対してチェックコードの検査または生成をデータ転送と同じタイミングで行おうとすると、各データブロックにつき、転送の最初のデータユニットと最後のデータユニットに端数データ (非転送対象データ) が現れる場合がある。このため、図 6 に示すように、複数種類の端数データ幅 (端数データ群のサイズ、言い換えれば端数データの数) に応じた複数種類の D I F 回路を用意する必要が生じ、回路実現のための論理規模の増大が課題となる。

【 0 0 2 0 】

以上の課題は、D I F 回路以外のチェックコード生成回路、或いは、チェックコード生成回路以外のデータ処理回路 (例えば、暗号化処理を行うためのハードウェア回路) での処理を、転送元から転送先へのデータ転送と同じタイミングで行おうとした場合に生じ得る課題である。

【 0 0 2 1 】

10

20

30

40

50

従って、本発明の目的は、アラインされていないデータユニットのデータ転送と並行して特定のデータ処理をハードウェア回路にて行うにあたり論理規模が増大しないようにすることにある。

【課題を解決するための手段】

【0022】

転送元から転送先へ所定の転送単位で転送されるデータユニットの転送経路とは別の位置に、入力されたデータユニットを処理するデータ処理回路と、このデータ処理回路用のアライナとが備えられる。データ処理回路用のアライナは、アライン後のデータユニットの先頭部分に非転送対象のデータが含まれることが無いように、このアライナに入力されたデータユニットのアドレスをアラインするよう構成されている。データ転送に並行して、データ処理回路用のアライナに、転送されるデータユニットが入力され、入力されたデータユニットにおけるデータのアドレスがアラインされ、アライン後のデータユニットがデータ処理回路の入力データ幅単位でデータ処理回路に入力され、データ処理回路に入力されたアライン後のデータユニットが処理される。

10

【0023】

データ処理回路としては、誤り検出回路や、暗号化処理回路など、種々の回路を採用可能である。暗号化処理回路としては、例えば、C F B (Cipher FeedBack) で暗号化する回路を採用することができる。

【発明を実施するための最良の形態】

【0024】

以下、図面を参照して、本発明の一実施形態を説明する。

20

【0025】

図1は、本発明の一実施形態に係る情報処理装置を示す。

【0026】

情報処理装置300に、内部バス320に接続されている情報処理資源(CPU310及びメインメモリ220等)と、外部記憶装置200と情報処理装置300とを接続しデータ転送を実施するDMAC100を備える。外部記憶装置200は、例えば、複数の物理記憶媒体(例えばハードディスク或いはフラッシュメモリ)を備えたストレージシステム(一例としてディスクアレイ装置)である。情報処理装置300は、例えば、外部記憶装置200から提供される論理ボリュームにブロック単位でデータを読み書きするホスト装置(例えばサーバ)である。DMAC100は、例えば、ホストバスアダプタ(HBA)である。

30

【0027】

DMAC100は、受信バッファ110と、送信バッファ120と、DIF回路152と、マイクロプログラム制御部130と、DMA制御部210及び211とを備える。

【0028】

受信バッファ110は、外部記憶装置200から読み出されたデータを受信し、受信したデータを記憶し、データをすべて受信し記憶したところでマイクロプログラム制御部130に受信の完了報告を行う機能を持つ。一方、送信バッファ120は、外部記憶装置200に書き込まれるデータを記憶し、バッファ120内のデータをすべて送信したところでマイクロプログラム制御部130に送信の完了報告を行う機能を持つ。受信バッファ110及び送信バッファ120の少なくとも一方が、複数個備えられ、それにより、送信及び/又は受信においてバッファ不足のため送信/受信が不能とならないようになっている。なお、本実施形態では、受信バッファ110には、512Byte単位のデータブロックに8Byteのチェックコードが付加されたデータ/コードセットが格納されるとする。

40

【0029】

マイクロプログラム制御部130は、CPUやローカルメモリ等を含んでおり、DMAC100を制御するマイクロプログラムをCPUで実行する。マイクロプログラムの機能の一つとして、受信や送信の完了報告を受けたところで、送受信バッファ110、120

50

とメインメモリ 220 との間のデータ転送指示を行う機能がある。

【0030】

D I F 回路 152 は、送信されるデータブロックにチェックコードを付加するための回路である。D I F 回路 152 は、送信バッファ 120 から読み出されたデータブロックを基にチェックコードを生成する。生成されたチェックコードは、送信バッファ 120 から読み出されデータ転送経路を流れるデータブロックに付加されて、外部記憶装置 200 に送信される。D I F 回路 152 は、データ転送経路と別の位置に設けられている。送信バッファ 120 から読み出されたデータブロックが、データ転送経路に加えて D I F 回路 152 を並行して経由するか否かは、マイクロプログラム制御部 120 によって制御される。

10

【0031】

本実施形態の一つの特徴として、D M A 制御部 210 (211) の構成にある。すなわち、D M A 制御部 210 (211) には、データ転送経路上に設けられたデータ転送用のアライナ 140 (142) の他に、データ転送経路とは別の位置に、D I F 回路 150 (151) と、D I F 回路用のアライナ 141 (143) が設けられている。このような構成は、受信系の D M A 制御部 210 と送信系の D M A 制御部 211 の一方にだけ採用されて良く他方は例えば図 10 に示した D M A 制御部 21 または 22 の構成であっても良い。なお、以下、データ転送用のアライナを「第一のアライナ」と言い、D I F 回路用のアライナを「第二のアライナ」と言う。データブロックが、第一のアライナ 140 (142) と第二のアライナ 141 (143) の両方に並行して入力されるか否かは、マイクロプログラム制御部 120 によって制御される。

20

【0032】

第一のアライナ 140 (142) は、転送先に合わせたアラインを実施する。本実施形態では、転送単位のサイズは、16 B y t e である。

【0033】

D I F 回路 150 (151) は、チェックコードを検査又は生成するためのハードウェア回路である。D I F 回路 150 (151) の入力データ幅は、固定長、且つ、固定長のデータブロックのサイズの約数である。本実施形態では、データブロックのサイズは 512 B y t e であり、入力データ幅としては、転送単位のサイズと同じ 16 B y t e が採用されている。つまり、転送単位のサイズと同じである。

30

【0034】

第二のアライナ 141 (143) は、転送先ではなく D I F 回路 150 (151) に合わせたアラインを実施する。具体的には、第二のアライナ 141 (143) は、D I F 回路 150 (151) の入力データ幅に合わせたアラインを実施する。第二のアライナ 141 (143) は、D I F 回路 150 (151) の上流側 (例えば直前) に設けられている。すなわち、受信系の D M A 制御部 210 では、第二のアライナ 141 は、D I F 回路 150 よりも受信バッファ 110 側に存在し、送信系の D M A 制御部 211 では、第二のアライナ 143 は、D I F 回路 151 よりもメインメモリ 220 側に存在する。

【0035】

図 4 に、第一のアライナ 140 (142) と第二のアライナ 141 (143) が同時に使用される例を示す。

40

【0036】

すなわち、転送元 (受信バッファ 110 又はメインメモリ 220) から転送先 (メインメモリ 220 又は送信バッファ 120) へのデータ転送では、転送元から転送先へ転送単位でデータユニットが転送され、そのデータユニットは、第一のアライナ 140 (142) を経由するため、転送先に合わせたアラインが実施される。すなわち、転送元から「

A B」、「C D E F」、「G H I J」、「K L M N」、「O P」の順に読み出されたデータユニットが、「A B C」、「D E F G」、「H I J K」、「L M N O」、「P」のようにアラインされる。

【0037】

50

転送元から転送先へのデータ転送に並行して、下記(A)乃至(D)の処理、

(A) 第二のライナ141(143)に、転送元から読み出されたデータユニットが入力される；

(B) 第二のライナ141(143)によって、第二のライナ141(143)に入力されたデータユニットにおけるデータのアドレスがアラインされる；

(C) 第二のライナ141(143)によるアライン後のデータユニットがDIF回路150(151)の入力データ幅単位でDIF回路150(151)に入力される；

(D) DIF回路150(151)に入力されたアライン後のデータユニットが処理される；

が行われる。すなわち、同時期に発生したクロックに同期して、データ転送と、前述の(A)乃至(D)の処理が行われる。

10

【0038】

第二のライナ141(143)は、転送元から「AB」、「CDEF」、「GHIJ」、「KLMN」、「OP」の順に読み出されたデータユニットを、「ABCD」、「EFGH」、「IJKL」、「MNOP」のようにアラインする。すなわち、第二のライナ141(143)は、アライン後のデータユニットの先頭部分に端数データ(非転送対象データ)が含まれることが無いように、このライナ141(143)に入力されたデータユニットのアドレスをアラインするよう構成されている。端数データとしては、例えば、フレームのヘッダ情報などがある。

【0039】

DIFでは、512Byte単位のデータブロックに対して、8Byteのチェックコードが付加される。従って、16Byteの入力データ幅のDIF回路150(151)に合わせて、本実施形態のように、データユニットの先頭部分に端数データが含まれることが無いようにアラインされれば、 $512\text{Byte} \div 16\text{Byte} = 32$ 個のデータユニットの全てに、端数データが含まれることが無い。また、512Byteのデータブロックに8Byteのチェックコードが付加されているが、8Byteのチェックコードは、本実施形態では、必ず、33個目の16Byteのデータユニットの前半部分(上位半分)に存在する。このため、DIF回路150(151)は、32個のデータユニットが入力される都度に、その次に入力されるデータユニットの前半部分に、それら32個のデータユニットで構成されるデータブロックに付属しているチェックコードが存在していることが分かる。これらの理由から、本実施形態では、複数種類の端数データ幅に対応した複数種類のDIF回路を用意する必要は無く、図5及び図7に示すように、一種類のDIF回路150(151)、つまり、入力データ幅が16ByteのDIF回路150(151)があれば足りる。

20

30

【0040】

図7によれば、レジスタ701に、DIF計算の初期値sが記憶されており、一つのデータブロックについて、アライン後の先頭のデータユニット(実施例で言う「ABCD」)が入力された場合、そのデータユニットと初期値sとを基に計算され、その計算結果を表す値が、レジスタ701に格納される。次に、その値と、次のアライン後のデータユニット(実施例で言う「EFGH」)とを基に計算され、その計算結果を表す値が、レジスタ701に格納される。以上の処理が、32個のデータユニットについて行われ、33個目のデータユニットについては、比較器703で、レジスタ301に記憶されている値(すなわち、512Byteのデータブロックを基に生成されたチェックコード)と、33個目のデータユニットの前半部分に存在する値(つまり、512Byteのデータブロックに付加されているチェックコード)とが比較される。前述したように、8Byteのチェックコードは、本実施形態では、必ず、33個目の16Byteのデータユニットの前半部分(上位半分)に存在するので、チェックコードの位置の判定が容易である。

40

【0041】

以上のことから、アラインされていないデータユニットのデータ転送と並行してチェックコードの検査又は生成をDIF回路にて行うにあたり論理規模が増大しないようにする

50

ことができる。

【0042】

図8は、外部記憶装置200から受信バッファ110に格納されたデータ/コードセットを情報処理装置300へ転送するフローを示す。

【0043】

受信バッファ110は、データ格納完了をマイクロプログラム制御部130に報告し(ステップ801)、マイクロプログラム制御部130は、その報告を受けて、DMAの起動指示並びにチェックコードの検査指示をDMA制御部210に対して行う(ステップ802)。これにより、受信バッファ110からメインメモリ220へのデータ転送と、そのデータ転送に並行して、前述した(A)乃至(D)の処理(チェックコードの検査)が行われる(ステップ803)。それらの処理が終わると、DMA制御部210からマイクロプログラム制御部130に完了報告が入力され(ステップ804)、マイクロプログラム制御部130は、DMA終了処理を行う(ステップ805)。

10

【0044】

図9は、情報処理装置300から外部記憶装置200へデータを送出するために送信バッファ120へデータを転送するフローを示す。

【0045】

マイクロプログラム制御部130は、送信バッファ120に対してバッファの確保を依頼し(ステップ901)、バッファの確保の完了を受け(ステップ902)、DMA起動指示を行う(ステップ903)。これにより、メインメモリ220から送信バッファ120へのデータ転送と、そのデータ転送に並行して、前述した(A)乃至(D)の処理(チェックコードの検査)が行われる(ステップ904)。それらの処理が終わると、DMA制御部211からマイクロプログラム制御部130に完了報告が入力され(ステップ905)、マイクロプログラム制御部130は、DMA終了処理を行う(ステップ906)。

20

【0046】

なお、ステップ803及び904の少なくともいずれかでは、必ずしもチェックコードの検査が行われなくても良い。換言すれば、チェックコードの検査を行うか否かは、マイクロプログラム制御部130からDMA制御部210(211)への指示で制御される。

【0047】

例えば、転送元からのデータブロックにチェックコードが付加されていない場合、マイクロプログラム制御部130は、送信元からのデータユニットを、第二のアライナ141又は143に入力しないように制御しても良い。

30

【0048】

また、例えば、転送元からのデータブロックにチェックコードが付加されていない場合、マイクロプログラム制御部130は、送信元からのデータユニットを、第二のアライナ141又は143に入力し、且つ、DIF回路151で生成されたチェックコードを第一のアライナ140又は142を経由したデータブロックに付加するようDMA制御部210又は211を制御しても良い。

【0049】

また、例えば、転送元からのデータブロックにチェックコードが付加されている場合、マイクロプログラム制御部130は、送信元からのデータユニットを、第二のアライナ141又は143に入力し、且つ、DIF回路151で検査されたチェックコードを転送対象のデータブロックから削除するようDMA制御部210又は211を制御しても良い。なお、このケースでは、DIF回路151でチェックコードの検査は行われなくても良い。

40

DIFチェックは不要ならしない。

【0050】

以上、本発明の好適な実施形態を説明したが、本発明は、この実施形態に限定されるものでなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0051】

50

例えば、転送単位のサイズが入力データ幅の N 倍(N は自然数)であれば、データ転送のためのクロックサイクルは、上記(C)の処理(第二のアライナ141(143)によるアライン後のデータユニットがDIF回路150(151)の入力データ幅単位でDIF回路150(151)に入力される処理)のためのクロックサイクルの $1/N$ 倍である。このため、例えば、転送単位のサイズが入力データ幅の2倍であれば、データ転送のためのクロックサイクルは、上記(C)の処理のためのクロックサイクルの $1/2$ 倍である。一方、入力データ幅が前記転送単位のサイズの M 倍(M は自然数)であれば、上記(C)の処理のためのクロックサイクルは、データ転送のためのクロックサイクルの $1/M$ 倍である。このため、例えば、入力データ幅が転送単位のサイズの2倍であれば、上記(C)の処理のためのクロックサイクルは、データ転送のためのクロックサイクルの $1/2$ 倍である。

10

【図面の簡単な説明】

【0052】

【図1】本発明の一実施形態に係る情報処理装置を示す。

【図2】アラインされていないデータユニットの転送の例を示した図である。

【図3】図2のデータ転送において転送先に書き込む際にDIF回路にデータを入力する例を示した図である。

【図4】本発明の一実施形態でDIF回路用のアラインを実施した場合のデータ転送の例を示した図である。

【図5】図4に示したアラインを実施した際のDIF計算を行う例を示した図である。

20

【図6】図3に示したDIF計算に関わるハードウェア構成を示した図である。

【図7】図5に示したDIF計算に関わるハードウェア構成を示した図である。

【図8】受信バッファからメインメモリへのデータ転送フローを示した図である。

【図9】メインメモリから送信バッファへのデータ転送フローを示した図である。

【図10】マイクロプログラム制御部がDIF計算を行なうDMACを備えた情報処理装置を示す。

【符号の説明】

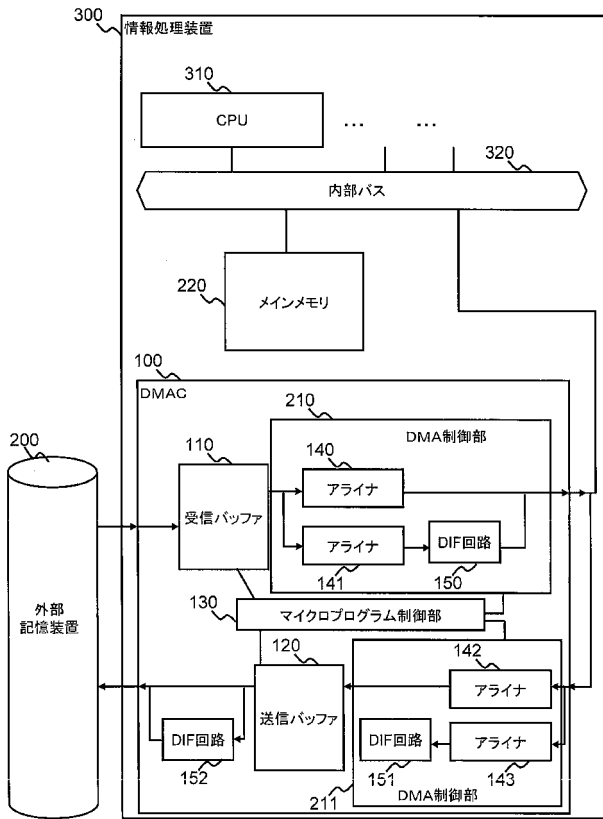
【0053】

100・・・DMAC(ダイレクトメモリアクセスコントローラ)、110・・・受信バッファ、120・・・送信バッファ、130・・・マイクロプログラム制御部、140・・・アライナ、141・・・アライナ、142・・・アライナ、143・・・アライナ、150・・・DIF回路、151・・・DIF回路、152・・・DIF回路、200・・・外部記憶装置、300・・・情報処理装置、310・・・中央処理装置、320・・・メインメモリ

30

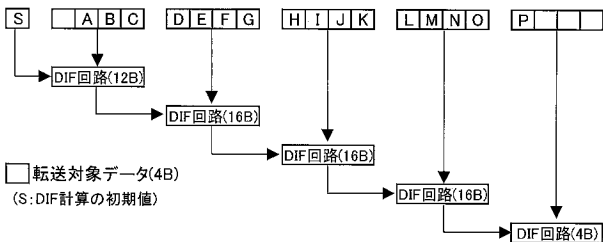
【 図 1 】

FIG.1



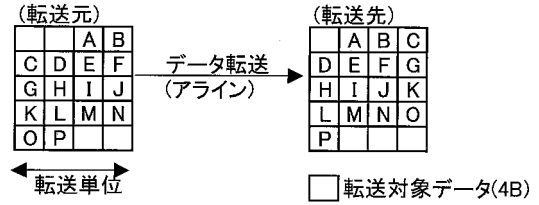
【 図 3 】

FIG.3



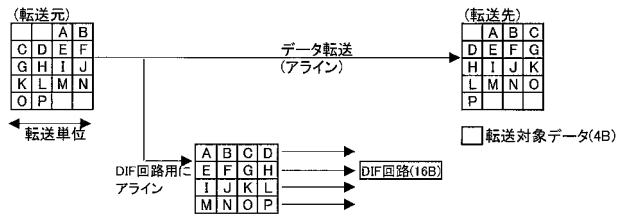
【 図 2 】

FIG.2



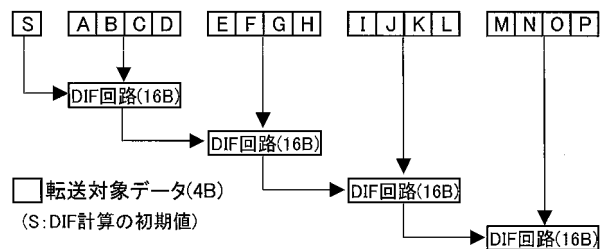
【 図 4 】

FIG.4



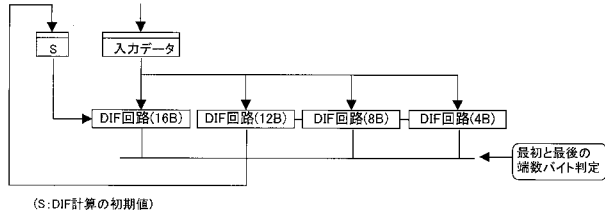
【 図 5 】

FIG.5



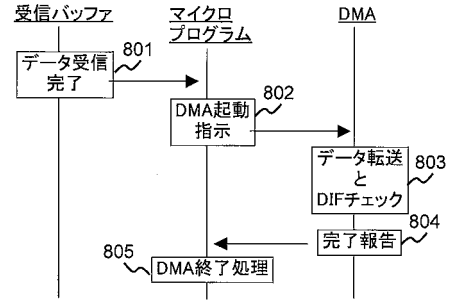
【 図 6 】

FIG.6



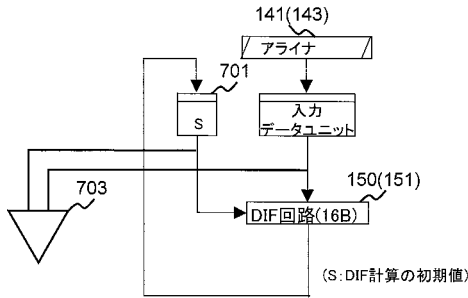
【 図 8 】

FIG.8



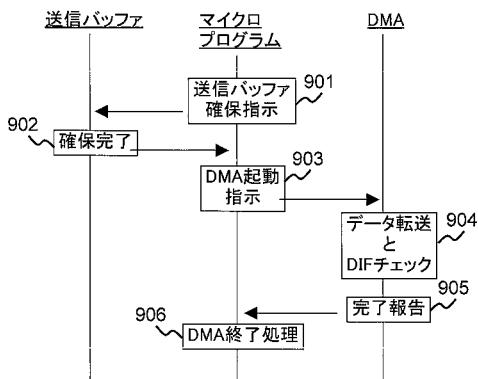
【 図 7 】

FIG.7



【 図 9 】

FIG.9



【 図 10 】

FIG.10

