

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/76

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0195206

(24) 등록일자 1999년02월 11일

(21) 출원번호 10-1996-0002381

(65) 공개번호 특1997-0060450

(22) 출원일자 1996년01월31일

(43) 공개일자 1997년08월 12일

(73) 특허권자 삼성전자주식회사 윤종용

경기도 수원시 팔달구 매탄3동 416

(72) 발명자 박문한

경기도 안양시 동안구 관양동 1587-5 공작단지 성일아파트202동 908호

(74) 대리인 권석흠, 노민식, 이영필

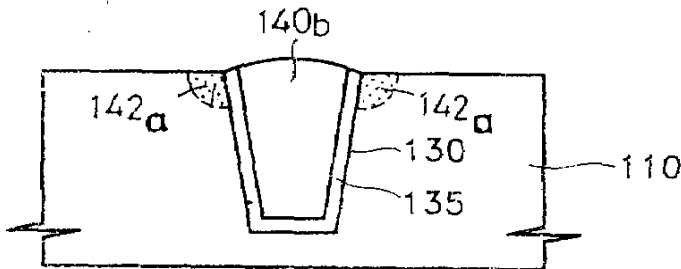
심사관 : 신준호

(54) 트렌치를 이용한 반도체 소자 분리 방법

요약

반도체 소자의 분리 방법에 있어서, 트렌치 어깨부에만 불순물층을 형성하는 트렌치를 이용한 반도체 소자의 분리 방법에 대하여 기재되어 있다. 이는 기판 전면 상에 패드 절연막 및 식각 방지층을 순차적으로 적층하는 단계, 식각 방지층 및 패드 절연막을 패터닝함으로써 기판의 비활성 영역을 노출시키는 식각 방지층 패턴 및 패드 절연막 패턴을 형성하는 단계, 식각 방지층 패턴을 식각 마스크로 이용하여 노출된 기판을 식각함으로써 트렌치를 형성하는 단계, 트렌치 측벽 및 저면 상에 절연막을 형성하는 단계, 트렌치의 내부를 채우도록 결과물 기판 전면에 절연 물질을 증착함으로써 절연 물질층을 형성하는 단계, 식각 방지층 패턴이 노출되도록 절연 물질층을 식각하는 단계, 식각 방지층 패턴을 제거하는 단계, 식각된 절연 물질층의 표면이 기판의 표면보다 낮게 위치하도록 절연 물질층을 식각하는 단계, 절연 물질층이 재식각된 결과물 기판 전면에 불순물을 이온 주입함으로써 불순물층을 형성하는 단계 및 트렌치의 어깨부에만 불순물층이 잔존도록 활성 영역의 기판을 식각하는 단계를 포함하는 것을 특징으로 하는 트렌치를 이용한 반도체 소자의 분리 방법을 제공한다. 이로써, 반도체 소자의 분리 특성을 향상시킬 수 있도록 트렌치 어깨부에만 불순물층을 형성할 수 있다.

대표도



명세서

[발명의 명칭]

트렌치를 이용한 반도체 소자 분리 방법

[도면의 간단한 설명]

제1도 내지 제4도는 종래의 트렌치를 이용한 반도체 소자의 분리 방법을 설명하기 위하여 순차적으로 도시한 단면도들이다.

제5도 및 제6도는 종래의 트렌치를 이용한 소자 분리 방법이 갖는 문제를 해결하기 위한 종래의 방법을 설명하기 위하여 도시한 단면도들이다.

제7도 내지 제13도는 본 발명에 의한 일 실시예를 설명하기 위하여 순차적으로 도시한 단면도들이다.

[발명의 상세한 설명]

본 발명은 반도체 소자 분리 방법에 있어서, 특히 트렌치 어깨부에 불순물층을 형성함으로써 반도체 소자 간의 소자 분리를 실현하는 트렌치를 이용한 반도체 소자 분리 방법에 관한 것이다.

종래의 반도체 소자를 제조함에 있어서, 동일 기판에 형성되는 각 소자간의 전기적인 분리 방법은 국부적

산화(LoCal Oxidation of Silicon, 이하 LOCOS라 한다) 방법을 이용한 소자 분리 방법과 트렌치를 이용한 소자 분리 방법으로 대별할 수 있다. 반도체 소자의 집적도가 낮은 반도체 소자 제조의 초기 단계에는 자체 공정의 간편함을 이유로 주로 전자의 방법, 즉 LOCOS 방법을 이용하여 반도체 소자의 분리를 실현하였다.

그러나, LOCOS 방법을 이용한 소자 분리 방법은 반도체 소자의 집적도가 증가됨에 따라, 소자 분리 영역의 미세 선폭 구현이 곤란하고, 소자 분리 영역의 형성 과정 중에 수반되는 열산화시, 소자 분리 영역과 활성 영역의 경계에서 버드 비크(Bird's beak) 현상이 발생함과 아울러, 필드 산화막을 더욱 더 박막으로 형성하여야 하는 필요성 등의 이유로 인하여 현재의 고집적된 반도체 소자를 제조에서는 더 이상 소자 분리를 위한 효과적인 소자 분리 방법이 될 수 없게 되었다.

따라서, 현재는 전자의 방법보다는 후자의 방법, 즉 기판의 소자 분리 영역에 트렌치를 형성함으로써 반도체 소자 상호 간의 전기적인 분리를 실현하고 있다. 상기 트렌치를 이용한 반도체 소자의 분리 방법은, 전술한 전자의 방법, 즉 LOCOS 방법에 의한 소자 분리 방법이 갖는 전술한 문제점을 어느 정도 극복할 수 있다는 점, 특히 동일한 소자 분리 폭에 대한 유효 소자 분리 길이(Effective Isolation Length)를 길게 실현할 수 있는 측면에서 현재의 반도체 소자의 분리를 위한 방법으로 일반화되고 있다.

그러나, 상기 트렌치를 이용한 반도체 소자 분리 방법도 실제 반도체 소자의 제조에 있어서는 또다른 여러 문제점이 갖고 있는데, 이는 다음과 같다.

첫째, 트렌치를 이용한 소자 분리 방법은 트렌치와 경계를 이루는 트렌치 어깨부에서 소자 활성 영역 표면에 대하여 트렌치의 측벽이 거의 수직으로 형성되기 때문에, MOS 트랜지스터에서의 게이트 전계가 트렌치 어깨부에 집중됨으로써 트랜지스터가 두 번 턴-온(Turn-On)되는 험프(HUMP) 특성이 발생하는 문제이다.

둘째, 기판의 소자 활성 영역의 폭이 작아짐에 따라 트랜지스터의 문턱 전압(V_{th})이 작아지는 역협폭 효과(Inverse Narrow Width Effect)가 발생하는 문제이다.

따라서, 현재의 트렌치를 이용한 소자 분리 방법은 전술한 두 가지 문제점을 해결하기 위하여 기판의 소자 분리 영역에 트렌치를 일차 형성한 후, 후속 공정에 의하여 트렌치 어깨부의 슬로우프를 완만하게 형성하거나 트렌치 어깨부에 불순물을 도핑하는 방법을 이용하고 있다.

그러나, 전술한 두 가지의 소자 특성 개선 방법 중, 후자의 방법, 즉 트렌치 어깨부에 불순물을 도핑하는 방법은 불순물 도핑시, 예컨대 불순물을 이온 주입 방법에 의하여 도핑하는 방법은 트렌치 어깨부 외의 영역, 즉 소자가 직접 형성될 동일 기판의 활성 영역에도 불순물이 도핑될 수 있다. 다행히 이러한 불순물의 도핑이 필요한 경우는 별론으로 하고 만일, 불순물의 도핑이 필요하지 않는 경우에는 다른 문제가 발생될 수 있다. 즉, 반도체 기판의 활성영역에 원치않는 불순물의 도핑이 이루어지는 경우에는 그 영역에 형성되는 MOS 트랜지스터에서 기생 접합 정전 용량의 증가를 초래할 수 있는 것이 그 첫째 문제이며, 상기 불순물을 도핑하기 위한 불순물 이온 주입시, 고에너지를 갖는 이온 주입물이 기판 표면과 충돌하면서 기판 표면에 손상을 주어 접합 누설 전류를 증가시킴으로써 소자의 리플래쉬(Refresh) 특성을 열화시킴에 그 둘째 문제이고, 상기 트렌치를 채우는 절연 물질의 조밀화를 위하여 후속되는 고온 열처리 공정을 진행하는 데, 이에 의하여 소자 활성 영역에 상기 불순물과 반대의 도전형을 갖는 불순물을 후속 공정에 의하여 카운터 도핑된 불순물이 열적 확산에 의한 재분포를 일으켜 소자 특성을 제어하기가 곤란하게 되는 것이 그 셋째 문제이다.

이하에서는, 첨부 도면을 참조하여 종래의 트렌치를 이용한 반도체 소자의 일반적인 분리 방법에 대하여 설명하고, 그 문제점을 구체적으로 살펴보기로 한다.

첨부 도면 제1도 내지 제6도는 종래의 트렌치를 이용한 반도체 소자의 분리 방법을 설명하기 위하여 순차적으로 도시한 단면도들이다.

제1도는 기판(10) 상의 소정 부위를 노출시키는 개구부(25)를 갖는 패드 절연막 패턴(15) 및 식각 방지층 패턴(20)을 형성한 것을 도시한 단면도로서, 이는 기판(10) 상에 패드 절연막 및 식각 방지층을 순차적으로 적층하는 제1 공정 및 상기 패드 절연막 및 식각 방지층을 패터닝하여 상기 기판(10)의 소정 부위를 노출시키는 개구부(25)가 형성된 상기 패드 절연막 패턴(15) 및 식각 방지층 패턴(20)을 형성하는 제2 공정으로 진행된다.

제2도는 상기 패드 절연막 패턴(15) 및 식각 방지층 패턴(20)에 의하여 노출된 기판(10) 내에 트렌치(30)를 형성하고, 그 측벽에 박막의 절연막(35)을 형성한 것을 도시한 단면도로서, 이는 상기 식각 방지층 패턴(20)을 식각 마스크로 이용하여 상기 노출된 기판(10) 부위를 식각하여 상기 트렌치(30)를 형성하는 제1 공정 및 상기 트렌치(30)의 측벽 및 저면 상에 열산화 방법에 의하여 상기 박막의 절연막(35)을 형성하는 제2 공정으로 진행된다.

제3도는 상기 트렌치(30) 내부를 완전히 채우도록 기판(10) 전면에 증착된 절연 물질층(40)을 형성한 것을 도시한 단면도로서, 이는 상기 트렌치(30) 내부를 완전히 채우면서, 상기 식각 방지층 패턴(20) 상에 화학 기상 증착(CVD) 방법에 의하여 두껍게 절연 물질층(40)을 형성하는 공정으로 진행된다.

제4도는 상기 기판(10)의 소자 분리 영역에 평탄화된 절연 물질층 패턴(40a)이 형성된 것을 도시한 단면도로서, 이는 상기 제3도의 가 표시부까지 평탄화하는 제1 공정, 상기 제3도의 나 표시부까지 기판(10) 상에 적층된 물질층(20 및 15)을 제거하는 제2 공정 및 결과물에 대해 평탄화하여 상기 절연 물질층 패턴(40a)을 형성하는 제3 공정으로 진행된다.

전술한 트렌치를 이용한 반도체 소자의 분리 방법의 실현은 종래의 LOCOS 방법을 이용한 소자 분리 방법에 비해서는 집적화 추세인 반도체 소자의 제조에서는 유용한 방법임에 틀림없다. 그러나, 전술한 단순한 트렌치를 이용한 방법도 전술한 바와 같은 두 가지의 문제를 갖는 바, 다음과 같은 개선 노력이 진행되었다.

첨부 도면 제5도 및 제6도는 종래의 트렌치를 이용한 소자 분리 방법이 갖는 문제를 해결하기 위한 종래의 개선 방법을 설명하기 위하여 도시한 단면도들이다.

제5도는 상기 제2도의 결과물 기판 전면에 대하여 불순물(36)을 이온 주입함으로써 상기 트렌치(30) 내벽을 따라 불순물층(37)을 형성한 것을 도시한 단면도로서, 이는 상기 불순물(36)을 상기 식각 방지층 패턴(20) 및 패드 절연막 패턴(15)을 이온 주입 마스크로 이용하여 상기 트렌치(30) 상의 절연막(35)을 통하여 얇게 주입함으로써 상기 불순물층(37)을 형성하는 공정으로 진행한다.

그러나, 제5도에서 설명한 개선 방법은 트렌치(30) 어깨부에만 효과적으로 불순물이 도핑되지 아니하고 트렌치(30) 내벽 전체에 걸쳐 불순물이 도핑된 불순물층(37)이 형성됨으로써 MOS 트랜지스터의 기생 정전용량을 증가시키는 물론, 불순물 주입시, 기판 표면에 손상이 초래되어 접합 누설 전류를 증가시키는 문제점이 초래되고 있다.

제6도는 트렌치(30) 어깨부의 불순물층(42)이 형성되고 그 상부면이 평탄화된 것을 도시한 단면도로서, 이는 상기 제4도에 관한 설명에서의 제1 공정을 진행한 후, 결과물 기판 전면에 대하여 평탄화된 식각 방지층 패턴(20a)을 이온 주입 마스크로 하여 불순물(41)을 이온 주입함으로써 상기 트렌치(30) 어깨부의 불순물층(42)을 형성하는 공정으로 진행한다.

이는 상기 제5도에서 설명한 개선 방법이 갖는 문제점을 다소간 해결할 수 있으나, 상기 이온 주입시, 상기 평탄화된 식각 방지층 패턴(20a)이 존재하기 때문에 상기 제6도에 도시된 바와 같은 불순물층(42)의 형성을 위한 조절은 실제 공정에서 용이하게 진행할 수 없다. 즉, 실제 공정에서 상기 방법에 의하여 제6도에 도시된 상기 불순물층(42)을 형성하는 것은 매우 어렵다.

따라서, 본 발명은 종래의 트렌치를 이용한 반도체 소자의 분리 방법이 갖는 문제점을 개선할 수 있도록 트렌치 어깨부에만 불순물층을 효과적으로 형성하는 트렌치를 이용한 반도체 소자의 분리 방법을 제공함에 그 목적이 있다.

상기 본 발명의 목적을 달성하기 위하여,

기판 전면 상에 패드 절연막 및 식각 방지층을 순차적으로 적층하는 제1 단계;

상기 식각 방지층 및 패드 절연막을 패터닝함으로써 기판의 비활성 영역을 노출시키는 식각 방지층 패턴 및 패드 절연막 패턴을 형성하는 제2 단계;

상기 식각 방지층 패턴을 식각 마스크로 이용하여 상기 노출된 기판을 식각함으로써 트렌치를 형성하는 제3 단계;

상기 트렌치 측벽 및 저면 상에 절연막을 형성하는 제4 단계;

상기 트렌치의 내부를 채우도록 결과물 기판 전면에 절연 물질을 증착함으로써 절연 물질층을 형성하는 제5 단계;

상기 식각 방지층 패턴이 노출되도록 상기 절연 물질층을 식각하는 제6 단계;

상기 식각 방지층 패턴을 제거하는 제6단계;

식각된 상기 절연 물질층의 표면이 상기 기판의 표면보다 낮게 위치하도록 상기 절연 물질층을 식각하는 제7 단계;

상기 절연 물질층이 재식각된 결과물 기판 전면에 불순물을 이온 주입함으로써 불순물층을 형성하는 제8 단계; 및

상기 트렌치의 어깨부에만 불순물층이 잔존토록 활성 영역의 상기 기판을 식각하는 제9 단계를 포함하는 것을 특징으로 하는 트렌치를 이용한 반도체 소자의 분리 방법을 제공한다.

상기 본 발명의 목적은 다음의 여러 가지의 의하여 바람직하게 달성될 수 있다. 상기 제1 단계의 패드 절연막은 산화물을 이용하여 형성하고, 상기 식각 방지층은 실리콘 나이트라이드(SiN)를 이용하여 형성하는 것이 바람직하다. 한편, 상기 식각 방지층은 1000Å 내지 4000Å의 두께를 갖도록 형성하며, 상기 제2 단계의 트렌치는 3000Å 내지 5000Å의 깊이를 갖도록 형성하고, 상기 제4 단계의 절연막은 1000Å 정도의 두께를 갖는 열산화막을 이용하여 형성하는 것이 바람직하다.

상기 제5 단계의 절연 물질층은 화학 기상 증착(CVD) 산화막을 이용하여 형성하며, 상기 제6 단계의 평탄화는 화학 기계적 연마(CMP) 방법을 이용하는 것이 바람직하다. 상기 제6 단계의 식각 방지층 패턴은 인산 용액을 이용하여 제거하며, 상기 제7 단계의 식각은 습식 식각(Wet Etch) 방법을 이용하고, 이때 상기 노출된 패드 절연막 패턴과 상기 돌출된 절연 물질층의 식각 선택비가 1 : 10 이하인 식각제를 이용하는 것이 바람직하며, 그 대표적인 예로 BOE(Buffered Oxide Isolation) 용액을 들 수 있다.

상기 제7 단계의 함몰된 절연 물질층은 상기 노출된 기판에 대하여 500Å 정도의 깊이로 형성하며, 상기 제10 단계의 식각은 화학적 건식 식각(Chemical Dry Etch) 방법을 이용하는 것이 바람직하고, 이때 상기 제10 단계의 식각에 의하여 상기 절연 물질층이 상기 기판 표면에 비하여 500Å 정도 돌출되도록 형성하는 것이 바람직하다.

특히, 상기 제1 단계 후, 상기 패드 절연막 및 식각 방지층 상에 산화막을 형성하는 단계 및 상기 산화막을 패터닝함으로써 상기 식각 방지층 및 패드 절연막을 식각하는 데 사용되는 산화막 패턴을 형성하는 단계를 더 포함하여 진행할 수 있다.

이하, 본 발명을 설명하기 위하여 첨부 도면을 참조함으로써 더욱 상세하게 설명하기로 한다.

첨부 도면 제7도 내지 제13도는 본 발명에 의한 일 실시예를 설명하기 위하여 순차적으로 도시한 단면도들이다.

제7도는 기판(100) 상의 소정 부위를 노출시키는 개구부를 갖는 패드 절연막 패턴(115) 및 식각 방지층 패턴(120)을 형성한 것을 도시한 단면도로서, 이는 기판(110) 상에 패드 절연막 및 식각 방지층을 순차적으로 적층하는 제1 공정 및 상기 패드 절연막 및 식각 방지층에 사진 식각 공정을 진행하여 상기 기판(110)의 소정 부위를 노출시키는 개구부(125)가 형성된 패드 절연막 패턴(115) 및 식각 방지층 패턴(120)을 형성하는 제2 공정으로 진행한다. 이때, 상기 패드 절연막은 기판(110) 표면의 프로파일을 개선하기 위하여 박막으로 형성된다.

제8도는 상기 패드 절연막 패턴(115) 및 식각 방지층 패턴(120)에 의하여 노출된 기판 내에 트렌치(130)를 형성하고, 그 측벽에 박막의 절연막(135)을 형성한 것을 도시한 단면도로서, 이는 상기 제7도의 결과물 기판에 대하여 상기 식각 방지층 패턴(120)을 식각 마스크로 이용하여 상기 노출된 기판(110) 부위를 식각하여 트렌치(130)를 형성하는 제1 공정 및 상기 트렌치(130)의 측벽 및 저면 상에 열산화 방법에 의하여 박막의 절연막(135)을 형성하는 제2 공정으로 진행한다. 이때, 상기 트렌치(130)는 3000 Å 내지 5000 Å의 깊이를 갖도록 형성한다. 한편, 상기 제1도의 패드 절연막 및 식각 방지층을 형성한 후, 그 상에 산화막(도시되지 아니함)을 추가로 적층하고, 상기 산화막에 소자 분리 영역을 한정하는 산화막 패턴(도시되지 아니함)을 형성한 후, 이를 식각 마스크로 이용하여 상기 산화막 패턴에 의하여 노출된 식각 방지층, 패드 절연막 및 기판을 식각함으로써 트렌치를 형성할 수도 있다. 한편, 상기 제2 공정에 의해 형성된 박막의 절연막(135)은 1000 Å보다 작은 두께를 갖도록 형성한다. 이는 상기 트렌치(130) 내면과 소자 활성 영역 경계부의 프로파일을 조절하기 위한 목적에서 형성되며, 통상 열산화 공정으로 형성한다.

제9도는 트렌치 내부를 완전히 채우도록 기판 전면에 증착된 절연물질층(140)을 형성한 것을 도시한 단면도로서, 이는 상기 트렌치(제8도의 130) 내부를 완전히 채우면서, 상기 식각 방지층 패턴(120) 상에 화학 기상 증착(CVD) 방법에 의하여 두껍게 절연 물질층(140)을 형성하는 공정으로 진행한다. 상기 절연 물질층(140)은 산화물을 이용하여 형성할 수 있다. 이때, 상기 산화물을 CVD 옥사이드(Oxide)라고도 한다.

제10도는 기판의 소자 분리 영역에 평탄화되고 돌출된 절연 물질층 패턴(140a)이 형성된 것을 도시한 단면도로서, 이는 상기 제9도의 결과물에 대하여 상기 제9도의 다 표시부까지 평탄화하는 제1 공정 및 상기 제9도의 라 표시부까지 기판(110)상에 적층된 평탄화된 식각 방지층 패턴(120)을 벗겨냄으로써 노출된 상기 패드 절연막 패턴(115)의 표면에 비하여 상기 평탄화된 절연 물질층 패턴(140a)이 돌출되도록 형성하는 제2 공정으로 진행한다. 이때, 상기 제1 공정의 평탄화는 화학 기계적 연마(CMP) 방법에 의하여 진행할 수 있으며, 상기 제2 공정의 식각 방지층 패턴(120)은 인산 용액을 이용하여 제거할 수 있다.

제11도는 노출된 기판 표면에 비하여 함몰된 절연 물질층 패턴(140a)이 형성된 기판 전면에 대하여 불순물을 이온 주입하는 것을 도시한 단면도로서, 이는 상기 제10도의 결과물 기판에 대하여 상기 노출된 패드 절연막 패턴(제10도의 115)에 비해 상기 돌출된 절연 물질층 패턴(140a)을 식각하는 비율이 큰 물질을 식각제로 이용하여 절연 물질층 패턴(140a)이 노출된 기판 표면에 비하여 함몰되게 식각하는 제1 공정 및 결과물 기판 전면에 대하여 불순물(141)을 이온 주입함으로써 기판 상부에 소정 두께를 갖는 불순물층(142)을 형성하는 제2 공정으로 진행한다. 이때, 상기 함몰된 절연 물질층 패턴(140a)에 의하여 상기 트렌치(130)의 상측벽이 일부 노출됨으로써 상기 이온 주입에 의하여 상기 불순물층(142)은 상기 트렌치(130)의 어깨부에서 더 깊게 형성된다. 이때, 상기 제1 공정의 식각은 습식 식각(Wet Etch) 방법을 이용하고, 이때 상기 노출된 패드 절연막 패턴(제10도의 115)과 상기 돌출된 절연 물질층(140a)의 식각 선택비가 1 : 10 이하인 식각제를 이용하는 것이 바람직하며, 그 대표적인 예로 BOE(Buffered Oxide Isolation) 용액을 들 수 있다. 한편, 상기 함몰된 절연 물질층(140a)은 상기 노출된 기판(110)에 대하여 500 Å 정도의 깊이로 형성하는 것이 바람직하다.

제12도는 상기 트렌치(130) 어깨부에만 불순물층(142a)이 잔존된 것을 도시한 단면도로서, 이는 상기 제11도의 불순물층이 형성된 결과물 기판에 대하여 상기 함몰된 절연 물질층 패턴(140a)을 식각하는 비율이 작은 식각제를 이용하여 결과물 기판을 식각함으로써 노출되는 기판(110) 표면에는 불순물층이 제거되고, 상기 트렌치(130) 어깨부에만 불순물층(142a)이 잔존하도록 형성하며, 상기 노출된 기판(110) 표면에 비하여 돌출되도록 절연 물질층 패턴(140a)을 형성하는 공정으로 진행한다. 이때, 상기 식각은 화학적 건식 식각(Chemical Dry Etch) 방법을 이용하는 것이 바람직하며, 상기 절연 물질층 패턴(140a)이 상기 기판(110) 표면에 비하여 500 Å 정도 돌출되도록 형성하는 것이 바람직하다.

제13도는 상기 제12도의 소자 분리 영역이 완성된 기판 면에 대하여 평탄화를 진행한 것을 도시한 단면도로서, 이는 이후의 목적하는 공정에 따라 임의적으로 선택할 수 있다. 이때, 도면부호 140b는 평탄화가 진행된 절연 물질층 패턴을 지시한다.

이상에서 살펴본 본 발명은 종래의 반도체 소자의 분리 방법이 갖는 문제점을 해결할 수 있음이 명백하다. 즉, 이는 종래의 방법에 의하여 트렌치 어깨부에 불순물층을 형성함에 있어서 초래되는 기생 접합 정전 용량을 증가, 접합 누설 전류를 증가시킴으로써 소자의 리플래쉬(Refresh) 특성을 열화 및 트렌치를 채우는 절연 물질의 조밀화를 위하여 후속되는 고온 열처리 공정에 의하여 소자 활성 영역에 상기 불순물과 반대의 도전형을 갖는 불순물을 카운터 도핑된 불순물이 열적 확산에 의한 재분포를 일으켜 소자 특성을 제어의 어려움 등의 문제를 해결할 수 있다. 결과적으로는 소자 분리의 효과적인 실현이 가능함으로써 보다 신뢰성있는 반도체 소자의 제조를 이룰 수 있다.

본 발명은 전술한 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 많은 변형이 당 분야에서 통상의 지식을 가진 자에 의하여 실시 가능함은 명백하다.

(57) 청구의 범위

청구항 1

트렌치를 이용한 반도체 소자의 분리 방법에 있어서, 기판 전면 상에 패드 절연막 및 식각 방지층을 순차적으로 적층하는 제1 단계; 상기 식각 방지층 및 패드 절연막을 패터닝함으로써 기판의 비활성 영역을 노출시키는 식각 방지층 패턴 및 패드 절연막 패턴을 형성하는 제2 단계; 상기 식각 방지층 패턴을 식각 마스크로 이용하여 상기 노출된 기판을 식각함으로써 트렌치를 형성하는 제3 단계; 상기 트렌치 측벽 및 저

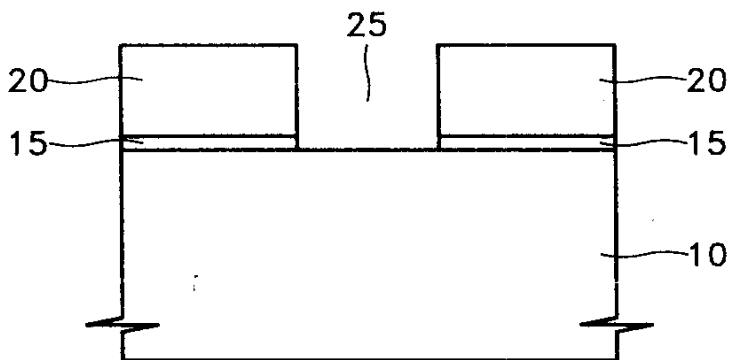
면 상에 절연막을 형성하는 제4 단계; 상기 트렌치의 내부를 채우도록 결과물 기판 전면에 절연 물질을 증착함으로써 절연 물질층을 형성하는 제5 단계; 상기 식각 방지층 패턴이 노출되도록 상기 절연 물질층을 식각하는 제6 단계; 상기 식각 방지층 패턴을 제거하는 제6 단계; 식각된 상기 절연 물질층의 표면이 상기 기판의 표면보다 낮게 위치하도록 상기 절연 물질층을 식각하는 제7 단계; 상기 절연 물질층이 재식각된 결과물 기판 전면에 불순물을 이온 주입함으로써 불순물층을 형성하는 제8 단계; 및 상기 트렌치의 어깨부에만 불순물층이 잔존도록 활성 영역의 상기 기판을 식각하는 제9 단계를 포함하는 것을 특징으로 하는 트렌치를 이용한 반도체 소자의 분리 방법.

청구항 2

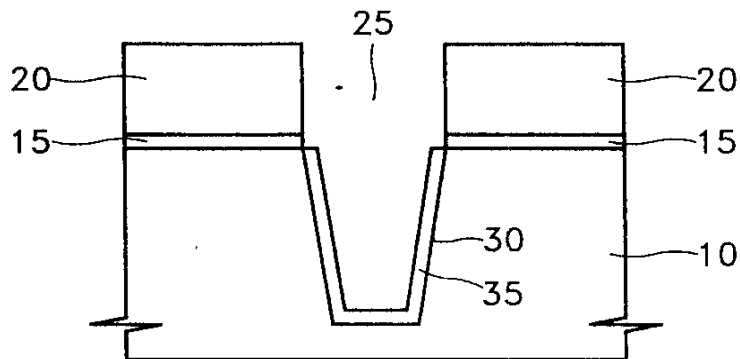
제1항에 있어서, 상기 제1 단계 후, 상기 패드 절연막 및 식각 방지층 상에 산화막을 형성하는 단계 및 상기 산화막을 패터닝함으로써 상기 식각 방지층 및 패드 절연막을 식각하는 데 사용되는 산화막 패턴을 형성하는 단계를 더 포함하여 진행하는 것을 특징으로 하는 트렌치를 이용한 반도체 소자의 분리 방법.

도면

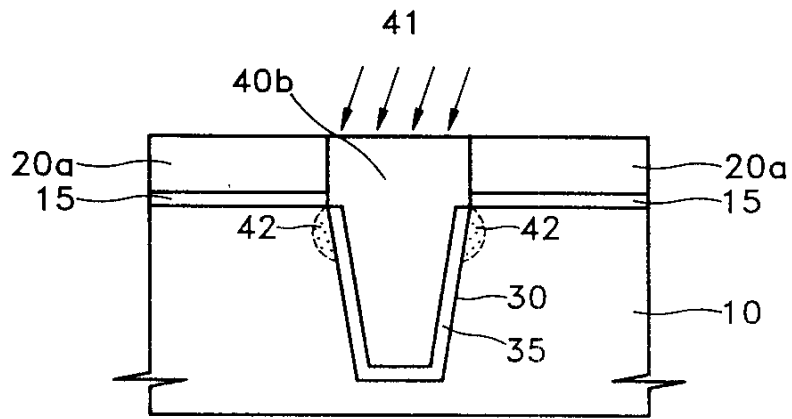
도면1



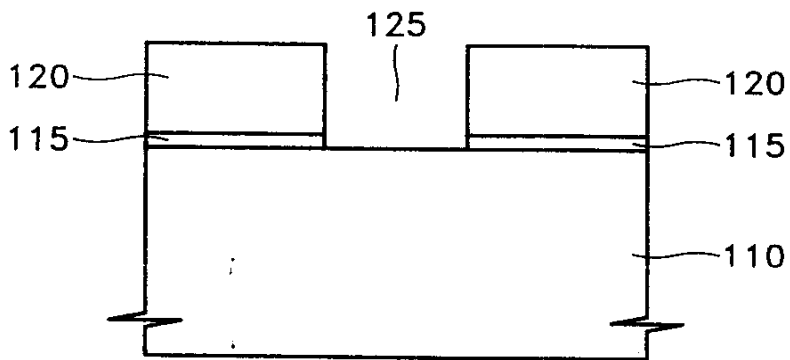
도면2



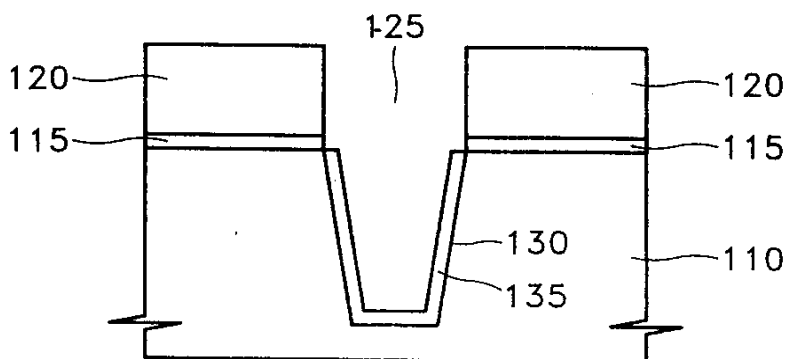
도면6



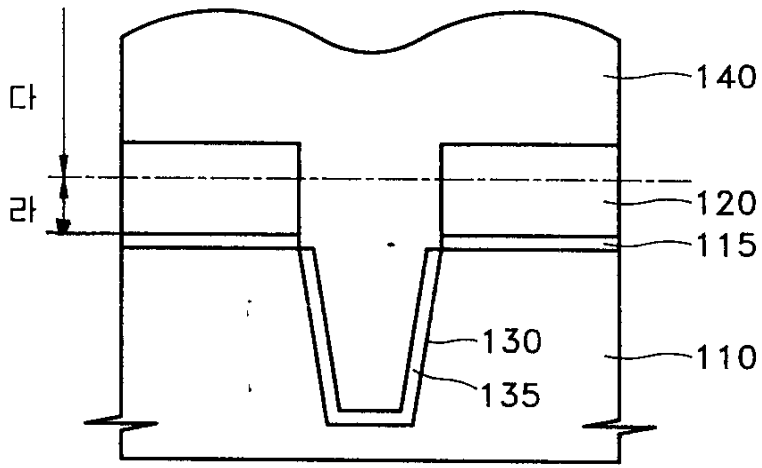
도면7



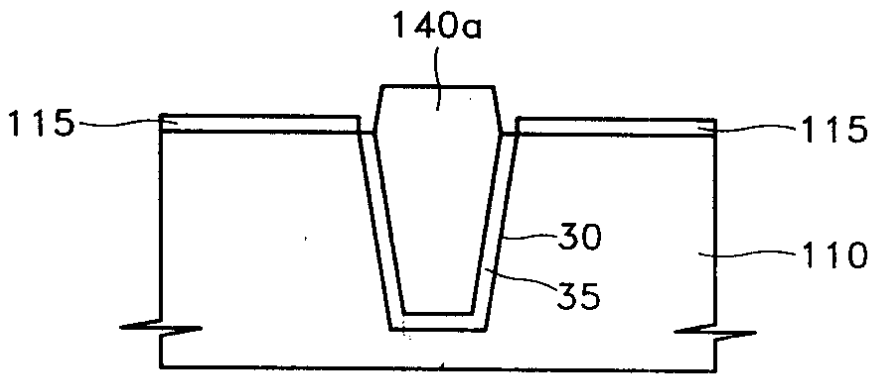
도면8



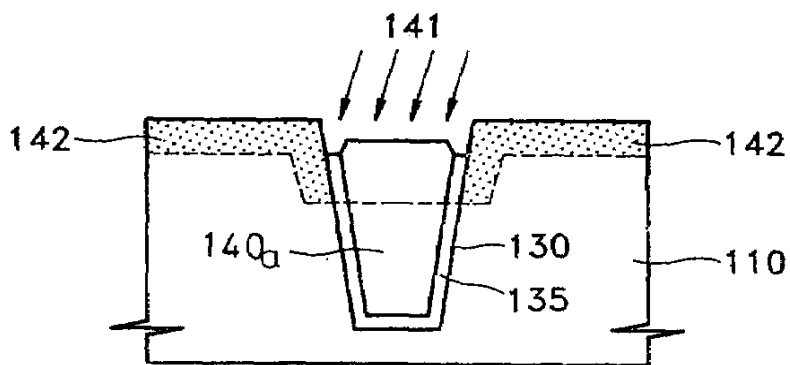
도면9



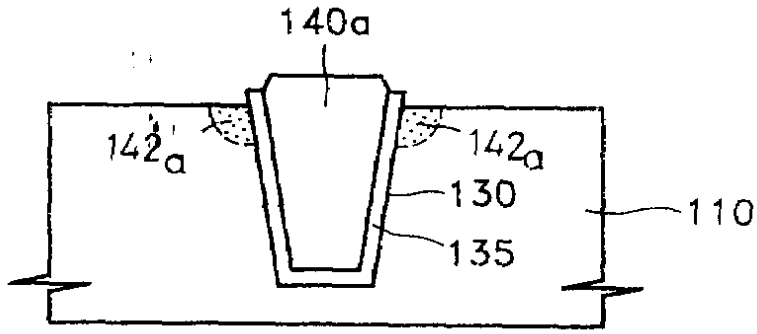
도면10



도면11



도면12



도면13

