

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年4月18日 (18.04.2019)



(10) 国际公布号
WO 2019/071670 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2017/109118
- (22) 国际申请日: 2017年11月2日 (02.11.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710936407.9 2017年10月10日 (10.10.2017) CN
- (71) 申请人: 武汉华星光电半导体显示技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430000 (CN)。
- (72) 发明人: 喻蕾(YU, Lei); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430000 (CN)。 李松杉(LI, Songshan); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430000 (CN)。
- (74) 代理人: 深圳汇智容达专利商标事务所(普通合伙)(SHENZHEN RONDA PATENT AND TRADEMARK LAW OFFICE); 中国广东省深圳市福田区深南中路求是大厦东座2709-2711, Guangdong 518040 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) **Title:** N-TYPE THIN FILM TRANSISTOR AND PREPARATION METHOD THEREFOR, AND PREPARATION METHOD FOR OLED DISPLAY PANEL

(54) 发明名称: N型薄膜晶体管及其制备方法、OLED显示面板的制备方法

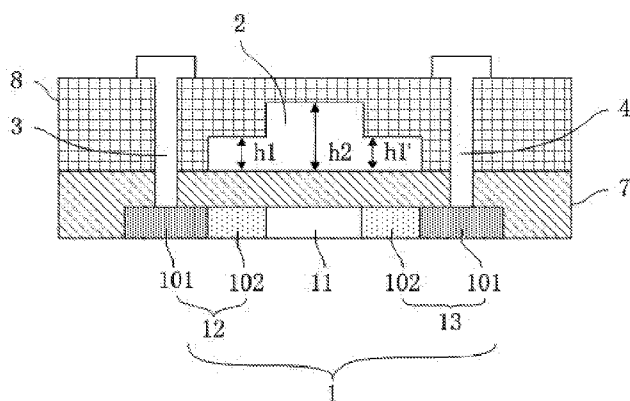


图 1

(57) **Abstract:** An N-type thin film transistor and a preparation method therefor, and a preparation method for an organic light-emitting diode (OLED) display panel, the thin film transistor comprising from bottom to top: a polycrystalline silicon layer (1), a gate layer (2), a source (3) and a drain (4); the polycrystalline silicon layer (1) comprises a channel region (11), as well as a source region (12) and a drain region (13) on two sides of the channel region (11); the gate layer (2) is located above the channel region (11), and a projection of the gate layer (2) on the polycrystalline silicon layer (1) partially overlaps with the source region (12) and drain region (13), the thickness of the gate layer (2) above the source region (12) and drain region (13) being less than the thickness of the gate layer (2) above the channel region (11); the source region (12) and the drain region (13) both comprise a heavy doping region (101) and a light doping region (102) that is connected to the heavy doping region (101); the light doping regions (102) are located above the gate layer (2), and the source (3) is located above the heavy doping region (101) of the source region (12) and is electrically connected to the heavy doping region (101) of the source region (12), while the drain (4) is located above the heavy doping region (101) of the drain region (13) and is electrically connected to the heavy doping region (101) of the drain region (13). Thus, the current leakage of the thin film transistor may be reduced, thereby improving the device characteristics of the thin film transistor.

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种N型薄膜晶体管及其制备方法、OLED显示面板的制备方法, 薄膜晶体管由下至上包括: 多晶硅层(1)、栅极层(2)、源极(3)、漏极(4); 其中, 多晶硅层(1)包括沟道区(11), 以及沟道区(11)两侧的源极区(12)和漏极区(13), 栅极层(2)位于沟道区(11)上方, 且栅极层(2)在多晶硅层(1)上的投影与源极区(12)和漏极区(13)部分重合, 源极区(12)和漏极区(13)上方的栅极层(2)厚度, 均小于沟道区(11)上方的栅极层(2)厚度; 且源极区(12)和漏极区(13)均包含重掺杂区(101)和与重掺杂区(101)连接的轻掺杂区(102), 轻掺杂区(102)均位于栅极层(2)下方, 源极(3)位于源极区(12)的重掺杂区(101)上方且与源极区(12)的重掺杂区(101)电性连接, 漏极(4)位于漏极区(13)的重掺杂区(101)上方且与漏极区(13)的重掺杂区(101)电性连接。可以减小薄膜晶体管的漏电流, 改善薄膜晶体管的器件特性。

N 型薄膜晶体管及其制备方法、OLED 显示面板的制备方法

本申请要求于 2017 年 10 月 10 日提交中国专利局、申请号为 201710936407.9、发明名称为“N 型薄膜晶体管及其制备方法、OLED 显示面板及其制备方法”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及显示技术领域，尤其涉及一种 N 型薄膜晶体管及其制备方法、OLED 显示面板的制备方法。

背景技术

传统的方法制作低温多晶硅 N 型薄膜晶体管时，是在完成多晶硅的结晶和图形定义后，在制作 N+区域(即重掺杂区)和 N-区域(N-区域又称为 LDD: light drain doping, 轻掺杂漏结构)，需要使用两次掩模板分别定义 N+和 N-区域，再进行两次磷离子的植入，再利用等离子体增强化学的气相沉积法沉积一层栅极绝缘层；传统的方法制作低温多晶硅 N 型薄膜晶体管工艺流程复杂，制作成本高，并且传统的方法制作出来的 N 型薄膜晶体管中的栅极层厚度均匀，在该薄膜晶体管处于关态时，任有较大的漏电流，导致该薄膜晶体管的关断与接通不是很灵敏，对显示面板的显示效果造成影响。

发明内容

为解决上述技术问题，本发明提供一种 N 型薄膜晶体管及其制备方法、OLED 显示面板的制备方法，可以减小薄膜晶体管的漏电流，改善薄膜晶体管的器件特性。

本发明提供一种 N 型薄膜晶体管，由下至上包括：多晶硅层、栅极层、源极、漏极；

其中，所述多晶硅层包括沟道区，以及所述沟道区两侧的源极区和漏极区，所述栅极层位于所述沟道区上方，且所述栅极层在所述多晶硅层上的投影与所述源极区和所述漏极区部分重合，所述源极区和所述漏极区上方的栅

极层厚度，均小于所述沟道区上方的栅极层厚度；

所述源极区和所述漏极区均包含重参杂区和与所述重参杂区连接的轻参杂区，所述轻参杂区均位于所述栅极层下方，所述源极位于所述源极区的重参杂区上方且与所述源极区的重参杂区电性连接，所述漏极位于所述漏极区的重参杂区上方且与所述漏极区的重参杂区电性连接。

优选地，所述重参杂区和所述轻参杂区参杂的离子均为磷离子。

优选地，所述多晶硅层与所述栅极层之间还设置有栅极绝缘层；

所述栅极绝缘层上还设置有介电层，且所述介电层覆盖所述栅极层，所述介电层包含 SiN_x 和/或 SiO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

优选地，所述介电层上设置有两个第一连接孔，所述栅极绝缘层上设置有两个第二连接孔，两个所述第一连接孔分别与两个所述第二连接孔正对，且两个所述第二连接孔分别与所述源极区的重参杂区和所述漏极区的重参杂区正对；

所述源极和所述漏极均设置在所述介电层上，且所述源极通过所述第一连接孔和所述第二连接孔，与所述源极区的重参杂区电性连接，所述漏极通过所述第一连接孔和所述第二连接孔，与所述漏极区的重参杂区电性连接。

本发明还提供一种 N 型薄膜晶体管的制备方法，包括下述步骤：

在基板上方形成多晶硅层；

图形化所述多晶硅层，形成沟道区，以及位于所述沟道区两侧的源极区和漏极区；

在所述多晶硅层上方形成栅极层，所述栅极层位于所述沟道区上方，且所述栅极层在所述多晶硅层上的投影，与所述源极区和所述漏极区部分重合；

图形化所述栅极层，使所述源极区和所述漏极区上方的栅极层厚度，均小于所述沟道区上方的栅极层厚度；

以所述栅极层作为离子注入掩膜，向所述源极区和所述漏极区进行离子植入，形成两组参杂区，每一组参杂区包括一个重参杂区和与所述重参杂区相连的轻参杂区；

在两个所述重参杂区上方制备源极和漏极，且所述源极和所述漏极分别

与两个所述重参杂区电性连接。

优选地，在所述多晶硅层上方形成栅极层之前，还包括下述步骤：

在所述多晶硅层上形成栅极绝缘层；其中，所述栅极绝缘层位于所述多晶硅层与所述栅极层之间。

优选地，在基板上方形形成多晶硅层之前，还包括下述步骤：

在所述基板上形成缓冲层，其中，所述缓冲层包含 SiO_x 和/或 SiNy ， $x \geq 1$ ， $y \geq 1$ 。

优选地，在基板上方形形成多晶硅层，包括下述步骤：

在所述缓冲层上沉积非晶硅层；

采用准分子镭射结晶的方式将所述非晶硅层转化为所述多晶硅层。

优选地，图形化所述栅极层，包括下述步骤：

在所述栅极层上涂布光阻；

通过半透掩膜板对所述栅极层进行曝光及显影处理，得到光阻半保留部分，所述光阻半保留部分位于所述源极和所述漏极上方；

将所述栅极层位于所述光阻半保留部分的区域进行部分刻蚀。

优选地，向所述源极区和所述漏极区进行离子植入，具体为：

采用离子注入技术，向所述源极区和所述漏极区植入磷离子。

优选地，在两个所述重参杂区上方制备源极和漏极，包括下述步骤：

在所述栅极绝缘层上形成介电层，且所述介电层覆盖所述栅极层；

图形化所述介电层和所述栅极绝缘层，在所述介电层上形成两个第一连接孔，在所述栅极绝缘层上形成两个第二连接孔，且两个所述第一连接孔分别与两个所述第二连接孔正对，两个所述第二连接孔分别与两个所述重参杂区正对；

在所述介电层上沉积金属层，且所述金属层均通过两个所述第一连接孔和两个所述第二连接孔，与两个所述重参杂区电性连接；

图形化所述金属层，形成所述源极和所述漏极。

优选地，在所述栅极绝缘层上形成介电层，具体为：

采用等离子体增强化学的气相沉积法，在所述栅极绝缘层上沉积 SiNx 和/或 SiOy ，形成所述介电层。

优选地，在图形化所述介电层和所述栅极绝缘层之前还包括下述步骤：
对所述介电层进行快速退火处理，其中快速退火的温度为 550~600 摄氏度，退火时间为 5~15 分钟。

优选地，在所述介电层上沉积金属层，具体为：

采用物理气相沉积的方式，在所述介电层上依次沉积钼、铝、钼金属，形成所述金属层。

本发明还提供一种 OLED 显示面板的制备方法，包括下述步骤：

在基板上方形成多晶硅层；

图形化所述多晶硅层，形成沟道区，以及位于所述沟道区两侧的源极区和漏极区；

在所述多晶硅层上形成栅极绝缘层；

在所述多晶硅层上方形成栅极层，所述栅极层位于所述沟道区上方，且所述栅极层在所述多晶硅层上的投影，与所述源极区和所述漏极区部分重合；其中，所述栅极绝缘层位于所述多晶硅层与所述栅极层之间；

图形化所述栅极层，使所述源极区和所述漏极区上方的栅极层厚度，均小于所述沟道区上方的栅极层厚度；

以所述栅极层作为离子注入掩膜，向所述源极区和所述漏极区进行离子植入，形成两组参杂区，每一组参杂区包括一个重参杂区和与所述重参杂区相连的轻参杂区；

在两个所述重参杂区上方制备源极和漏极，且所述源极和所述漏极分别与两个所述重参杂区电性连接；

其中，在两个所述重参杂区上方制备源极和漏极，包括下述步骤：在所述栅极绝缘层上形成介电层，且所述介电层覆盖所述栅极层；

OLED 显示面板的制备方法还包括：

在介电层上形成平坦层，且所述平坦层覆盖源极和漏极；

图形化所述平坦层，在所述平坦层上形成第三连接孔，所述第三连接孔位于所述源极或者所述漏极上方；

在所述第三连接孔处制备阳极，且所述阳极与所述源极或者所述漏极电性连接；

在所述平坦层上沉积像素定义层，且所述像素定义层覆盖所述阳极；

图形化所述像素定义层，在所述像素定义层上形成第四连接孔，且所述第四连接孔位于所述阳极上方；

在所述第四连接孔处蒸镀有机发光材料，且所述有机发光材料与所述阳极接触。

优选地，

在所述第三连接孔处制备阳极，具体为：

在所述第三连接孔处沉积铟锡氧化物，并将所述铟锡氧化物图形化形成所述阳极；

所述平坦层和所述像素定义层的材料均为聚酰亚胺。

优选地，在基板上方形成多晶硅层之前，还包括下述步骤：

在所述基板上形成缓冲层，其中，所述缓冲层包含 SiO_x 和/或 SiNy ， $x \geq 1$ ， $y \geq 1$ ；

在基板上方形成多晶硅层，包括下述步骤：

在所述缓冲层上沉积非晶硅层；

采用准分子镭射结晶的方式将所述非晶硅层转化为所述多晶硅层；

图形化所述栅极层，包括下述步骤：

在所述栅极层上涂布光阻；

通过半透掩模板对所述栅极层进行曝光及显影处理，得到光阻半保留部分，所述光阻半保留部分位于所述源极和所述漏极上方；

将所述栅极层位于所述光阻半保留部分的区域进行部分刻蚀；

向所述源极区和所述漏极区进行离子植入，具体为：

采用离子注入技术，向所述源极区和所述漏极区植入磷离子。

优选地，在两个所述重掺杂区上方制备源极和漏极，还包括下述步骤：

图形化所述介电层和所述栅极绝缘层，在所述介电层上形成两个第一连接孔，在所述栅极绝缘层上形成两个第二连接孔，且两个所述第一连接孔分别与两个所述第二连接孔正对，两个所述第二连接孔分别与两个所述重掺杂区正对；

在所述介电层上沉积金属层，且所述金属层均通过两个所述第一连接孔

和两个所述第二连接孔，与两个所述重掺杂区电性连接；

图形化所述金属层，形成所述源极和所述漏极。

优选地，在所述栅极绝缘层上形成介电层，具体为：

采用等离子体增强化学的气相沉积法，在所述栅极绝缘层上沉积 SiN_x 和/或 SiO_y ，形成所述介电层。

优选地，在图形化所述介电层和所述栅极绝缘层之前还包括下述步骤：

对所述介电层进行快速退火处理，其中快速退火的温度为 550~600 摄氏度，退火时间为 5~15 分钟；

在所述介电层上沉积金属层，具体为：

采用物理气相沉积的方式，在所述介电层上依次沉积钼、铝、钼金属，形成所述金属层。

实施本发明，具有如下有益效果：N 型薄膜晶体管的轻掺杂区对应的栅极层的厚度较薄，在薄膜晶体管施加工作电压时，该处产生的电场强度也较弱，吸引的电子也较少，因此电阻相对较大，进而起到 LDD 区域的减小漏电流的作用，从而可以大幅改善该薄膜晶体管的器件特性。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本发明提供的 N 型薄膜晶体管的结构示意图。

图 2 是本发明提供的 N 型薄膜晶体管上标注了第一连接孔和第二连接孔的示意图。

图 3 是本发明提供的 OLED 显示面板上标注了第三连接孔的示意图。

图 4 是本发明提供的 OLED 显示面板的结构示意图。

图 5 是本发明提供的 N 型薄膜晶体管制备方法的流程图。

图 6 是本发明提供的 N 型薄膜晶体管制备方法中通过半透掩膜板对栅极层进行曝光的示意图。

图 7 是本发明提供的 N 型薄膜晶体管制备方法中向源极区和漏极区植入

磷离子的示意图。

具体实施方式

本发明提供一种N型薄膜晶体管，如图1所示，N型薄膜晶体管由下至上包括：多晶硅层1、栅极层2、源极3、漏极4。N型薄膜晶体管即N沟道薄膜晶体管。

其中，多晶硅层1包括沟道区11，以及沟道区11两侧的源极区12和漏极区13，栅极层2位于沟道区11上方，且栅极层2在多晶硅层1上的投影与源极区12和漏极区13部分重合，源极区12和漏极区13上方的栅极层厚度，均小于沟道区11上方的栅极层厚度。如图1中所示，沟道区11上方的栅极层厚度 h_2 ，大于源极区12上方的栅极层厚度 h_1 和漏极区13上方的栅极层厚度 h_1' ，其中， h_1 与 h_2 之间的比值范围，以及 h_1' 与 h_2 之间的比值范围均为 $1/10\sim 1/5$ ， h_1' 与 h_1 可相等。

源极区12和漏极区13均包含重参杂区101和与重参杂区101连接的轻参杂区102，源极区12和漏极区13的轻参杂区102均位于栅极层2下方，源极3位于源极区12的重参杂区101上方且与源极区12的重参杂区101电性连接，漏极4位于漏极区13的重参杂区101上方且与漏极区13的重参杂区101电性连接。

进一步地，重参杂区101和轻参杂区102参杂的离子均为磷离子；多晶硅层1与栅极层2之间还设置有栅极绝缘层7。

栅极绝缘层7上还设置有介电层8，且介电层8覆盖栅极层2，介电层8包含 SiN_x 和/或 SiO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

如图2所示，介电层8上设置有两个第一连接孔14，栅极绝缘层7上设置有两个第二连接孔15，两个第一连接孔14分别与两个第二连接孔15正对，且两个第二连接孔15分别与源极区12的重参杂区101和漏极区13的重参杂区101正对。

源极3和漏极4均设置在介电层8上，且源极3通过第一连接孔14和第二连接孔15，与源极区12的重参杂区101电性连接，漏极4通过第一连接孔14和第二连接孔15，与漏极区13的重参杂区101电性连接。

本发明还提供一种OLED显示面板，如图3和图4所示，该OLED显

示面板包括上述的 N 型薄膜晶体管；薄膜晶体管的多晶硅层 1 下方设置有基板 5；薄膜晶体管的介电层 8 上方设置有平坦层 9，且平坦层 9 覆盖薄膜晶体管的源极 3 和漏极 4，平坦层 9 上设置有第三连接孔 16，第三连接孔 16 位于源极 3 或者漏极 4 上方，第三连接孔 16 中设置有阳极 10，阳极 10 与源极 3 或者漏极 4 电性连接。其中，基板 5 为玻璃基板。

平坦层 9 上方设置有像素定义层 11，像素定义层 11 上设置有第四连接孔 17，且第四连接孔 17 位于阳极 10 上方，第四连接孔 17 中设置有机发光材料 12，有机发光材料 12 与阳极 10 接触。其中，有机发光材料 12 为 OLED(Organic Light-Emitting Diode, 有机发光半导体)发光材料。

进一步地，基板 5 与多晶硅层 1 之间设置有缓冲层 6，且缓冲层 6 包含 SiN_x 和/或 SiO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

本发明还提供一种 N 型薄膜晶体管的制备方法，如图 5 所示，该 N 型薄膜晶体管的制备方法包括下述步骤：

在基板 5 上方形成多晶硅层 1；

图形化多晶硅层 1，形成沟道区 11，以及位于沟道区 11 两侧的源极区 12 和漏极区 13；

在多晶硅层 1 上方形成栅极层 2，栅极层 2 位于沟道区 11 上方，且栅极层 2 在多晶硅层 1 上的投影，与源极区 12 和漏极区 13 部分重合；

图形化栅极层 2，使源极区 12 和漏极区 13 上方的栅极层厚度，均小于沟道区 11 上方的栅极层厚度；

以栅极层 2 作为离子注入掩膜，向源极区 12 和漏极区 13 进行离子植入，形成两组参杂区，每一组参杂区包括一个重参杂区 101 和与重参杂区 101 相连的轻参杂区 102；

在两个重参杂区 101 上方制备源极 3 和漏极 4，且源极 3 和漏极 4 分别与两个重参杂区 101 电性连接(即形成良好的欧姆接触)。其中，重参杂区 101 一般也称为 N+区域，轻参杂区 102 也称为 N-区域或者 LDD(Lightly Doped Drain, 轻掺杂漏结构)区域。

轻参杂区 102 对应的栅极层 2 的厚度较薄，在薄膜晶体管施加工作电压时，该处积蓄的电荷相对较少，产生的电场强度也较弱，吸引的电子也较少，

因此电阻相对较大，进而起到 LDD 区域的减小漏电流的作用，从而可以大幅改善该薄膜晶体管的器件特性。并且，上述制备 N 型薄膜晶体管的方法中，只有一次离子植入的过程，在该次离子植入过程中，栅极层 2 充当了离子注入掩膜的作用，因此，位于栅极层 2 下方的部分源极区 12 和部分漏极区 13 植入的离子较少，可以作为轻参杂区 102，不是位于栅极层 2 下方的部分源极区 12 和部分漏极区 13 植入的离子较多，可以作为重参杂区 101；因而，本发明提供的 N 型薄膜晶体管的制备方法，还能够节省一次给轻参杂区 102 植入离子的过程，简化了工艺流程，节省制造成本。

进一步地，在多晶硅层 1 上方形成栅极层 2 之前，还包括下述步骤：

在多晶硅层 1 上形成栅极绝缘层 7；其中，栅极绝缘层 7 位于多晶硅层 1 与栅极层 2 之间。

在基板 5 上方形成多晶硅层 1 之前，还包括下述步骤：

在基板 5 上形成缓冲层 6，其中，缓冲层 6 包含 SiO_x 和/或 SiN_y ， $x \geq 1$ ， $y \geq 1$ 。优选地，在基板 5 上连续沉积 SiO_x 层和 SiN_y 层。缓冲层 6 可以阻挡部分外部杂质离子的进入。

在基板 5 上方形成多晶硅层 1，包括下述步骤：

在缓冲层 6 上沉积非晶硅层；非晶硅也即是无定形硅(a-Si)。

采用准分子镭射结晶的方式将非晶硅层转化为多晶硅层 1。

进一步地，图形化栅极层 2，包括下述步骤：

在栅极层 2 上涂布光阻；

通过半透掩模板对栅极层 2 进行曝光及显影处理，得到光阻半保留部分，光阻半保留部分位于源极和漏极上方；

将栅极层 2 位于光阻半保留部分的区域进行部分刻蚀。

其中，如图 6 所示，半透掩模板包括透光区 181、半透光区 182，不透光区 183，半透光区 182 的透光率范围为 20%~70%；通过半透掩模板对栅极层 2 进行曝光处理时，不透光区 183 位于沟道区 11 对应的栅极层 2 上方，因此，沟道区 11 上方的栅极层 2 上涂布的光阻没有被曝光，刻蚀制程中，沟道区 11 上方的栅极层 2 不会被刻蚀，最终沟道区 11 上方的栅极层厚度大于源极区 12 和漏极区 13 上方的栅极层厚度。

进一步地，向源极区 12 和漏极区 13 进行离子植入，具体为：

采用离子注入技术，向源极区 12 和漏极区 13 植入磷离子；植入磷离子的示意图如图 7 所示。其中，重参杂区 101 有大量的磷离子植入，该区域的电阻会很小，与后续制作的源极 3 和漏极 4 能够形成良好的欧姆接触。轻参杂区 102 上方的栅极层厚度较薄，虽然会阻挡磷离子的植入，但是在薄膜晶体管正常工作时，给栅极层 2 施加电压所产生的电场强度较弱，吸引的电子也较少，电阻相对较大，从而可以起到减小漏电流的作用。

进一步地，在两个重参杂区 101 上方制备源极 3 和漏极 4，包括下述步骤：

在栅极绝缘层 7 上形成介电层 8，且介电层 8 覆盖栅极层 2；

图形化介电层 8 和栅极绝缘层 7，在介电层 8 上形成两个第一连接孔 14，在栅极绝缘层 7 上形成两个第二连接孔 15，且两个第一连接孔 14 分别与两个第二连接孔 15 正对，两个第二连接孔 15 分别与两个重参杂区 101 正对；

在介电层 8 上沉积金属层，且金属层均通过两个第一连接孔 14 和两个第二连接孔 15，与两个重参杂区 101 电性连接；

图形化金属层，形成源极 3 和漏极 4。

进一步地，在栅极绝缘层 7 上形成介电层 8，具体为：

采用等离子体增强化学的气相沉积法，在栅极绝缘层 7 上沉积 SiN_x 和/或 SiO_y ，形成介电层 8。介电层 8 也即是 ILD 层(也称为层间绝缘层)。优选地，在栅极绝缘层 7 上沉积 SiN_x 层和 SiO_y 层。

在图形化介电层 8 和栅极绝缘层 7 之前还包括下述步骤：

对介电层 8 进行快速退火活化处理，其中快速退火的温度为 550~600 摄氏度，退火时间为 5~15 分钟。

进一步地，在介电层 8 上沉积金属层，具体为：

采用物理气相沉积的方式，在介电层 8 上依次沉积钼、铝、钼金属，形成金属层。

本发明还提供一种 OLED 显示面板的制备方法，该 OLED 显示面板的制备方法包括上述的 N 型薄膜晶体管的制备方法，还包括下述步骤：

在介电层 8 上形成平坦层 9，且平坦层 9 覆盖源极 3 和漏极 4；

图形化平坦层 9, 在平坦层 9 上形成第三连接孔 16, 第三连接孔 16 位于源极 3 或者漏极 4 上方;

在第三连接孔 16 处制备阳极 10, 且阳极 10 与源极 3 或者漏极 4 电性连接;

在平坦层 9 上沉积像素定义层 11, 且像素定义层 11 覆盖阳极 10;

图形化像素定义层 11, 在像素定义层 11 上形成第四连接孔 17, 且第四连接孔 17 位于阳极 10 上方;

在第四连接孔 17 处蒸镀有机发光材料 12, 且有机发光材料 12 与阳极 10 接触。其中, 有机发光材料 12 为 OLED 发光材料。

进一步地, 第三连接孔 16 位于源极 3 或者漏极 4 上方。

在第三连接孔 16 处制备阳极 10, 具体为:

在第三连接孔 16 处沉积铟锡氧化物(即 ITO), 并将铟锡氧化物图形化形成阳极 10;

平坦层 9 和像素定义层 11 的材料均为聚酰亚胺。

上述所说的图形化各膜层, 例如金属层、平坦层 9、像素定义层 11, 都是在该膜层上涂布光阻材料, 再进行曝光及显影处理, 进行刻蚀, 完成各膜层的图形化处理过程。

综上所述, 本发明提供的 N 型薄膜晶体管及其制备方法, 轻参杂区 102 对应的栅极层 2 的厚度相对较薄, 在薄膜晶体管施加工作电压时, 该处产生的电场强度也较弱, 吸引的电子也较少, 因此电阻相对较大, 进而起到 LDD 区域的减小漏电流的作用, 从而可以大幅改善该薄膜晶体管的器件特性。并且, 上述制备 N 型薄膜晶体管的方法中, 只有一次离子植入的过程, 在该次离子植入过程中, 栅极层 2 充当了离子注入掩膜的作用, 因此, 本发明提供的 N 型薄膜晶体管的制备方法, 还能够节省一次给轻参杂区 102 植入离子的过程, 简化了工艺流程, 节省制造成本。

以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明, 不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说, 在不脱离本发明构思的前提下, 还可以做出若干简单推演或替换, 都应当视为属于本发明的保护范围。

权利要求

1、一种 N 型薄膜晶体管，其中，由下至上包括：多晶硅层、栅极层、源极、漏极；

其中，所述多晶硅层包括沟道区，以及所述沟道区两侧的源极区和漏极区，所述栅极层位于所述沟道区上方，且所述栅极层在所述多晶硅层上的投影与所述源极区和所述漏极区部分重合，所述源极区和所述漏极区上方的栅极层厚度，均小于所述沟道区上方的栅极层厚度；

所述源极区和所述漏极区均包含重参杂区和与所述重参杂区连接的轻参杂区，所述轻参杂区均位于所述栅极层下方，所述源极位于所述源极区的重参杂区上方且与所述源极区的重参杂区电性连接，所述漏极位于所述漏极区的重参杂区上方且与所述漏极区的重参杂区电性连接。

2、根据权利要求 1 所述的 N 型薄膜晶体管，其中，
所述重参杂区和所述轻参杂区参杂的离子均为磷离子。

3、根据权利要求 1 所述的 N 型薄膜晶体管，其中，
所述多晶硅层与所述栅极层之间还设置有栅极绝缘层；

所述栅极绝缘层上还设置有介电层，且所述介电层覆盖所述栅极层，所述介电层包含 SiN_x 和/或 SiO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

4、根据权利要求 3 所述的 N 型薄膜晶体管，其中，

所述介电层上设置有两个第一连接孔，所述栅极绝缘层上设置有两个第二连接孔，两个所述第一连接孔分别与两个所述第二连接孔正对，且两个所述第二连接孔分别与所述源极区的重参杂区和所述漏极区的重参杂区正对；

所述源极和所述漏极均设置在所述介电层上，且所述源极通过所述第一连接孔和所述第二连接孔，与所述源极区的重参杂区电性连接，所述漏极通过所述第一连接孔和所述第二连接孔，与所述漏极区的重参杂区电性连接。

5、一种 N 型薄膜晶体管的制备方法，其中，包括下述步骤：

在基板上方形成多晶硅层；

图形化所述多晶硅层，形成沟道区，以及位于所述沟道区两侧的源极区和漏极区；

在所述多晶硅层上方形成栅极层，所述栅极层位于所述沟道区上方，且所述栅极层在所述多晶硅层上的投影，与所述源极区和所述漏极区部分重合；

图形化所述栅极层，使所述源极区和所述漏极区上方的栅极层厚度，均小于所述沟道区上方的栅极层厚度；

以所述栅极层作为离子注入掩膜，向所述源极区和所述漏极区进行离子植入，形成两组参杂区，每一组参杂区包括一个重参杂区和与所述重参杂区相连的轻参杂区；

在两个所述重参杂区上方制备源极和漏极，且所述源极和所述漏极分别与两个所述重参杂区电性连接。

6、根据权利要求5所述的N型薄膜晶体管的制备方法，其中，在所述多晶硅层上方形成栅极层之前，还包括下述步骤：

在所述多晶硅层上形成栅极绝缘层；其中，所述栅极绝缘层位于所述多晶硅层与所述栅极层之间。

7、根据权利要求5所述的N型薄膜晶体管的制备方法，其中，在基板上方形成多晶硅层之前，还包括下述步骤：

在所述基板上形成缓冲层，其中，所述缓冲层包含 SiO_x 和/或 SiNy ， $x \geq 1$ ， $y \geq 1$ 。

8、根据权利要求5所述的N型薄膜晶体管的制备方法，其中，在基板上方形成多晶硅层，包括下述步骤：

在所述缓冲层上沉积非晶硅层；

采用准分子镭射结晶的方式将所述非晶硅层转化为所述多晶硅层。

9、根据权利要求5所述的N型薄膜晶体管的制备方法，其中，图形化所述栅极层，包括下述步骤：

在所述栅极层上涂布光阻；

通过半透掩模板对所述栅极层进行曝光及显影处理，得到光阻半保留部分，所述光阻半保留部分位于所述源极和所述漏极上方；

将所述栅极层位于所述光阻半保留部分的区域进行部分刻蚀。

10、根据权利要求5所述的N型薄膜晶体管的制备方法，其中，

向所述源极区和所述漏极区进行离子植入，具体为：

采用离子注入技术，向所述源极区和所述漏极区植入磷离子。

11、根据权利要求6所述的N型薄膜晶体管的制备方法，其中，在两个所述重掺杂区上方制备源极和漏极，包括下述步骤：

在所述栅极绝缘层上形成介电层，且所述介电层覆盖所述栅极层；

图形化所述介电层和所述栅极绝缘层，在所述介电层上形成两个第一连接孔，在所述栅极绝缘层上形成两个第二连接孔，且两个所述第一连接孔分别与两个所述第二连接孔正对，两个所述第二连接孔分别与两个所述重掺杂区正对；

在所述介电层上沉积金属层，且所述金属层均通过两个所述第一连接孔和两个所述第二连接孔，与两个所述重掺杂区电性连接；

图形化所述金属层，形成所述源极和所述漏极。

12、根据权利要求11所述的N型薄膜晶体管的制备方法，其中，在所述栅极绝缘层上形成介电层，具体为：

采用等离子体增强化学的气相沉积法，在所述栅极绝缘层上沉积 SiN_x 和/或 SiO_y ，形成所述介电层。

13、根据权利要求11所述的N型薄膜晶体管的制备方法，其中，在图形化所述介电层和所述栅极绝缘层之前还包括下述步骤：

对所述介电层进行快速退火处理，其中快速退火的温度为550~600摄氏度，退火时间为5~15分钟。

14、根据权利要求11所述的N型薄膜晶体管的制备方法，其中，在所述介电层上沉积金属层，具体为：

采用物理气相沉积的方式，在所述介电层上依次沉积钼、铝、钼金属，形成所述金属层。

15、一种OLED显示面板的制备方法，其中，包括下述步骤：

在基板上方形成多晶硅层；

图形化所述多晶硅层，形成沟道区，以及位于所述沟道区两侧的源极区和漏极区；

在所述多晶硅层上形成栅极绝缘层；

在所述多晶硅层上方形成栅极层，所述栅极层位于所述沟道区上方，且所述栅极层在所述多晶硅层上的投影，与所述源极区和所述漏极区部分重合；其中，所述栅极绝缘层位于所述多晶硅层与所述栅极层之间；

图形化所述栅极层，使所述源极区和所述漏极区上方的栅极层厚度，均小于所述沟道区上方的栅极层厚度；

以所述栅极层作为离子注入掩膜，向所述源极区和所述漏极区进行离子植入，形成两组参杂区，每一组参杂区包括一个重参杂区和与所述重参杂区相连的轻参杂区；

在两个所述重参杂区上方制备源极和漏极，且所述源极和所述漏极分别与两个所述重参杂区电性连接；

其中，在两个所述重参杂区上方制备源极和漏极，包括下述步骤：在所述栅极绝缘层上形成介电层，且所述介电层覆盖所述栅极层；

OLED 显示面板的制备方法还包括：

在介电层上形成平坦层，且所述平坦层覆盖源极和漏极；

图形化所述平坦层，在所述平坦层上形成第三连接孔，所述第三连接孔位于所述源极或者所述漏极上方；

在所述第三连接孔处制备阳极，且所述阳极与所述源极或者所述漏极电性连接；

在所述平坦层上沉积像素定义层，且所述像素定义层覆盖所述阳极；

图形化所述像素定义层，在所述像素定义层上形成第四连接孔，且所述第四连接孔位于所述阳极上方；

在所述第四连接孔处蒸镀有机发光材料，且所述有机发光材料与所述阳极接触。

16、根据权利要求 15 所述的 OLED 显示面板的制备方法，其中，

在所述第三连接孔处制备阳极，具体为：

在所述第三连接孔处沉积铟锡氧化物，并将所述铟锡氧化物图形化形成所述阳极；

所述平坦层和所述像素定义层的材料均为聚酰亚胺。

17、根据权利要求 15 所述的 OLED 显示面板的制备方法，其中，

在基板上方形成多晶硅层之前，还包括下述步骤：

在所述基板上形成缓冲层，其中，所述缓冲层包含 SiO_x 和/或 SiNy ， $x \geq 1$ ， $y \geq 1$ ；

在基板上方形成多晶硅层，包括下述步骤：

在所述缓冲层上沉积非晶硅层；

采用准分子镭射结晶的方式将所述非晶硅层转化为所述多晶硅层；

图形化所述栅极层，包括下述步骤：

在所述栅极层上涂布光阻；

通过半透掩膜板对所述栅极层进行曝光及显影处理，得到光阻半保留部分，所述光阻半保留部分位于所述源极和所述漏极上方；

将所述栅极层位于所述光阻半保留部分的区域进行部分刻蚀；

向所述源极区和所述漏极区进行离子植入，具体为：

采用离子注入技术，向所述源极区和所述漏极区植入磷离子。

18、根据权利要求 15 所述的 OLED 显示面板的制备方法，其中，在两个所述重参杂区上方制备源极和漏极，还包括下述步骤：

图形化所述介电层和所述栅极绝缘层，在所述介电层上形成两个第一连接孔，在所述栅极绝缘层上形成两个第二连接孔，且两个所述第一连接孔分别与两个所述第二连接孔正对，两个所述第二连接孔分别与两个所述重参杂区正对；

在所述介电层上沉积金属层，且所述金属层均通过两个所述第一连接孔和两个所述第二连接孔，与两个所述重参杂区电性连接；

图形化所述金属层，形成所述源极和所述漏极。

19、根据权利要求 15 所述的 OLED 显示面板的制备方法，其中，

在所述栅极绝缘层上形成介电层，具体为：

采用等离子体增强化学的气相沉积法，在所述栅极绝缘层上沉积 SiNx 和/或 SiOy ，形成所述介电层。

20、根据权利要求 18 所述的 OLED 显示面板的制备方法，其中，

在图形化所述介电层和所述栅极绝缘层之前还包括下述步骤：

对所述介电层进行快速退火处理，其中快速退火的温度为 550~600 摄氏

度，退火时间为 5~15 分钟；

在所述介电层上沉积金属层，具体为：

采用物理气相沉积的方式，在所述介电层上依次沉积钼、铝、钼金属，形成所述金属层。

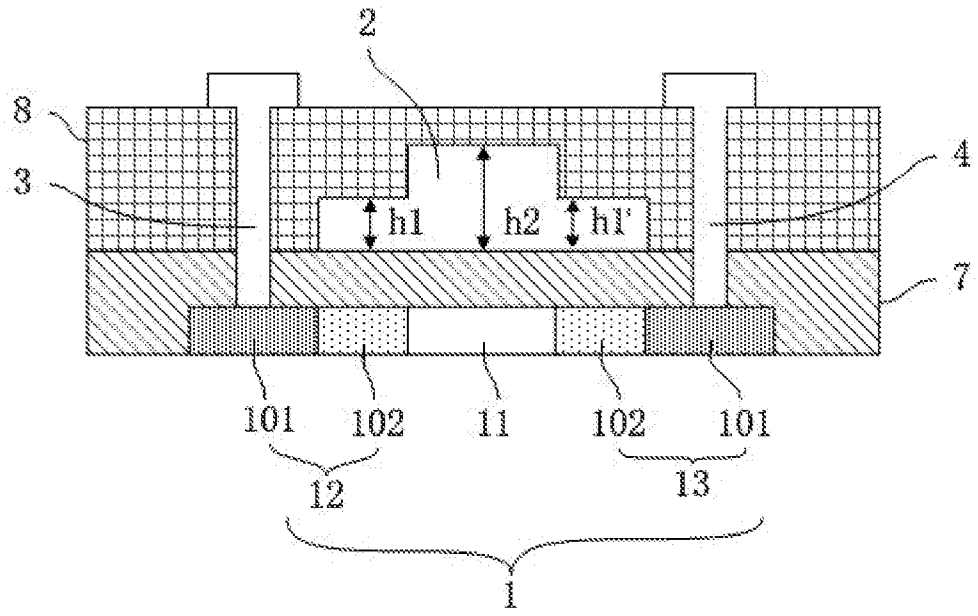


图 1

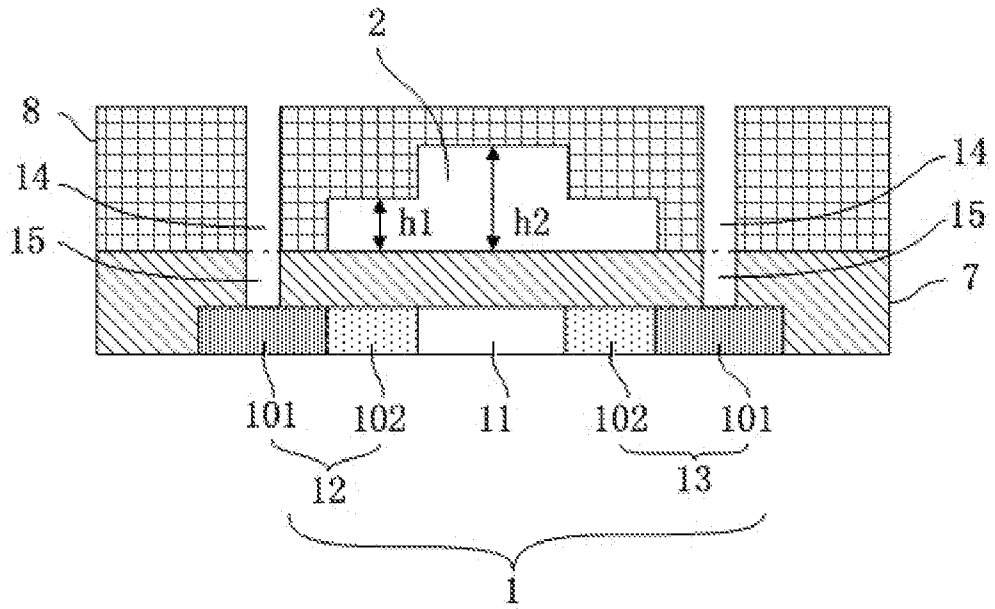


图 2

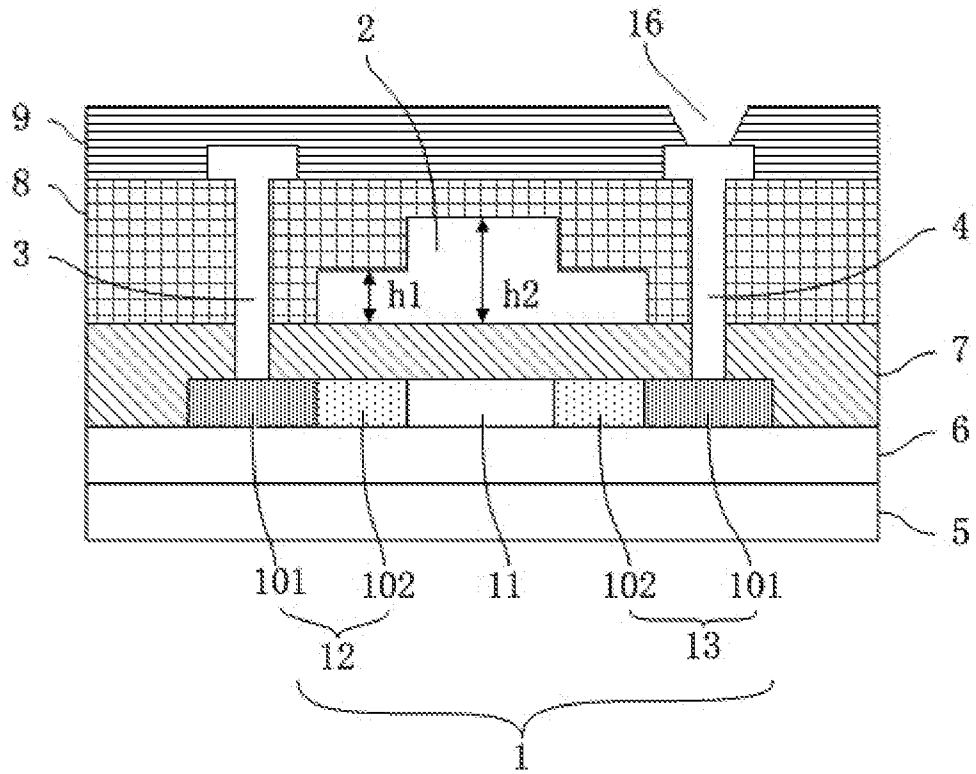


图 3

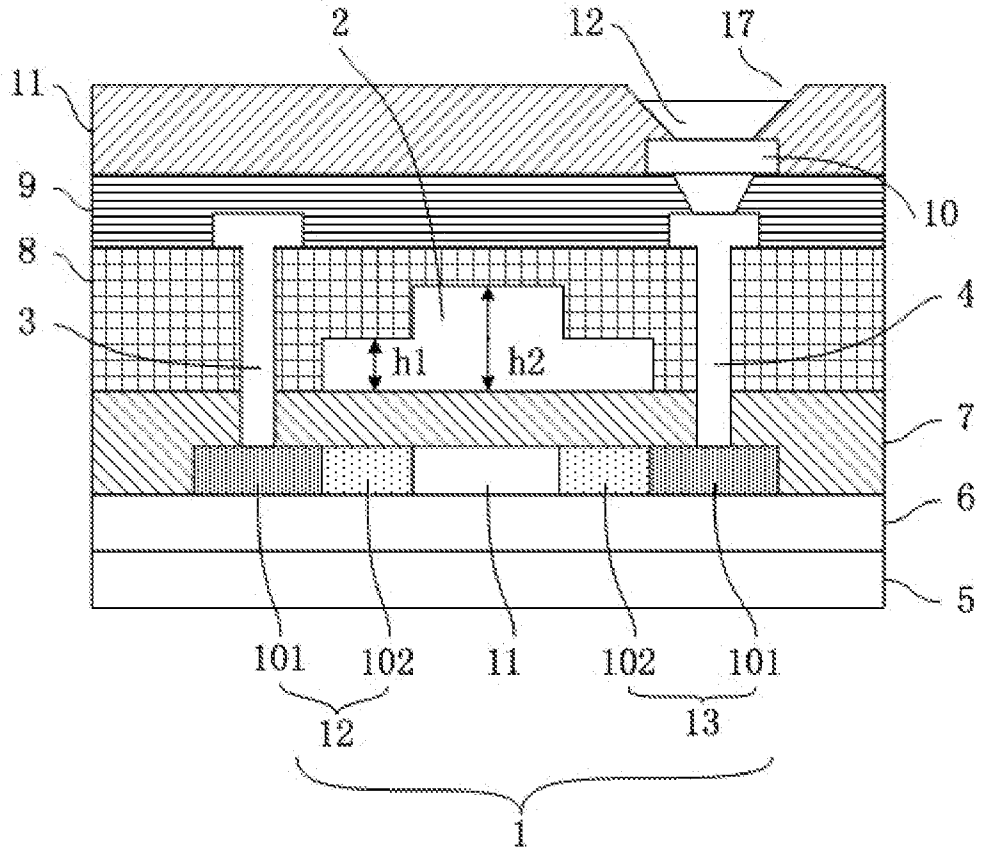


图 4

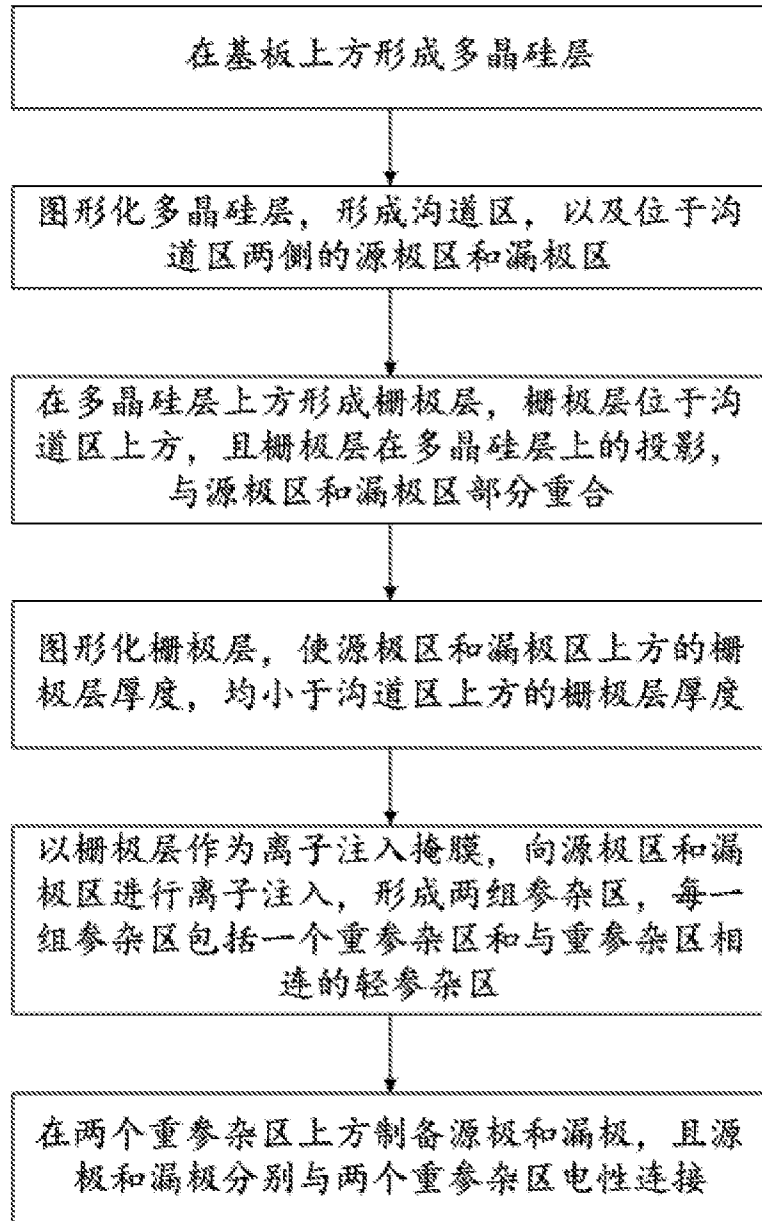


图 5

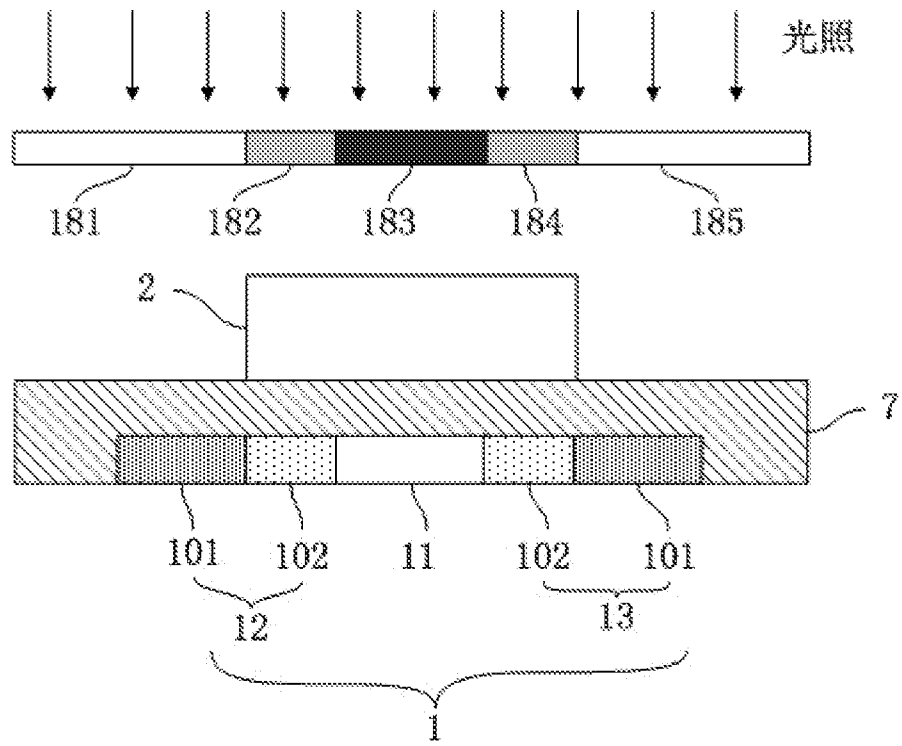


图 6

磷离子植入

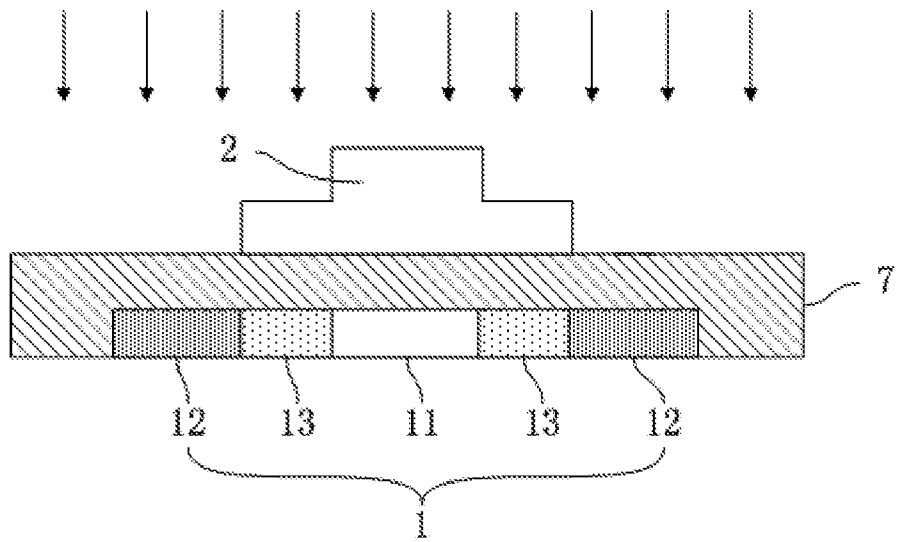


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/109118

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: TFT, thin, film, gate, thick+, stair, step, 薄膜晶体管, 栅, 厚, 阶梯, 掩膜, 离子注入

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105810573 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 July 2016 (27.07.2016), description, paragraphs [0061]-[0091], and figures 1 and 2H	1-20
X	CN 1722366 A (SEMICONDUCTOR ENERGY LAB) 18 January 2006 (18.01.2006), description, page 7, line 10 to page 17, line 22, and figures 5A-9C	1-20
A	CN 104241389 A (SHANGHAI HEHUI OPTOELECTRONIC CO., LTD.) 24 December 2014 (24.12.2014), entire document	1-20
A	CN 104064472 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 September 2014 (24.09.2014), entire document	1-20
A	US 2002017665 A1 (LG ELECTRONICS, INC.) 14 February 2002 (14.02.2002), entire document	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Date of the actual completion of the international search
20 June 2018

Date of mailing of the international search report
05 July 2018

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
LI, Yuan
Telephone No. (86-10) 53961205

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/109118

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105810573 A	27 July 2016	US 2018138295 A1	17 May 2018
		WO 2017156808 A1	21 September 2017
CN 1722366 A	18 January 2006	US 7696100 B2	13 April 2010
		CN 1722366 B	23 June 2010
		US 2010105206 A1	29 April 2010
		US 8563438 B2	22 October 2013
		TW I366218 B	11 June 2012
		US 2005266693 A1	01 December 2005
		TW 200601430 A	01 January 2006
		JP 2006019707 A	19 January 2006
CN 104241389 A	24 December 2014	JP 4954498 B2	13 June 2012
		CN 104241389 B	01 September 2017
		KR 20140148296 A	31 December 2014
		JP 2015005728 A	08 January 2015
		US 2014374718 A1	25 December 2014
		JP 5941492 B2	29 June 2016
		TW 201501243 A	01 January 2015
		US 9401376 B2	26 July 2016
CN 104064472 A	24 September 2014	TW I533408 B	11 May 2016
		WO 2015188522 A1	17 December 2015
		US 9748398 B2	29 August 2017
		US 2016181437 A1	23 June 2016
US 2002017665 A1	14 February 2002	CN 104064472 B	25 January 2017
		US 6329672 B1	11 December 2001
		US 2001048107 A1	06 December 2001
		US 6537843 B2	25 March 2003
		KR 100229678 B1	15 November 1999
		KR 98044186 A	05 September 1998

<p>A. 主题的分类</p> <p>H01L 29/786(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPODOC, CNPAT, CNKI: TFT, thin, film, gate, thick+, stair, step, 薄膜晶体管, 栅, 厚, 阶梯, 掩膜, 离子注入</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105810573 A (深圳市华星光电技术有限公司) 2016年 7月 27日 (2016 - 07 - 27) 说明书第[0061]-[0091]段、附图1-2H</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 1722366 A (株式会社半导体能源研究所) 2006年 1月 18日 (2006 - 01 - 18) 说明书第7页第10行-第17页第22行、附图5A-9C</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 104241389 A (上海和辉光电有限公司) 2014年 12月 24日 (2014 - 12 - 24) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 104064472 A (京东方科技集团股份有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2002017665 A1 (LG ELECTRONICS, INC.) 2002年 2月 14日 (2002 - 02 - 14) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105810573 A (深圳市华星光电技术有限公司) 2016年 7月 27日 (2016 - 07 - 27) 说明书第[0061]-[0091]段、附图1-2H	1-20	X	CN 1722366 A (株式会社半导体能源研究所) 2006年 1月 18日 (2006 - 01 - 18) 说明书第7页第10行-第17页第22行、附图5A-9C	1-20	A	CN 104241389 A (上海和辉光电有限公司) 2014年 12月 24日 (2014 - 12 - 24) 全文	1-20	A	CN 104064472 A (京东方科技集团股份有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-20	A	US 2002017665 A1 (LG ELECTRONICS, INC.) 2002年 2月 14日 (2002 - 02 - 14) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 105810573 A (深圳市华星光电技术有限公司) 2016年 7月 27日 (2016 - 07 - 27) 说明书第[0061]-[0091]段、附图1-2H	1-20																		
X	CN 1722366 A (株式会社半导体能源研究所) 2006年 1月 18日 (2006 - 01 - 18) 说明书第7页第10行-第17页第22行、附图5A-9C	1-20																		
A	CN 104241389 A (上海和辉光电有限公司) 2014年 12月 24日 (2014 - 12 - 24) 全文	1-20																		
A	CN 104064472 A (京东方科技集团股份有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-20																		
A	US 2002017665 A1 (LG ELECTRONICS, INC.) 2002年 2月 14日 (2002 - 02 - 14) 全文	1-20																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2018年 6月 20日</p>		<p>国际检索报告邮寄日期</p> <p>2018年 7月 5日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN)</p> <p>中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>李元</p> <p>电话号码 86-(10)-53961205</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/109118

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105810573	A	2016年 7月 27日	US	2018138295	A1	2018年 5月 17日
				WO	2017156808	A1	2017年 9月 21日
CN	1722366	A	2006年 1月 18日	US	7696100	B2	2010年 4月 13日
				CN	1722366	B	2010年 6月 23日
				US	2010105206	A1	2010年 4月 29日
				US	8563438	B2	2013年 10月 22日
				TW	1366218	B	2012年 6月 11日
				US	2005266693	A1	2005年 12月 1日
				TW	200601430	A	2006年 1月 1日
				JP	2006019707	A	2006年 1月 19日
				JP	4954498	B2	2012年 6月 13日
CN	104241389	A	2014年 12月 24日	CN	104241389	B	2017年 9月 1日
				KR	20140148296	A	2014年 12月 31日
				JP	2015005728	A	2015年 1月 8日
				US	2014374718	A1	2014年 12月 25日
				JP	5941492	B2	2016年 6月 29日
				TW	201501243	A	2015年 1月 1日
				US	9401376	B2	2016年 7月 26日
				TW	1533408	B	2016年 5月 11日
CN	104064472	A	2014年 9月 24日	WO	2015188522	A1	2015年 12月 17日
				US	9748398	B2	2017年 8月 29日
				US	2016181437	A1	2016年 6月 23日
				CN	104064472	B	2017年 1月 25日
US	2002017665	A1	2002年 2月 14日	US	6329672	B1	2001年 12月 11日
				US	2001048107	A1	2001年 12月 6日
				US	6537843	B2	2003年 3月 25日
				KR	100229678	B1	1999年 11月 15日
				KR	98044186	A	1998年 9月 5日

表 PCT/ISA/210 (同族专利附件) (2015年1月)