



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0007811
(43) 공개일자 2018년01월24일

<p>(51) 국제특허분류(Int. Cl.) H01L 27/115 (2017.01) H01L 21/8234 (2006.01)</p> <p>(52) CPC특허분류 H01L 27/11551 (2013.01) H01L 21/823475 (2013.01)</p> <p>(21) 출원번호 10-2016-0089202</p> <p>(22) 출원일자 2016년07월14일 심사청구일자 없음</p>	<p>(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자 구이은 서울특별시 강남구 강남대로54길 17-7, 102호 (도곡동) 김선영 경기도 성남시 분당구 내정로 151, 526동 1305호 (수내동, 양지마을한양5단지아파트) (뒷면에 계속)</p> <p>(74) 대리인 리엔목특허법인</p>
--	--

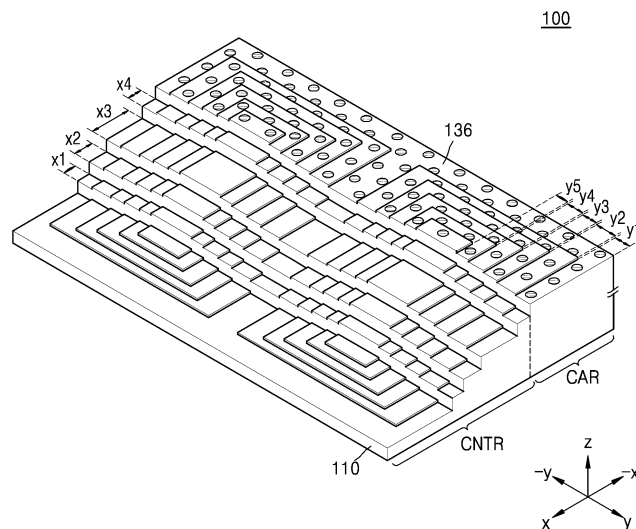
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 수직형 메모리 장치

(57) 요약

본 발명의 예시적 실시예에 따른 수직형 메모리 장치는 상기 기판 상에 기판의 상면과 수직한 제1 방향을 따라 교대로, 그리고 반복적으로 적층된 게이트 전극들 및 절연막 패턴들을 포함하는 적층 구조물, 상기 엠티 영역 상에 상기 적층 구조물과 연결되면서 상기 기판의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역, 상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기판의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역을 포함하되, 상기 제1 콘택 영역의 각 층에 대해 이웃한 상기 각 층이 상기 제2 방향에 따라 돌출된 폭인 제1 폭은 상기 각층마다 서로 다른 것을 특징으로 할 수 있다. 이를 통해서 워드라인 컷을 형성하기 위한 공간을 확보할 수 있고 배선구조의 자유도를 제고시킬 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 27/11548 (2013.01)

H01L 27/11556 (2013.01)

H01L 27/11575 (2013.01)

H01L 27/11578 (2013.01)

H01L 27/11582 (2013.01)

(72) 발명자

윤장근

경기도 화성시 동탄대로22길 30, 610동 302호 (영천동, 동탄센트럴자이)

조후성

경기도 용인시 기흥구 강남동로 43, 402동 1402호 (구갈동, 강남마을4단지썬미트빌아파트)

허성희

서울특별시 강남구 언주로 110, 5동 803호 (개포동, 경남아파트)

명세서

청구범위

청구항 1

엠티 영역과 셀 영역이 정의된 기관;

상기 기관 상에 상기 기관의 상면과 수직한 제1 방향을 따라 교대로, 그리고 반복적으로 적층된 게이트 전극들 및 절연막 패턴들을 포함하는 적층 구조물;

상기 엠티 영역 상에 상기 적층 구조물과 연결되면서 상기 기관의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역; 및

상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기관의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역을 포함하되,

상기 제1 콘택 영역의 각 층에 대해 이웃한 상기 각 층이 상기 제2 방향에 따라 돌출된 폭인 제1 폭은 상기 각 층마다 서로 다른 것을 특징으로 하는 수직형 메모리 장치.

청구항 2

엠티 영역과 셀 영역이 정의된 기관;

상기 기관 상에 상기 기관의 상면과 수직한 제1 방향을 따라 교대로, 그리고 반복적으로 적층된 게이트 전극들 및 절연막 패턴들을 포함하는 적층 구조물;

상기 엠티 영역 상에 상기 적층 구조물과 연결되면서 상기 기관의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역; 및

상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기관의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역을 포함하되,

상기 제1 계단 영역의 각 층에 대해 이웃한 상기 각 층이 상기 제3 방향에 따라 돌출된 폭인 제2 폭은 상기 각 층마다 서로 다른 것을 특징으로 하는 수직형 메모리 장치.

청구항 3

엠티 영역과 셀 영역이 정의된 기관;

상기 기관 상에 상기 기관의 상면과 수직한 제1 방향을 따라 교대로, 그리고 반복적으로 적층된 게이트 전극들 및 절연막 패턴들을 포함하는 적층 구조물;

이웃한 상기 복수의 게이트 전극들 사이에 개재된 복수개의 버퍼 영역;

상기 엠티 영역 상에 상기 적층 구조물과 연결되면서 상기 기관의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역; 및

상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기관의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역을 포함하되,

상기 복수개의 버퍼 영역이 바로 위의 상기 적층 구조물에 대해 상기 제2 방향을 따라 돌출된 폭인 제3폭은 상기 버퍼 영역마다 서로 다르고, 상기 제3 폭 중 가장 작은 폭은 이웃한 상기 게이트 전극간에 돌출된 폭인 제1 폭에 대해 상기 제1 폭 중 가장 큰 폭보다 더 큰 것을 특징으로 하는 수직형 메모리 장치.

청구항 4

엠티 영역과 셀 영역이 정의된 기관;

상기 기관 상에 상기 기관의 상면과 수직한 제1 방향을 따라 교대로, 그리고 반복적으로 적층된 게이트 전극들

및 절연막 패턴들을 포함하는 적층 구조물;

상기 엠티 영역 상에 상기 적층 구조물과 연결되면서 상기 기관의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역;

상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기관의 상면과 평행하고 상기 제2 방향과 수직인 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역; 및

상기 적층 구조물 및 상기 제1 콘택 영역을 분리하며 상기 제2 방향을 따라 연장되는 적어도 하나의 워드라인 컷을 포함하되,

상기 워드라인 컷의 상기 제3 방향에 따른 폭은 상기 제2 방향을 따라 상기 셀 영역에서 멀어질수록 작아지는 것을 특징으로 하는 수직형 메모리 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 계단 영역의 최상면과 최하면과의 상기 제1 방향에 따른 높이 차는 상기 게이트 전극의 상기 제1 방향에 따른 높이보다 작은 것을 특징으로 하는 수직형 메모리 장치.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 계단 영역은 상기 게이트 전극과 동일 레벨에서 형성된 것을 특징으로 하는 수직형 메모리 장치.

청구항 7

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 계단 영역은 상기 제3 방향을 따라 복수번 반복되는 것을 특징으로 하는 수직형 메모리 장치.

청구항 8

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 방향과 수직인 제1 평면에 대해 상기 제1 콘택 영역과 거울상인 제2 콘택 영역; 및

상기 제2 콘택 영역에서 형성되되, 상기 제1 평면에 대해 상기 제1 계단영역과 거울상인 제2 계단 영역을 더 포함하는 것을 특징으로 하는 수직형 메모리 장치.

청구항 9

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 적층 구조물과 연결되면서 상기 제2 방향을 따라서 상기 제1 콘택 영역에 대해 타측으로 계단 구조로 형성된 제2 콘택 영역; 및

상기 제2 콘택 영역상의 상기 복수의 게이트 전극들과 연결되어 상기 기관의 상면과 평행하고 상기 제2 방향과 수직인 제3 방향을 따라 계단 구조로 형성된 제2 계단 영역을 포함하는 것을 특징으로 하는 수직형 메모리 장치.

청구항 10

제9항에 있어서,

상기 제1 계단 영역 및 상기 제2 계단 영역의 최상면과 최하면과의 상기 제1 방향에 따른 높이 차는 상기 게이트 전극의 상기 제1 방향에 따른 높이보다 작은 것을 특징으로 하는 수직형 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 메모리 장치에 관한 것이다. 보다 상세하게, 본 발명의 기술적 사상은 수직형 메모리 장치에 관한 것이다.

배경 기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 메모리 장치의 집적도를 증가시키는 것이 요구되고 있다. 이러한 필요에 따라 최근, 메모리 장치의 고집적화를 위해 기판 표면으로부터 수직하게 메모리 셀들이 적층되는 수직형 메모리 장치가 개발되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 일 과제는 신뢰성이 향상된 수직형 메모리 장치를 제공하는 것이다.
 [0004] 그러나, 본 발명의 기술적 사상이 해결하고자 하는 과제들은 상술한 과제들에 한정되는 것이 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0005] 상술한 과제를 해결하기 위하여 본 발명의 기술적 사상의 실시예들은 수직형 메모리 장치를 제공한다. 엷지 영역과 셀 영역이 정의된 기판, 상기 기판 상에 상기 기판의 상면과 수직한 제1 방향으로 적층된 복수의 게이트 전극들을 포함하는 적층 구조물, 상기 엷지 영역 상에 상기 적층 구조물과 연결되면서 상기 기판의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역, 및 상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기판의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역을 포함하되, 상기 제1 콘택 영역의 각 층에 대해 이웃한 상기 각 층이 상기 제2 방향에 따라 돌출된 폭인 제1 폭은 상기 각층마다 서로 다른 것을 특징으로 할 수 있다.

[0006] 본 발명의 기술적 사상의 일 실시예들 중 하나로서 수직형 메모리 장치는 엷지 영역과 셀 영역이 정의된 기판, 상기 기판 상에 상기 기판의 상면과 수직한 제1 방향으로 적층된 복수의 게이트 전극들을 포함하는 적층 구조물, 상기 엷지 영역 상에 상기 적층 구조물과 연결되면서 상기 기판의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역, 및 상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기판의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역을 포함하되, 상기 제1 계단 영역의 각 층에 대해 이웃한 상기 각 층이 상기 제3 방향에 따라 돌출된 폭인 제2 폭은 상기 각층마다 서로 다른 것을 특징으로 할 수 있다.

[0007] 본 발명의 기술적 사상의 일 실시예들 중 하나로서 수직형 메모리 장치는 엷지 영역과 셀 영역이 정의된 기판, 상기 기판 상에 상기 기판의 상면과 수직한 제1 방향으로 적층된 복수의 게이트 전극들을 포함하는 적층 구조물, 이웃한 상기 복수의 게이트 전극들 사이에 개재된 복수개의 버퍼 영역, 상기 엷지 영역 상에 상기 적층 구조물과 연결되면서 상기 기판의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역 및 상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기판의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역을 포함하되, 상기 복수개의 버퍼 영역이 바로 위의 상기 적층 구조물에 대해 상기 제2 방향을 따라 돌출된 폭인 제3폭은 상기 버퍼 영역마다 서로 다르고, 상기 제3 폭 중 가장 작은 폭은 이웃한 상기 게이트 전극간에 돌출된 폭인 제1 폭에 대해 상기 제1 폭 중 가장 큰 폭보다 더 큰 것을 특징으로 할 수 있다.

[0008] 본 발명의 기술적 사상의 일 실시예들 중 하나로서 수직형 메모리 장치는

[0009] 엷지 영역과 셀 영역이 정의된 기판, 상기 기판 상에 상기 기판의 상면과 수직한 제1 방향으로 적층된 복수의 게이트 전극들을 포함하는 적층 구조물, 상기 엷지 영역 상에 상기 적층 구조물과 연결되면서 상기 기판의 상면과 평행한 제2 방향을 따라서 계단 구조로 형성된 제1 콘택 영역, 상기 제1 콘택 영역상에 상기 게이트 전극에 연결되면서 상기 기판의 상면과 평행하고 상기 제2 방향과 수직한 제3 방향을 따라 계단 구조로 형성된 복수개의 제1 계단 영역 및 상기 제2 방향을 따라 연장되며 상기 적층 구조물 및 상기 제1 콘택 영역을 분리하는 적어도 하나의 워드라인 컷을 포함하되, 상기 워드라인 컷은 상기 제3 방향에 따른 폭은 상기 제2 방향을 따라 상기 셀 영역에서 멀어질수록 작아지는 것을 특징으로 할 수 있다.

발명의 효과

[0010] 본 발명의 기술적 사상에 의하면, 종래에 비해 배선의 자유도가 증가된 수직형 메모리 장치를 제공할 수 있다. 또한 워드라인 컷을 배치하기에 충분한 공간을 확보할 수 있다. 이를 통해 신뢰성이 향상된 수직형 메모리 장치의 제공이 가능하다.

도면의 간단한 설명

[0011] 도 1은 예시적인 실시예들에 따른 수직형 메모리 장치의 셀 어레이의 등가 회로도이다.
 도 2는 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 사시도이다.
 도 3은 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 평면도이다.
 도 4a 내지 도 4c는 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 단면도들이다.
 도 5은 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 평면도이다.
 도 6은 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 2는 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치(100)를 설명하기 위한 사시도이다.
 [0013] 도 3은 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치(100)의 평면도이다.
 [0014] 도 4a 내지 도 4c는 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치(100)를 설명하기 위하여 각각 순서대로 도 3의 절단선 A-A', B-B' 및 C-C'에 따라 취해진 단면도이다.
 [0015] 도 2 내지 도 4c에서, 기관(110)의 상면에 실질적으로 수직인 방향을 제1 방향(z방향), 상기 기관 상면에 평행 하면서 서로 교차하는 두 방향을 각각 제2 방향(x방향) 및 제3 방향(y방향)으로 정의한다. 예를 들면, 상기 제2 방향(x방향) 및 상기 제3 방향(y방향)은 실질적으로 서로 수직으로 교차할 수 있다. 상기 제2 방향(x방향) 및 제3 방향(y방향)은 실질적으로 제1 방향(z방향)에 대하여 수직인 방향들이다. 특별한 기제가 없는 한, 도면상에 화살표로 표시된 방향과 이의 반대 방향은 동일 방향으로 설명한다. 전술한 방향에 대한 정의는 이후 모든 도면들에서 동일하다.
 [0016] 도 2 내지 도 4c를 참조하면 상기 기관(110)은 예를 들어, 실리콘, 게르마늄과 같은 반도체 물질을 포함할 수 있다. 도시되지 않았으나, 상기 기관(110)에 수직형 메모리 장치의 p형 웰(well)이 더 형성될 수 있다. 도면에 도시되지 않았으나, 상기 기관(110)은 활성 영역을 정의하는 소자 분리 영역을 포함한다.
 [0017] 상기 기관(110)은 셀 영역(CAR)과 엣지 영역을 포함할 수 있다. 도 3을 참조하면 엣지 영역이 상기 셀 영역(CAR)의 일측면에만 형성된 것으로 도시하였으나, 본 발명의 기술적 사상이 이에 제한된 것은 아니다. 예컨대 엣지 영역은 셀 영역(CAR)의 상기 제2 방향 및 상기 제2 방향에 반대 방향인 도면상 ±x방향 측면에, 그리고 상기 제3 방향 및 상기 제3 방향에 반대 방향인 도면상 ±y방향 측면에 형성될 수 있다. 다시 말하면, 상기 셀 영역(CAR)은 상기 엣지 영역에 의해 둘러싸인 형상일 수 있다.
 [0018] 상기 기관(110) 상에 상기 제1 방향(z방향)을 따라 교대로, 그리고 반복적으로 적층된 게이트 전극들(122) 및 절연막 패턴들(121)을 포함하는 적층 구조물(120)이 제공될 수 있다. 도 4a에 도시된 것처럼, 기관(110) 바로 위에 형성되는 절연막 패턴(121)은 다른 절연막 패턴들(121) 보다 얇은 두께로 형성될 수 있다. 하지만 본 발명의 기술적 사상이 이에 제한되는 것은 아니고, 기관(110) 바로 위에 형성되는 절연막 패턴(121)은 다른 절연막 패턴들(121)과 같은 두께, 혹은 더 두꺼운 두께로 형성될 수도 있다. 상기 절연막 패턴들(121)은 실리콘 산화물(SiO₂), 실리콘 산탄화물(SiOC) 혹은 실리콘 산불화물(SiOF)과 같은 산화물 계열의 물질을 포함할 수 있다. 상기 절연막 패턴들(121)에 의해 상기 게이트 전극들(122)은 상기 제1 방향(x방향)으로 이격되어 배치될 수 있다.
 [0019] 상기 게이트 전극들(122)은 그라운드 선택 라인, 워드라인들 및 스트링 선택 라인을 포함할 수 있다. 기관(110) 상에 그라운드 선택 라인, 워드라인들 및 스트링 선택 라인이 순차적으로 형성될 수 있다. 다시 말하면 최하층의 상기 게이트 전극(122)은 그라운드 선택라인일 수 있고, 최상층의 상기 게이트 전극(122)은 스트링 선택 라인일 수 있다.
 [0020] 도 2 내지 도 4c에는 최하층의 게이트 전극(122)에 대응되는 그라운드 선택 라인과 최상층의 게이트전극(122)

스트링 선택 라인 사이에 4 개의 워드라인들이 형성된 것으로 간략하게 도시하였지만, 이와는 달리 그라운드 선택 라인과 스트링 선택 라인 사이에 8 개, 16 개, 32 개, 또는 64 개의 워드라인들이 수직 방향으로 적층되고 상기 인접한 워드라인들 사이에 각각 절연막 패턴들(121)이 개재된 적층 구조(120)가 형성될 수 있다. 또한, 그라운드 선택 라인 및 스트링 선택 라인 역시 각각 두 개 이상의 게이트 전극들이 수직 방향으로 적층된 구조로 형성될 수 있다. 게이트 전극들의 적층 수는 회로 설계 디자인 및/또는 상기 수직형 메모리 장치의 집적도를 고려하여 결정될 수 있다.

- [0021] 각 게이트 전극들(122)은 금속 또는 금속 질화물을 포함할 수 있다. 예를 들어, 게이트 전극들(122)은 텅스텐, 텅스텐 질화물, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 백금 등의 전기 저항이 비교적 낮은 금속 혹은 금속 질화물을 포함할 수 있다. 예시적인 실시예들에 있어서, 상기 게이트 전극들(122)은 금속 질화물을 포함하는 배리어막 및 금속을 포함하는 금속막이 적층된 다층막 구조를 가질 수 있다.
- [0022] 한편, 게이트 전극들(122)은 워드라인 컷 영역(도시되지 않음)에 의하여 전기적으로 분리될 수 있다. 또한, 게이트 전극(122) 중 스트링 선택 라인(SSL)은 선택 라인 컷 영역(도시되지 않음)에 의하여 전기적으로 분리될 수 있다. 또한, 워드라인 컷 영역(도시되지 않음)에는 상기 제1 방향으로 연장되는 공통 소스 라인(도시되지 않음)이 형성될 수 있다. 상기 공통 소스 라인(도시되지 않음) 양 측벽에 절연 물질을 포함하는 공통 소스 라인 스페이서(도시되지 않음)가 형성되어, 상기 공통 소스 라인(도시되지 않음)과 상기 게이트 전극들(122)의 전기적 연결을 방지할 수 있다.
- [0023] 상기 엠티 영역 상에 상기 적층 구조물(120)과 연결되면서 상기 기판(110)의 상면과 평행한 제2 방향(X 방향)을 따라서 계단 구조로 형성된 제1 콘택 영역(CNTR)을 더 포함할 수 있다.
- [0024] 즉 임의의 이웃한 두 상기 게이트 전극들(122) 중 제1 방향(Z방향)에 따라 상기 기판(110)의 상면에 더 가까운 상기 게이트 전극(122)은 더 먼 상기 게이트 전극(122) 보다 소정의 간격만큼 상기 제2 방향(x방향)으로 돌출될 수 있다. 또는 상기 게이트 전극들(122)은 상기 기판(110)으로부터 거리가 길어질수록 면적이 감소될 수 있다. 이러한 소정의 간격을 제1 간격(x1 내지 x4)이 할 때, 상기 제1 간격들(x1 내지 x4)은 서로 다를 수 있다. 또는 상기 기판(110)의 상면으로부터 상기 제1 방향(Z방향)에 따른 다른 높이에 대해 상기 제1 간격(x1 내지 x4)은 가변적일 수 있다. 상기 제1 콘택 영역(CNTR)에 워드라인 콘택이 형성될 수 있는데, 이때 상기 제1 간격들이 가변적인바 종래에 비해 더욱 자유로운 배선의 구현이 가능하다.
- [0025] 상기 제1 콘택 영역(CNTR) 상에 상기 게이트 전극(122)과 연결되면서 상기 기판(110)의 상면과 평행하고 상기 제3 방향(y방향)을 따라 계단 구조로 형성된 복수개의 제1 계단 영역(STR)을 포함할 수 있다. 이때 각각의 상기 제1 계단 영역은 상기 제3 방향(y방향) 및 상기 제3 방향(y 방향)의 반대 방향(-y방향)을 따라 형성될 수 있다.
- [0026] 이때 상기 제1 계단 영역(STR)의 각 층에 대해 이웃한 상기 각 층이 상기 제3 방향에 따라 돌출된 폭인 제2 폭은 상기 각층마다 서로 다를 수 있다. 또는 상기 기판(110)의 상면으로부터 상기 제1 방향(Z방향)에 따른 다른 높이에 대해 상기 제2 간격들(y1 내지 y5)은 가변적일 수 있다. 전술했듯 상기 제1 콘택 영역(CNTR)에 워드라인 콘택이 형성 될 수 있는데, 이때 상기 제2 간격들(y1 내지 y5)이 가변적인바 더욱 자유로운 배선의 구현이 가능하다. 종합하면 상기 제1 콘택영역(CNTR) 및 상기 제1 계단 영역(STR)에 의해 실질적으로 직사각형 형태로 형성되는 각각의 면적은 가변적일 수 있다.
- [0027] 상술한대로, 제2 방향(X방향)을 따라 계단 구조의 제1 콘택 영역(CNTR)이 형성되고 상기 제1 콘택 영역(CNTR) 상의 각 워드라인에 제3 방향(y방향)을 따라서 제1 계단 영역(STR)이 반복되는 구조를 계단 분할 패턴(Stair divided pattern, 이하 SDP)이라 한다.
- [0028] 상기 SDP 구조를 형성하기 위한 공정을 수행할 때 제1 콘택 영역상에서(CNTR) 하부 워드라인으로 내려갈수록 상기 제1 계단영역들의 상기 제3 방향(y방향) 폭인 상기 제2 간격이 좁아질 수 있다. 따라서 제2 방향(x방향)으로 길게 형성된 워드라인 컷을 형성하기 위한 공간이 부족할 수 있다. 이때 상기 제 2 간격들(y1 내지 y5)을 적절히 조정함으로써 워드라인 컷을 형성할 수 있는 공간을 확보할 수 있다.
- [0029] 도 2를 참조하면 제1 계단 영역(STR)은 2회 반복되어 형성된 것으로 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예컨대 상기 제1 계단 영역(STR)은 상기 제3 방향(y방향)을 따라서 3, 4, 5회 또는 그 이상 반복되어 형성될 수 있다. 또한 상기 제1 계단 영역(STR)은 6개의 층을 지나는 것처럼 도시되었으나, 본 발명의 기술적 사상이 이에 제한된 것은 아니다. 제1 계단 영역(STR)은 즉 6개 미만이나 6개를 초과하는 층수를 가질 수 있다. 나아가, 서로 다른 제1 계단 영역(STR)의 층수는 서로 다를 수 있다. 또는 제1 계단 영역의 최상층으로부터 제3 방향(y방향)에 따른 층수와 제3 방향에(y방향) 반대 방향(-y방향)에 따른 층수는 다를 수

있다. 다시 말하면 상기 제1 계단 영역(STR)의 형태는 비대칭일 수 있다.

- [0030] 상기 수직형 반도체 장치(100)은 및 게이트 전극들 및 게이트 절연막 및 관통하여 상기 기판과 연결될 수 있다.
- [0031] 상기 채널(130)은 불순물이 도핑된 폴리실리콘을 포함할 수 있고, 이와는 달리 불순물이 도핑되지 않은 폴리실리콘을 포함할 수도 있다. 채널(130)은 수직 방향으로 연장하는 컵 형상(또는 바닥이 막힌 실린더 형상)으로 형성될 수 있고, 채널(130)의 내측벽 상에 매립 절연막(134)이 채워질 수 있다. 매립 절연막(134)의 상면은 채널(130)의 상면과 동일한 레벨 상에 위치할 수 있다. 이와는 달리, 채널(130)은 필라 형상으로 형성될 수 있고, 이러한 경우에 매립 절연막(134)이 형성되지 않을 수 있다.
- [0032] 채널(130)과 게이트 전극들(122) 사이에 절연막 패턴(132)이 개재될 수 있다. 선택적으로, 절연막 패턴(132)과 게이트 전극들(122) 사이에는 배리어 금속층(도시되지 않음)이 더 형성될 수도 있다.
- [0033] 채널(130)은 상기 제3 방향(y방향)을 게이트 전극들(122) 및 절연막 패턴들(121)을 관통하여 연장될 수 있고, 상기 채널(130) 바닥면이 웰 영역(110) 상면에 접촉될 수 있다. 채널(130)은 상기 제2 방향(x 방향) 및 상기 제3 방향(y방향)을 따라 소정의 간격으로 이격되어 배열될 수 있다.
- [0034] 예시적인 실시예들에 있어서, 채널(130)은 불순물이 도핑된 폴리실리콘을 포함할 수 있고, 이와는 달리 불순물이 도핑되지 않은 폴리실리콘을 포함할 수도 있다. 채널(130)은 수직 방향으로 연장하는 컵 형상(또는 바닥이 막힌 실린더 형상)으로 형성될 수 있고, 채널(130)의 내측벽 상에 매립 절연막(134)이 채워질 수 있다. 매립 절연막(134)의 상면은 채널(130)의 상면과 동일한 레벨 상에 위치할 수 있다. 이와는 달리, 채널(130)은 필라 형상으로 형성될 수 있고, 이러한 경우에 매립 절연막(134)이 형성되지 않을 수 있다.
- [0035] 채널(130)과 게이트 전극들(122) 사이에 유전막 구조물(132)이 개재될 수 있다. 선택적으로, 유전막 구조물(132)과 게이트 전극들(122) 사이에는 배리어 금속층(도시되지 않음)이 더 형성될 수도 있다.
- [0036] 상기 기판(110)의 상면 및 상기 채널(130)의 저면 사이에 배치되는 반도체 패턴(도시되지 않음)이 추가적으로 형성될 수도 있다. 이 경우, 채널(130)은 상기 반도체 패턴의 상면상에 구비되며, 유전막 구조물(132)은 상기 반도체 패턴 상면의 주변부상에 구비될 수 있다. 상기 반도체 패턴은 예를 들면, 단결정 실리콘 또는 다결정 실리콘을 포함할 수 있다.
- [0037] 한편, 상술한 반도체 패턴이 채널(130) 및 기판(110) 사이에 배치되는 경우, 접지 선택 라인(GSL)으로 기능할 수 있는 최하층의 게이트 전극(122)은 상기 반도체 패턴의 외측벽을 감싸면서 연장할 수 있다. 이 경우, 상기 게이트 전극(122)과 상기 반도체 패턴의 외측벽과의 사이에는 절연막 패턴(도시되지 않음)이 더 형성될 수 있다.
- [0038] 상기 유전막 구조물(132), 상기 채널(130) 및 상기 채널 매립 절연막(134)상에는 도전성 패드(136)가 형성될 수 있다. 상기 도전성 패드(136)는 유전막 구조물(132), 채널(130) 및 매립 절연막(134)을 캡핑(capping)하는 형상을 가질 수 있다. 상기 도전성 패드(136)는 도핑된 다결정 실리콘 또는 도핑된 단결정 실리콘을 포함할 수 있으며, 인(P), 비소(As) 등과 같은 n 형 불순물을 더 포함할 수도 있다.
- [0039] 도 2에 도시된 바와 같이, 상기 도전성 패드들(136)은 상기 제2 방향(x방향) 및 제3 방향(y방향)을 따라 복수개로 배열될 수 있다. 이에 따라, 도전성 패드들(136)의 배열에 대응하여, 각각 채널(130), 유전막 구조물(132) 및 매립 절연막(134)을 포함하는 복수의 채널 구조들(130)은 상기 제2 방향(x방향) 및 제3 방향(y방향)을 따라 복수개로 배열될 수 있다. 필요에 따라 상기 도전성 패드들(136)은 벌집구조(honeycomb)에 따라 배열될 수 있다.
- [0040] 벌집구조라 함은 육각형으로 분할된 평면상에서 각 상기 육각형들의 각 꼭짓점과 중심점에 도전성패드의 중심이 배치되는 것을 말한다. 구체적으로, 육각형으로 분할된 평면이라 함은 임의의 육각형의 6개의 꼭짓점들이 각각은 인접하여 배치된 같은 크기의 6개의 육각형의 각각의 중심점이 되고, 상기 임의의 육각형의 중심점은 인접한 6개의 육각형에 의해 서로 공유되는 구조를 말한다.
- [0041] 예시적인 실시예들에 있어서, 최상층의 상기 절연막 패턴(121)상에는 상부 절연막(124)이 형성될 수 있다. 상기 상부 절연막(124)은, 예를 들면, 실리콘 산화물과 같은 절연 물질을 포함할 수 있다.
- [0042] 예시적인 실시예들에 있어서, 상기 상부 절연막(124)을 관통하는 상기 도전성 패드들(136)이 형성될 수 있고, 상기 도전성 패드들(136) 상에 접촉하는 비트라인 콘택(138)이 형성될 수 있다. 상기 비트라인 콘택(138)과 상기 비트라인(BL)이 전기적으로 연결될 수 있다.

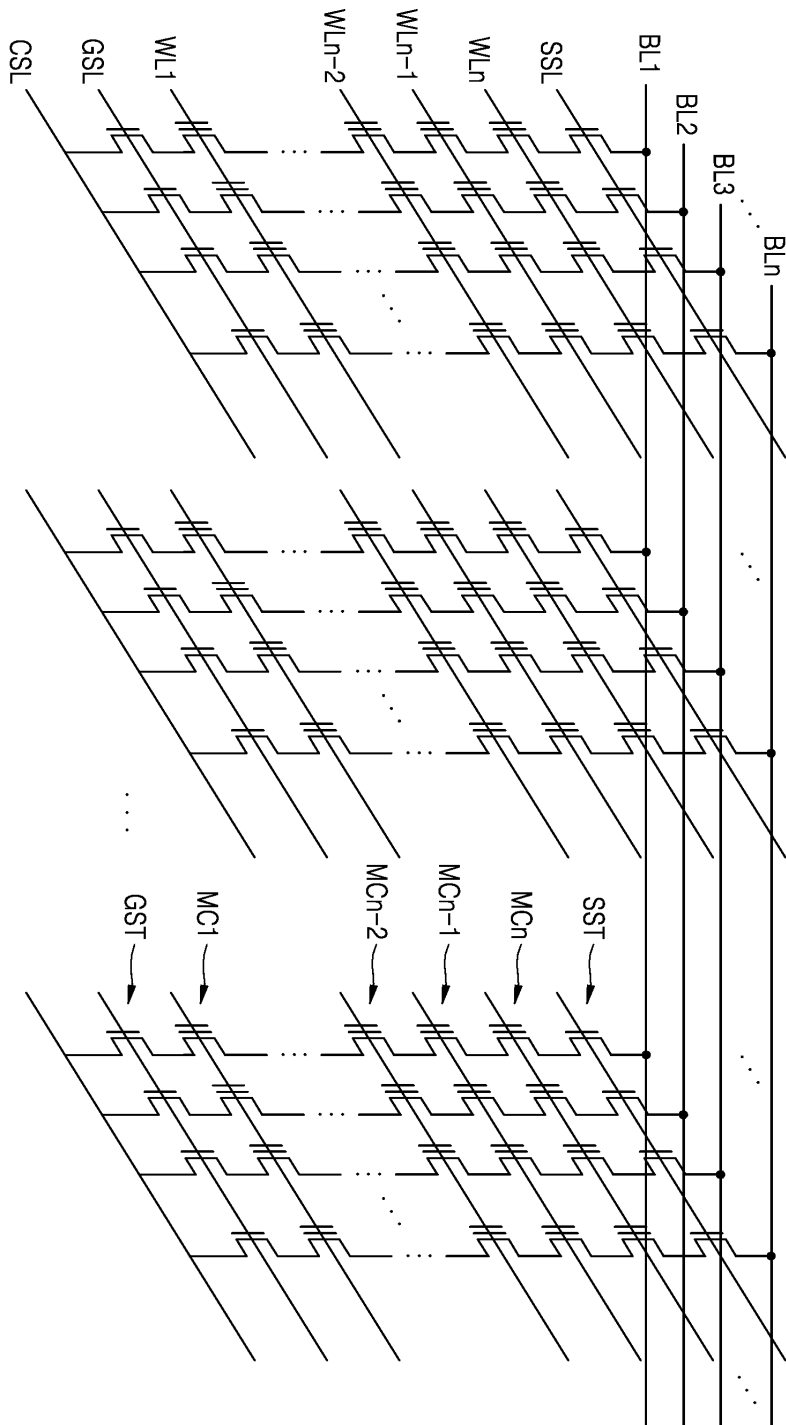
- [0043] 도 4a를 참조하면 SSL, 즉 최상층의 상기 게이트 전극(122) 상에 형성되는 제1 계단 영역(STR)은 상기 상부 절연막(124)이 식각되어 형성되고 상기 절연막 패턴(121)이 노출되지 않는 것으로 도시되었으나 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 즉 상기 제1 계단 영역(STR)에서 상기 절연막 패턴(121)은 부분적으로 노출될 수 있다.
- [0044] 도 4c를 참조하면 워드라인 구조물상에 형성되는 제1 계단영역(STR)은 워드라인, 즉 상기 게이트 전극(122)을 식각하여 형성되고, 상기 절연막 패턴(121)은 노출되지 않는다.
- [0045] 임의의 두 상기 게이트 전극(122)에 대해 상기 기판(110)의 상면으로부터 더 멀리 이격된 상기 게이트 전극(122)과 연결되는 제1 계단 영역(STR)의 최하층이, 상기 기판(110)의 상면으로부터 더 가깝게 이격된 게이트 전극(122)과 연결되는 제1 계단 영역(STR)의 최상층 보다 상기 기판(110)의 상면으로부터 더 멀리 이격 될 수 있다. 즉, 상기 제1 계단 영역(STR)의 최상면과 최하면과의 상기 제1 방향(z방향)에 따른 높이 차는 상기 게이트 전극(122)의 상기 제1 방향(z방향)에 따른 높이보다 작을 수 있다. 즉, 상기 제1 계단 영역(STR)은 연결되는 상기 게이트 전극(122)과 동일 레벨에서 형성될 수 있다.
- [0046] 도 2 및 도 3을 참조하면 상기 제 2방향(X 방향)을 따라서 제1 콘택 영역(CNTR)이 형성된 것으로 도시하였으나 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 필요에 따라 콘택 영역 및 제1 계단영역이 상기 제2 방향(X 방향)에 대해 반 평행한 방향, 즉 도면상 -x방향을 따라서 형성될 수도 있다. 예시적인 실시예들에 있어서 수직형 메모리 장치는 즉 도면상 yz평면과 평행한 평면중 어느 하나에 대해 실질적으로 대칭인 구조를 취할 수 있다. 또는, 상기 제1 콘택 영역(CNTR)과 및 제1 계단 영역들(STR)과 거울상(mirror)에 해당하는 제2 콘택 영역(CNTR) 및 제2 계단 영역을 포함할 수 있다. 즉 상기 제2 방향(x 방향)에 대해 반 평행한 방향, 즉 도면상 -x방향을 따라서 제2 콘택 영역 및 제 2계단 영역이 형성될 수도 있다. 또는 도면상 $\pm x$ 방향 및 $\pm y$ 방향을 따라 총 4개의 콘택 영역이 형성될 수 있다. 또한 각각의 콘택 영역 상의 게이트 전극과 연결되는 계단 영역들이 형성될 수 있다.
- [0047] 도 5는 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치(200)를 설명하기 위한 평면도이다.
- [0048] 이하에서는 설명의 편의상, 도 2 내지 도 4c를 이용하여 설명한 것과 다른 점을 위주로 설명한다. 본 도면은 도 3에 대응되는 평면도 이다.
- [0049] 게이트 전극들(122) 및 절연막 패턴들(121)은 워드라인 컷(WLC)에 의하여 전기적으로 분리될 수 있다. 이때 전술하였듯이 상기 SDP 구조를 형성하기 위한 공정을 수행할 때 제1 콘택 영역상에서(CNTR) 하부 워드라인으로 내려갈수록 상기 제1 계단영역들의 상기 제3 방향(y방향) 폭인 상기 제2 간격이 좁아질 수 있다. 즉 셀 영역에서 멀어질수록 상기 워드라인 컷(WLC)의 폭을 좁아지도록 형성할 수 있다. 이를 통해서 SDP 구조에서 셀 영역에서 멀어질수록 워드라인 컷을 형성하기 위한 공간이 부족해지는 문제를 해결할 수 있다.
- [0050] 도 6은 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 사시도이다.
- [0051] 이하에서는 설명의 편의상 도 2 내지 도 4c를 이용하여 설명한 것과 다른 점을 위주로 설명한다. 본 도면은 도 2에 대응된다.
- [0052] 본 발명의 본 발명의 예시적인 실시예들에 따른 수직형 메모리 장치(300)은 인접한 게이트 전극들(122, 도2 참조) 사이에 개재된 복수개의 버퍼 영역(BFR)을 포함할 수 있다.
- [0053] 이때 상기 버퍼 영역(BFR)의 제2 방향(X 방향)에 따른 폭인 제3 폭(L1, L2)은 서로 다를 수 있다 이때 상기 버퍼 영역(BFR)에는 콘택이 형성되지 않는데 상기 버퍼 영역의 길이를 임의로 조정함으로써, 워드라인 콘택과 연결되는 배선 밀도가 지나치게 높아지는 것을 방지할 수 있다.
- [0054] 도면상 $L1 < L2$ 을 만족하는 것으로 도시 되었으나 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예컨대 $L1 > L2$ 이거나 $L1 = L2$ 를 만족하는 경우도 가능하다. 또한, 두 개의 버퍼 영역(BFR)이 형성되는 것으로 도시되었으나 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉 세 개 이상의 버퍼 영역(BFR)이 형성될 수도 있고, 각각의 x 방향에 따른 폭인 제3폭들도 서로 다를 수 있다.
- [0055] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 변형 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

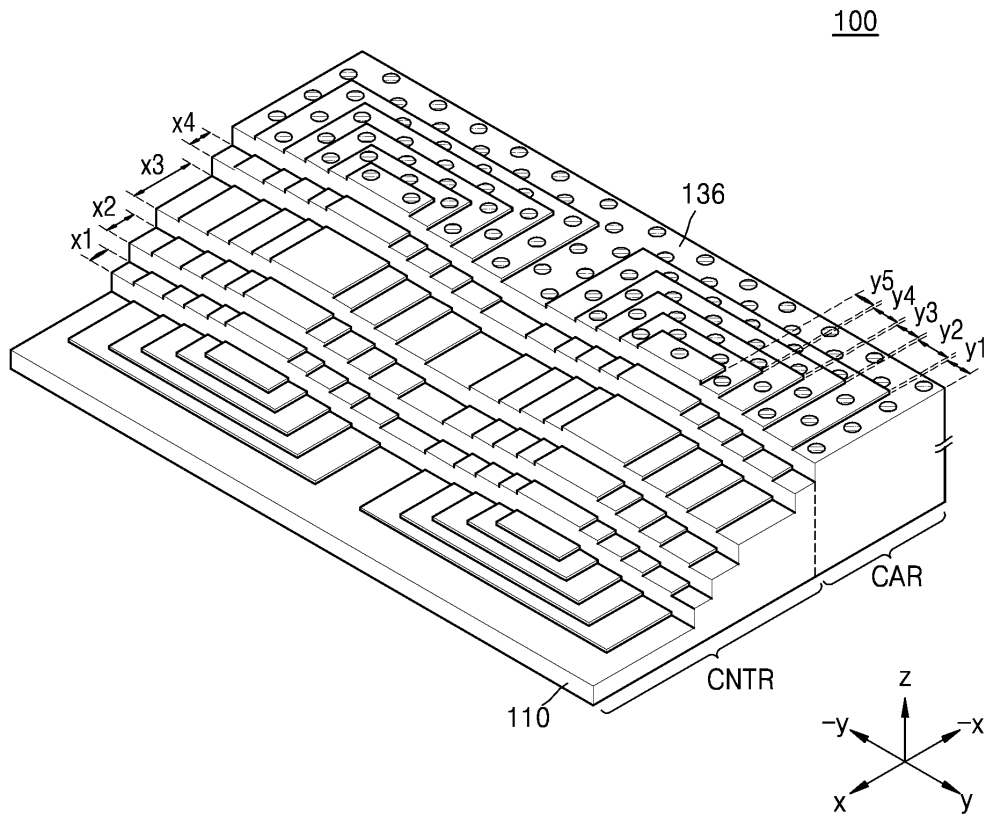
- [0056] 120 : 적층 구조물
- 122 : 게이트
- 121 : 절연막 패턴
- 124 : 상부 절연막
- 130 : 채널 구조
- 132 : 유전막 구조물
- 134 : 매립 절연막
- 136 : 매립막 패턴
- 136 : 도전성 패드
- 138 : 비트라인 콘택
- BL : 비트라인
- BFR: 버퍼 영역
- STR : 계단영역
- CNTR : 콘택영역
- CAR : 셀 영역

도면

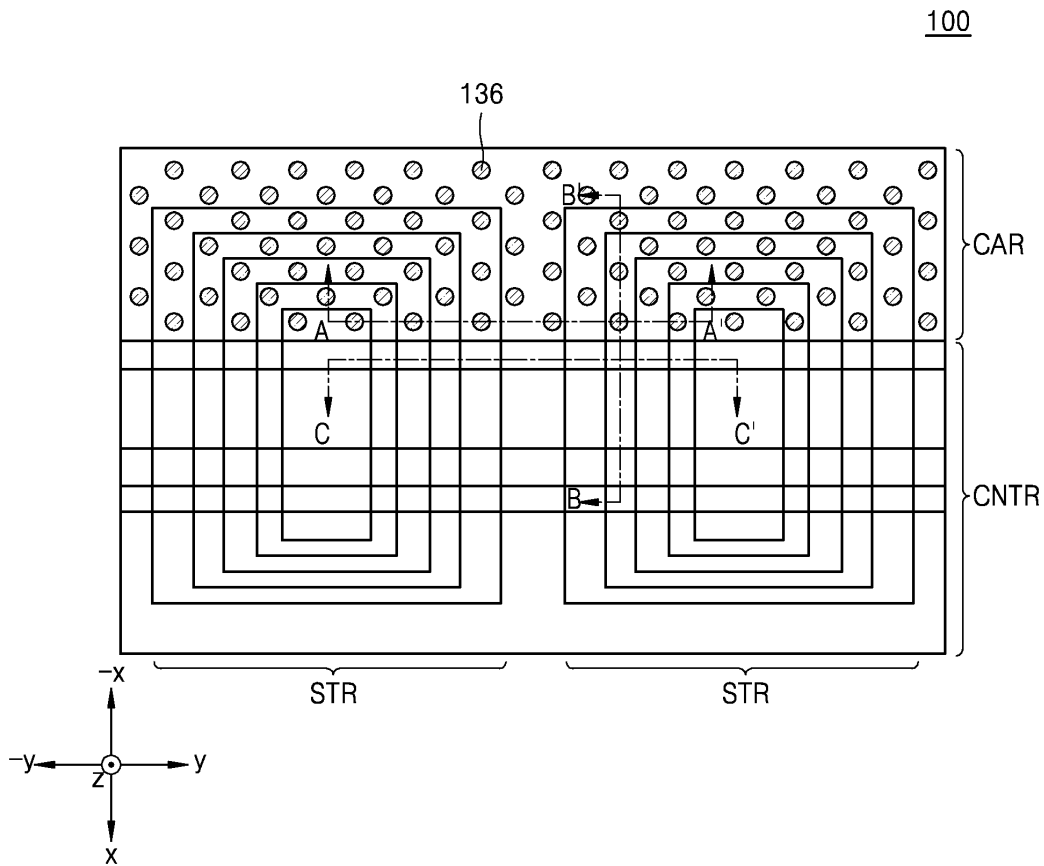
도면1



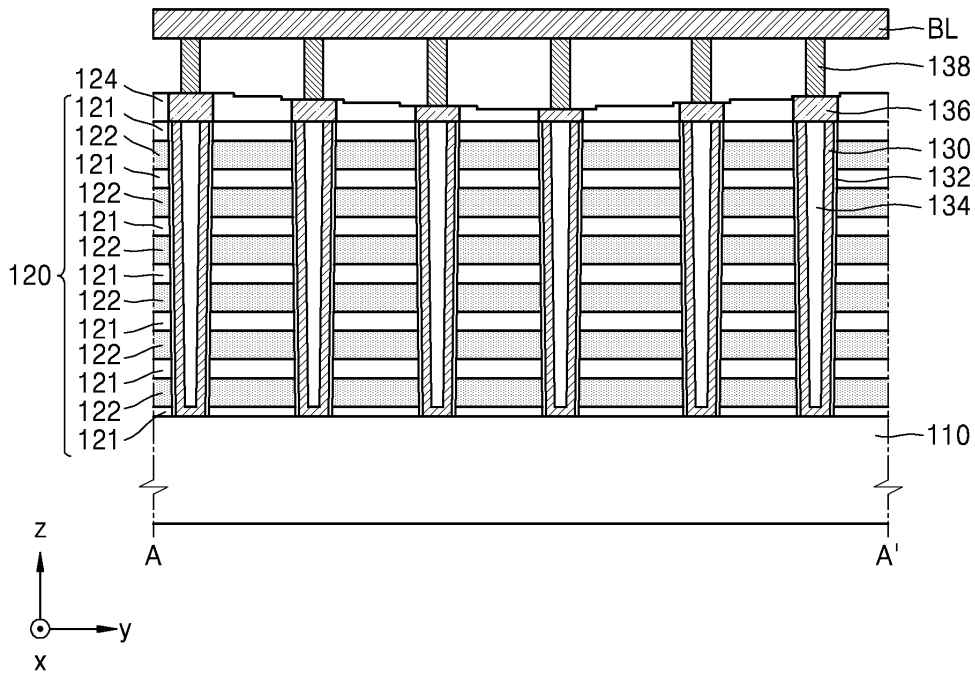
도면2



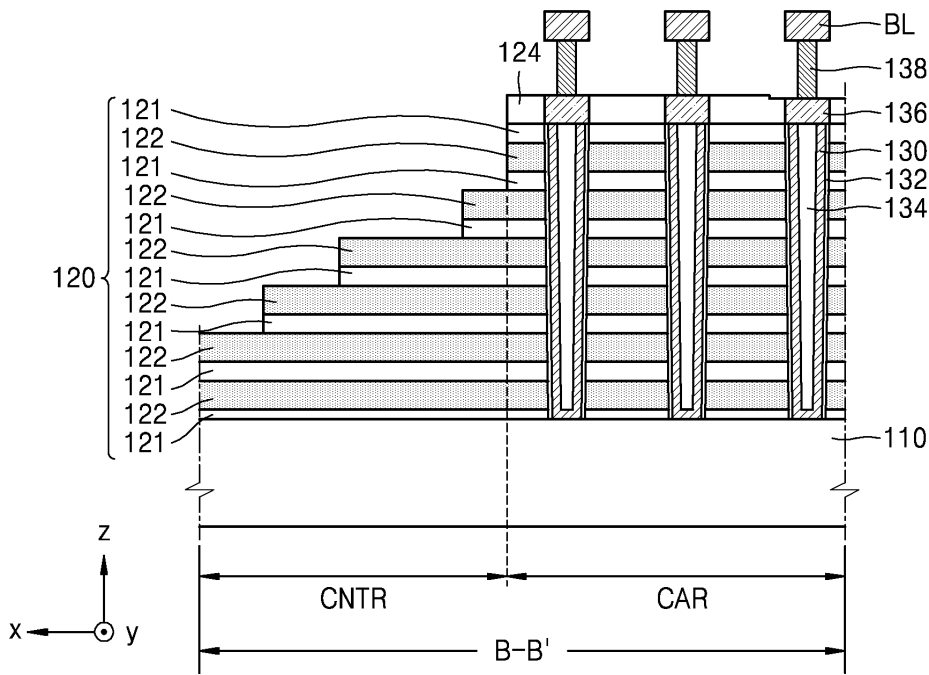
도면3



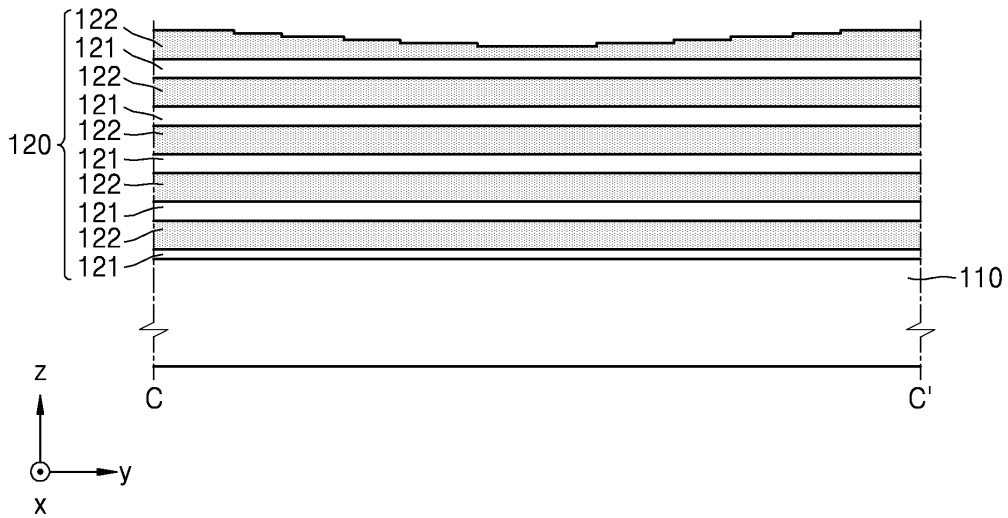
도면4a



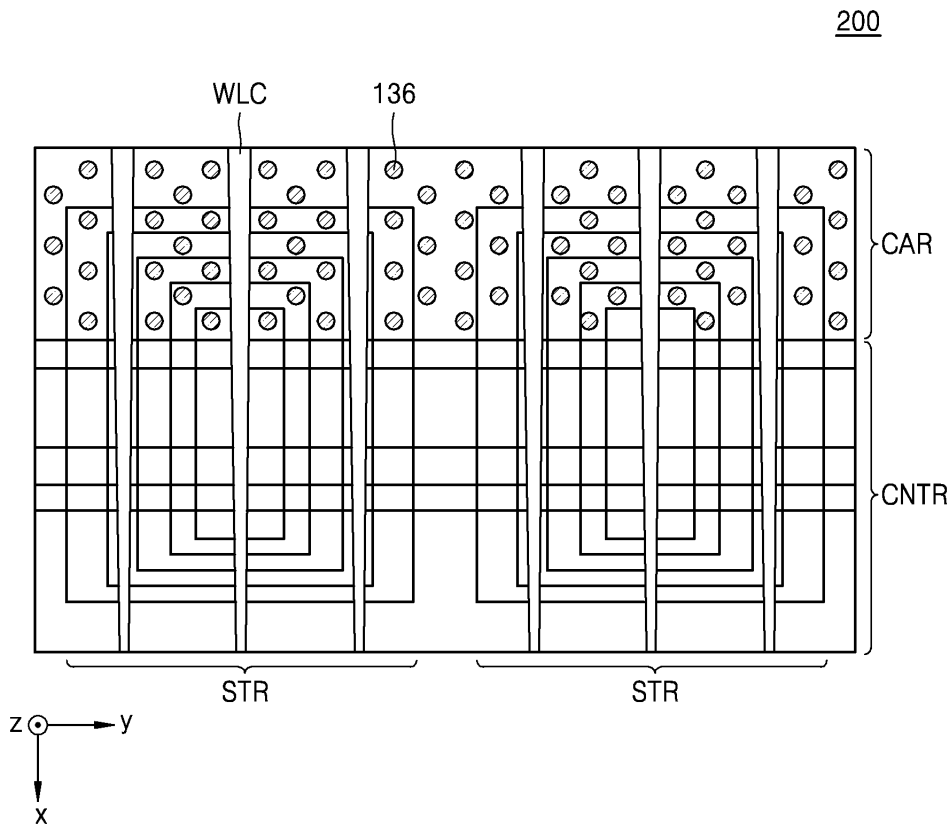
도면4b



도면4c



도면5



도면6

