

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02006/097982

発行日 平成20年8月21日(2008.8.21)

(43) 国際公開日 平成18年9月21日(2006.9.21)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 1/073 (2006.01)	GO 1 R 1/073	F 2 G 0 0 3
HO 1 L 21/66 (2006.01)	HO 1 L 21/66	B 2 G 0 1 1
GO 1 R 31/26 (2006.01)	GO 1 R 31/26	J 4 M 1 0 6

審査請求 有 予備審査請求 有 (全 33 頁)

出願番号 特願2007-507953 (P2007-507953)	(71) 出願人 503121103 株式会社ルネサステクノロジ
(21) 国際出願番号 PCT/JP2005/004344	東京都千代田区大手町二丁目6番2号
(22) 国際出願日 平成17年3月11日(2005.3.11)	(74) 代理人 100080001 弁理士 筒井 大和
(81) 指定国 AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW	(72) 発明者 長谷部 昭男 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
	(72) 発明者 松本 秀幸 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
	(72) 発明者 寄崎 眞吾 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

プローブ検査時において、チップ内に形成された回路を破壊することなく探針をテストパッドに接触させるために、ナット11、13およびボルト16Cによる固定によって、加重治具14、押圧具9、エラストマ9A、接着リング6およびプランジャ3を一体とし、ばね押さえ治具18と加重治具14との間に設置されたばね19の弾性力がこれら一体となった部材をパッドPD3、PD4に向かって押し下げるように作用するようにし、プランジャ3内のばね3Aから薄膜シート2へ伝わる押圧力は、薄膜シート2の引き伸ばしのみにより用いられるようにする。

【特許請求の範囲】

【請求項 1】

以下の工程を含む半導体集積回路装置の製造方法：

(a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程、

(b) 第 1 配線が形成された第 1 配線基板と、前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する第 2 配線が形成され、前記第 2 配線が前記第 1 配線と電氣的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第 1 配線基板に保持された第 1 シートと、前記第 1 シートのうち前記複数の接触端子が形成された第 1 領域を前記第 1 配線基板から離間して保持する接着リングと、前記第 1 シートのうち前記第 1 領域を裏面側から押し出す押し出し機構と、前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有する第 1 カードを用意する工程、

(c) 前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させて前記半導体集積回路の電氣的検査を行う工程。

ここで、前記押し出し機構による前記第 1 領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御される。

【請求項 2】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記接触端子の先端は、前記接着リングより押し出されている。

【請求項 3】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記 (c) 工程時において、1 つの前記接触端子に加わる荷重は 3 g 未満である。

【請求項 4】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記半導体ウエハの前記主面上には、 SiO_2 と比べて誘電率の低い絶縁膜が形成されている。

【請求項 5】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記半導体集積回路は、前記第 1 電極下に配置されている。

【請求項 6】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記第 1 電極は、金を主成分とした突起電極またはアルミニウムを主成分としたパッド電極である。

【請求項 7】

以下の工程を含む半導体集積回路装置の製造方法：

(a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程、

(b) 第 1 配線が形成された第 1 配線基板と、前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する第 2 配線が形成され、前記第 2 配線が前記第 1 配線と電氣的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第 1 配線基板に保持された第 1 シートと、前記第 1 シートのうち前記複数の接触端子が形成された第 1 領域を前記第 1 配線基板から離間して保持する接着リングと、前記第 1 シートのうち前記第 1 領域を裏面側から押し出す押し出し機構と、前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有する第 1 カードを用意する工程、

(c) 前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させて前記半導体集積回路の電氣的検査を行う工程。

10

20

30

40

50

ここで、前記押し出し機構は、前記第 1 シートの前記第 1 領域の前記裏面側に貼付され、
前記押し出し機構による前記第 1 領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御される。

【請求項 8】

請求項 7 記載の半導体集積回路装置の製造方法において、
前記接触端子の先端は、前記接着リングより押し出されている。

【請求項 9】

請求項 7 記載の半導体集積回路装置の製造方法において、
前記 (c) 工程時において、1 つの前記接触端子に加わる荷重は 3 g 未満である。

10

【請求項 10】

請求項 7 記載の半導体集積回路装置の製造方法において、
前記半導体ウエハの前記主面上には、 SiO_2 と比べて誘電率の低い絶縁膜が形成されている。

【請求項 11】

請求項 8 記載の半導体集積回路装置の製造方法において、
前記半導体集積回路は、前記第 1 電極下に配置されている。

【請求項 12】

請求項 9 記載の半導体集積回路装置の製造方法において、
前記第 1 電極は、金を主成分とした突起電極またはアルミニウムを主成分としたパッド電極である。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の電極パッドにプローブカードの探針を押し当てて行う半導体集積回路の電氣的検査に適用して有効な技術に関するものである。

【背景技術】

【0002】

日本特開平 8 - 220138 号公報 (特許文献 1) には、半導体素子の電気特性の測定に際して、軸からの荷重と薄膜の張力に起因する押さえ板の反りを防ぎ、半導体素子との良好なコンタクトを得るプローブカードが開示されている。

30

【0003】

また、日本特開平 9 - 43276 号公報 (特許文献 2) には、広い面積にわたって電極パッドに接触子をコンタクトさせる場合でも、全ての接触子の接触点に対して略均等に圧力を加えることのできるプローブカードデバイスが開示されている。

【特許文献 1】特開平 8 - 220138 号公報

【特許文献 2】特開平 9 - 43276 号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0004】

半導体集積回路装置の検査技術としてプローブ検査がある。このプローブ検査は、所定の機能どおりに動作するか否かを確認する機能テストや、DC 動作特性および AC 動作特性のテストを行って良品 / 不良品を判別するテスト等を含む。

【0005】

近年、半導体集積回路装置の多機能化が進行し、1 個の半導体チップ (以下、単にチップと記す) に複数の回路を作りこむことが進められている。また、半導体集積回路装置の製造コストを低減するために、半導体素子および配線を微細化して、半導体チップ (以下、単にチップと記す) の面積を小さくし、ウエハ 1 枚当たりの取得チップ数を増加することが進められている。そのため、テストパッド (ボンディングパッド) 数が増加するだけ

50

でなく、テストパッド下にも回路を配置することが検討されている。そのため、探針がテストパッドに接触した際の衝撃で回路が破壊してしまう虞がある。

【 0 0 0 6 】

また、回路動作を早くするために上層の配線と下層の配線との間の層間絶縁膜として機械的強度が低く比誘電率の低い絶縁膜を用いることが検討されている。このような比誘電率の低い絶縁膜を層間絶縁膜として用いた場合には、探針がテストパッドに接触した際の衝撃がさらに回路に伝わりやすくなり、回路破壊を引き起こしやすくなってしまいう課題がある。

【 0 0 0 7 】

本願に開示された一つの代表的な発明の他の目的は、プローブ検査時において、チップ内に形成された回路を破壊することなく探針をテストパッドに接触させられる技術を提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

本願において開示される発明のうち、一つの代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 0 9 】

本発明による半導体集積回路装置の製造方法は、以下の工程を含む。

(a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電気的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程、

(b) 第 1 配線が形成された第 1 配線基板と、前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電気的に接続する第 2 配線が形成され、前記第 2 配線が前記第 1 配線と電気的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第 1 配線基板に保持された第 1 シートと、前記第 1 シートのうち前記複数の接触端子が形成された第 1 領域を前記第 1 配線基板から離間して保持する接着リングと、前記第 1 シートのうち前記第 1 領域を裏面側から押し出す押し出し機構と、前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有する第 1 カードを用意する工程、

(c) 前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させて前記半導体集積回路の電気的検査を行う工程。

【 0 0 1 0 】

ここで、前記押し出し機構による前記第 1 領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御される。

【 0 0 1 1 】

また、本発明による半導体集積回路装置の製造方法は、以下の工程を含む。

(a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電気的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程、

(b) 第 1 配線が形成された第 1 配線基板と、前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電気的に接続する第 2 配線が形成され、前記第 2 配線が前記第 1 配線と電気的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第 1 配線基板に保持された第 1 シートと、前記第 1 シートのうち前記複数の接触端子が形成された第 1 領域を前記第 1 配線基板から離間して保持する接着リングと、前記第 1 シートのうち前記第 1 領域を裏面側から押し出す押し出し機構と、前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有する第 1 カードを用意する工程、

(c) 前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させて前記半導体集積回路の電気的検査を行う工程。

【 0 0 1 2 】

ここで、前記押し出し機構は、前記第 1 シートの前記第 1 領域の前記裏面側に貼付され

、
前記押し出し機構による前記第 1 領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御される。

【 0 0 1 3 】

また、本願に開示されたその他の概要を項に分けて簡単に説明するとすれば、以下の通りである。

1 . 第 1 配線が形成された第 1 配線基板と、

半導体ウエハの主面に形成された複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電気的に接続する第 2 配線が形成され、前記第 2 配線が前記第 1 配線と電気的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第 1 配線基板に保持された第 1 シートと、

前記第 1 シートのうち前記複数の接触端子が形成された第 1 領域を前記第 1 配線基板から離間して保持する接着リングと、

前記第 1 シートのうち前記第 1 領域を裏面側から押し出す押し出し機構と、

前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有し、

前記押し出し機構による前記第 1 領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御されるプローブカード。

2 . 第 1 配線が形成された第 1 配線基板と、

半導体ウエハの主面に形成された複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電気的に接続する第 2 配線が形成され、前記第 2 配線が前記第 1 配線と電気的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第 1 配線基板に保持された第 1 シートと、

前記第 1 シートのうち前記複数の接触端子が形成された第 1 領域を前記第 1 配線基板から離間して保持する接着リングと、

前記第 1 シートのうち前記第 1 領域を裏面側から押し出す押し出し機構と、

前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有し、

前記押し出し機構は、前記第 1 シートの前記第 1 領域の前記裏面側に貼付され、

前記押し出し機構による前記第 1 領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御されるプローブカード。

【発明の効果】

【 0 0 1 4 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 1 5 】

プローブ検査時において、チップ内に形成された回路を破壊することなく探針（プローブ）をテストパッドに接触させることができる。

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】本発明の実施の形態 1 である半導体集積回路装置の要部断面図である。

【図 2】本発明の実施の形態 1 である半導体集積回路装置の要部断面図である。

【図 3】本発明の実施の形態 1 であるプローブカードを用いてプローブ検査を行う対象の半導体チップの平面図である。

【図 4】図 3 に示した半導体チップに形成されたパッドの斜視図である。

【図 5】図 4 に示した半導体チップの液晶パネルへの接続方法を示す要部断面図である。

【図 6】本発明の実施の形態 1 であるプローブカードの下面の要部平面図である。

【図 7】図 6 中の A - A 線に沿った断面図である。

【図 8】本発明の実施の形態 1 であるプローブカードと比較したプローブカードを用いた

10

20

30

40

50

場合におけるストローク量と荷重との関係を示した説明図である。

【図 9】本発明の実施の形態 1 であるプローブカードを用いた場合におけるストローク量と荷重との関係を示した説明図である。

【図 10】本発明の実施の形態 1 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 11】図 10 中の B - B 線に沿った断面図である。

【図 12】図 10 中の C - C 線に沿った断面図である。

【図 13】本発明の実施の形態 1 であるプローブカードを形成する薄膜シートの要部を拡大して示す断面図である。

【図 14】本発明の実施の形態 1 であるプローブカードを用いてプローブ検査を行う対象の半導体チップの平面図である。

【図 15】本発明の実施の形態 1 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 16】本発明の実施の形態 1 であるプローブカードを用いてプローブ検査を行う対象の半導体チップに設けられたパンプ電極上にてプローブが接触する位置を示した要部平面図である。

【図 17】本発明の実施の形態 1 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 18】本発明の実施の形態 1 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 19】図 18 中の D - D 線に沿った断面図である。

【図 20】図 18 中の E - E 線に沿った断面図である。

【図 21】本発明の実施の形態 1 であるプローブカードを形成する薄膜シートの製造工程を説明する要部断面図である。

【図 22】図 21 に続く薄膜シートの製造工程中の要部断面図である。

【図 23】図 22 に続く薄膜シートの製造工程中の要部断面図である。

【図 24】図 23 に続く薄膜シートの製造工程中の要部断面図である。

【図 25】図 24 に続く薄膜シートの製造工程中の要部断面図である。

【図 26】図 25 に続く薄膜シートの製造工程中の要部断面図である。

【図 27】本発明の実施の形態 1 であるプローブカードを形成する薄膜シートの製造工程中の要部断面図である。

【図 28】図 27 に続く薄膜シートの製造工程中の要部断面図である。

【図 29】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの製造工程中の要部断面図である。

【図 30】図 29 に続く薄膜シートの製造工程中の要部断面図である。

【図 31】図 30 に続く薄膜シートの製造工程中の要部断面図である。

【図 32】図 31 に続く薄膜シートの製造工程中の要部断面図である。

【図 33】図 32 に続く薄膜シートの製造工程中の要部断面図である。

【図 34】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートが有するプローブと半導体チップのパッドとの接触を説明する要部断面図である。

【図 35】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートが有するプローブと半導体チップのパッドとの接触を説明する要部断面図である。

【図 36】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 37】図 36 中の F - F 線に沿った要部断面図である。

【図 38】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 39】図 38 中の F - F 線に沿った要部断面図である。

【図 40】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

10

20

30

40

50

【図 4 1】図 4 0 中の F - F 線に沿った要部断面図である。

【図 4 2】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 4 3】図 4 2 中の F - F 線に沿った要部断面図である。

【図 4 4】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 4 5】図 4 4 中の F - F 線に沿った要部断面図である。

【図 4 6】本発明の実施の形態 3 である半導体集積回路装置の製造工程中の要部断面図である。

【発明を実施するための最良の形態】

10

【0017】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0018】

ウエハとは、集積回路の製造に用いる単結晶シリコン基板（一般にほぼ平面円形状）、S O I (Silicon On Insulator) 基板、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板をいう。また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、T F T (Thin Film Transistor) および S T N (Super-Twisted-Nematic) 液晶等のようなガラス等の

20

【0019】

デバイス面とは、ウエハの主面であって、その面にリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面をいう。

【0020】

接触端子とは、シリコンウエハを半導体集積回路の製造に用いるのと同様な、ウエハプロセス、すなわちフォトリソグラフィ技術、C V D (Chemical Vapor Deposition) 技術、スパッタリング技術およびエッチング技術などを組み合わせたパターンニング手法によって、配線層およびそれに電氣的に接続された先端部を一体的に形成したものをいう。

【0021】

30

薄膜プローブ (membrane probe)、薄膜プローブカード、または突起針配線シート複合体とは、検査対象と接触する前記接触端子 (突起針) とそこから引き回された配線とが設けられ、その配線に外部接触用の電極が形成された薄膜をいい、たとえば厚さ 10 μm ~ 100 μm 程度のものをいう。

【0022】

プローブカードとは、検査対象となるウエハと接触する接触端子および多層配線基板などを有する構造体をいい、半導体検査装置とは、プローブカードおよび検査対象となるウエハを載せる試料支持系を有する検査装置をいう。

【0023】

プローブ検査とは、ウエハ工程が完了したウエハに対してプローバを用いて行われる電氣的試験であって、チップ領域の主面上に形成された電極に上記接触端子の先端を当てて半導体集積回路の電氣的検査を行うことをいい、所定の機能通りに動作するか否かを確認する機能テストや D C 動作特性および A C 動作特性のテストを行って良品 / 不良品を判別するものである。各チップに分割してから (またはパッケージング完了後) 行われる選別テスト (最終テスト) とは区別される。

40

【0024】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0025】

50

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0026】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0027】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

10

【0028】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0029】

また、本実施の形態においては、絶縁ゲート型電界効果トランジスタをMOSFET（Metal Oxide Semiconductor Field Effect Transistor）も含めてMISFET（Metal Insulator Semiconductor Field Effect Transistor）と呼ぶ。

【0030】

また、本願で使用する半導体リソグラフィ技術による薄膜プローブの各詳細については、本発明者および関連する発明者等による以下の特許出願に開示されているので、特に必要な時以外はそれらの内容は繰り返さない。前記特許出願、すなわち、日本特願平6-22885号、日本特開平7-283280号公報、日本特開平8-50146号公報、日本特開平8-201427号公報、日本特願平9-119107号、日本特開平11-23615号公報、日本特開2002-139554号公報、日本特開平10-308423号公報、日本特願平9-189660号、日本特開平11-97471号公報、日本特開2000-150594号公報、日本特開2001-159643号公報、日本特許出願第2002-289377号（対応米国出願番号第10/676,609号；米国出願日2003.10.2）、日本特許出願第2002-294376号、日本特許出願第2003-189949号、日本特許出願第2003-075429号（対応米国出願番号第10/765,917号；米国出願日2004.1.29）、日本特開2004-144742号公報（対応米国公開番号第2004/070,413号）、日本特開2004-157127号公報、日本特許出願第2003-371515号、日本特許出願第2003-372323号、および日本特許出願第2004-115048号である。

20

30

【0031】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0032】

（実施の形態1）

本実施の形態1の半導体集積回路装置は、たとえばLCD（Liquid Crystal Display）ドライバ回路が形成されたチップである。図1および図2は、それぞれそのチップの要部断面図であり、それぞれ異なる断面を示している。

40

【0033】

基板WHは、たとえばp型の単結晶Si（シリコン）からなり、その主面のデバイス形成面には、分離部LOXが形成され活性領域Laおよびダミー活性領域Lbが規定されている。分離部LOXは、たとえばLOCOS（Local Oxidization of Silicon）法によって形成された酸化シリコン膜からなる。ただし、分離部LOXを溝型（SGI：Shallow Groove IsolationまたはSTI：Shallow Trench Isolation）の分離部LOXで形成しても良い。

【0034】

50

図1に示すパッドPD1下層の基板WHの分離部LOXに囲まれた活性領域Laには、たとえばpn接合ダイオードDが形成されている。このpn接合ダイオードDは、たとえば静電破壊防止用の保護ダイオードであり、基板WHのp型ウエルPWLとその上部のn型半導体領域NSAとのpn接合により形成されている。基板WHの主面上には、たとえば酸化シリコン膜からなる絶縁膜IS1が形成されている。その上には、第1層配線M1が形成されている。第1層配線M1は、たとえばチタン、窒化チタン、アルミニウム（またはアルミニウム合金）および窒化チタンが下層から順に堆積される構成を有している。このアルミニウムまたはアルミニウム合金等の膜が主配線材料であり、最も厚く形成されている。第1層配線M1は、絶縁膜IS1に形成された平面円形状の複数のコンタクトホールCNTを通じてn型半導体領域NSAと、すなわち、pn接合ダイオードDと接続されている。第1層配線M1は、たとえば酸化シリコン膜からなる絶縁膜IS2によって覆われている。この絶縁膜IS2上には、第2層配線M2が形成されている。第2層配線M2の材料構成は、上記第1層配線M1と同じである。第2層配線M2は、絶縁膜IS2に形成された平面円形状の複数のスルーホールTH1を通じて第1層配線M1と電気的に接続されている。第2層配線M2は、たとえば酸化シリコン膜からなる絶縁膜IS3によって覆われている。その絶縁膜IS3上には、第3層配線M3が形成されている。第3層配線M3は、絶縁膜IS3に形成された平面円形状の複数のスルーホールTH2を通じて第2層配線M2と電気的に接続されている。さらに、第3層配線M3は、表面保護用の絶縁膜IS4によってその大半が覆われているが、第3層配線M3の一部は絶縁膜IS4の一部に形成された平面長方形の開口部OMAから露出されている。この開口部OMAから露出された第3層配線M3部分がパッドPD1となっている。表面保護用の絶縁膜IS4は、たとえば酸化シリコン膜の単体膜、酸化シリコン膜上に窒化シリコン膜を積み重ねた構造を有する積層膜あるいは酸化シリコン膜上に窒化シリコン膜およびポリイミド膜を下層から順に積み重ねた構造を有する積層膜からなる。パッドPD1は、開口部OMAを通じてパンプ電極用下地膜UBMを介してパンプ電極（突起電極）BMPと接合されている。パンプ電極用下地膜UBMは、パンプ電極BMPとパッドPD1や絶縁膜IS4との接着性を向上させる機能の他、パンプ電極BMPの金属元素が第3層配線M3側に移動することや反対に第3層配線M3の金属元素がパンプ電極BMP側に移動するのを抑制または防止するバリア機能を有する膜であり、たとえばチタンまたはチタンタンゲステン等のような高融点金属膜の単体膜やチタン膜上にニッケル膜および金を下層から順に積み重ねた構造を有する積層膜からなる。実施の形態1でも説明したように、パンプ電極BMPは、たとえばAu膜からなり、めっき法によって形成されている。

10

20

30

40

50

【0035】

図1に示したように、パンプ電極BMP下にも配線および素子を配置する構造とすることにより、チップ内により効率的に配線および素子を配置することが可能となる。それにより、本実施の形態のチップを小型化することができる。

【0036】

一方、図2に示すダミー用のパッドPD2下層の基板WHには、上記のようにダミー活性領域Lbが形成されているが、そのダミー活性領域Lbには、特に素子は形成されていない。もちろん、他のパッドPD1と同様にダイオードや他の素子を形成したり、p型ウエルやn型ウエル等を設けても良い。このダミー用のパッドPD2下層の第2層配線M2と第1層配線M1とは複数のスルーホールTH1を通じて電気的に接続されている。パッドPD2は、ダミーなのでその下層の第2層配線M2と第1層配線M1とを電気的に接続する必要はないが、ダミー用のパッドPD2に接合されるパンプ電極BMPの天辺の高さをパッドPD1に接合されるパンプ電極BMPの天辺の高さにさらに近づけるために、パッドPD2の下層にも複数のスルーホールTH1が配置されている。

【0037】

次に、このチップの製造工程の一例を説明する。まず、ウエハ状の基板WHの主面に、たとえばLOCOS法によって分離部LOXを形成し、活性領域Laおよびダミー活性領域Lbを形成した後、分離部LOXに囲まれた活性領域Laに素子（たとえば高耐圧MI

S F E Tおよび低耐圧M I S F E T)を形成する。ダミー用のパッドP D 2下のダミー活性領域L bには素子を形成しない。続いて、基板W Hの主面上に絶縁膜I S 1をC V D (Chemical Vapor Deposition)法等によって堆積した後、絶縁膜I S 1の所定の箇所に平面円形状のコンタクトホールC N Tをフォトリソグラフィ技術およびドライエッチング技術によって形成する。その後、その絶縁膜I S 1上に、たとえば窒化チタン、チタン膜、アルミニウム膜および窒化チタン膜を下層から順にスパッタリング法等によって堆積した後、その積層金属膜をフォトリソグラフィ技術およびドライエッチング技術によりパターンニングすることにより第1層配線M 1を形成する。次いで、同様に絶縁膜I S 1上に絶縁膜I S 2を堆積し、絶縁膜I S 2にスルーホールT H 1を形成後、その絶縁膜I S 2上に第1層配線M 1と同様に第2層配線M 2を形成する。続いて、同様に絶縁膜I S 2上に絶縁膜I S 3を堆積し、絶縁膜I S 3にスルーホールT H 2を形成後、その絶縁膜I S 3上に第1層配線M 1と同様に第3層配線M 3を形成する。その後、絶縁膜I S 3上に表面保護用の絶縁膜I S 4を堆積した後、絶縁膜I S 4に、第3層配線M 3の一部が露出される開口部O M Aを形成し、パッドP D 1、P D 2を形成する。次いで、絶縁膜I S 4上に、たとえばチタンまたはチタンタンゲステン等のような高融点金属膜の単体膜やチタン膜上にニッケル膜および金膜を下層から順に積み重ねた構造を有する積層膜からなる導体膜をスパッタリング法等によって堆積した後、その上にバンプ形成領域が露出され、それ以外が覆われるようなフォトレジストパターンを形成する。

10

【0038】

次に、たとえば金からなるバンプ電極B M Pを形成する。前述したように、このバンプ電極B M Pは、フォトリソグラフィ技術によって開口部が設けられたフォトレジストパターンをマスクとしためっき法にてA u膜を成膜することで形成することができる。

20

【0039】

次に、そのフォトレジスト膜を除去し、さらに下地の導体膜をエッチング除去することにより、バンプ電極用下地膜U B Mを形成する。その後、基板W Hを各チップへと切断する。

【0040】

本実施の形態1のプロブカードを用いたプロブ検査は、上記複数のチップが区画されたウエハ状の基板W Hに対して行うものである。また、図3は、そのチップの平面と、その一部を拡大したものを図示している。

30

【0041】

図3に示すように、チップC H Pの主面の周辺部には、L C Dドライバ回路と電気的に接続する多数のパッド(第1電極)P D 3、P D 4(バンプ電極B M P)が配置されており、図3中におけるチップC H Pの上側の長辺および両短辺に沿って配列されたパッドP D 3は出力端子となり、チップC H Pの下側の長辺に沿って配列されたパッドP D 4は入力端子となっている。L C Dドライバの出力端子数は入力端子数より多いことから、隣り合ったパッドP D 3の間隔をできる限り広げるために、パッドP D 3はチップC H Pの上側の長辺および両短辺に沿って2列で配列され、チップC H Pの上側の長辺および両短辺に沿って互いの列のパッドP D 3が互い違いに配列されている。本実施の形態1において、隣り合うパッドP D 3が配置されているピッチL Pは、たとえば約68 μ mである。また、本実施の形態1において、パッドP D 3は平面矩形であり、チップC H Pの外周と交差(直交)する方向に延在する長辺の長さL Aは約63 μ mであり、チップC H Pの外周に沿って延在する短辺の長さL Bは約34 μ mである。また、隣り合うパッドP D 3が配置されているピッチL Pが約68 μ mであり、パッドP D 3の短辺の長さL Bが約34 μ mであることから、隣り合うパッドP D 3の間隔は約34 μ mとなる。

40

【0042】

前述したように、パッドP D 3、P D 4は、たとえばA u(金)から形成されたバンプ電極(突起電極)であり、チップC H Pの入出力端子(パッドP D 1(図1参照))上に、電解めっき、無電解めっき、蒸着あるいはスパッタリングなどの方法によって形成されたものである。図4は、パッドP D 3の斜視図である。パッドP D 3の高さL Cは約15

50

μmであり、パッドPD4も同程度の高さを有する。

【0043】

本実施の形態1において、上記プローブ検査は、ウエハ状の基板WHをダイシングする前に各チップ領域に対して実施するものである。なお、以後プローブ検査（パッドPD3、PD4とプローブとが接触する工程）を説明する際に、特に明記しない場合には、チップCHPはウエハをダイシングする前の各チップ領域を示すものとする。

【0044】

図5は、上記チップCHPの液晶パネルへの接続方法を示す要部断面図である。図5に示すように、液晶パネルは、たとえば主面に画素電極DE1、DE2が形成されたガラス基板LS1、液晶層LCL、および液晶層LCLを介してガラス基板LS1と対向するように配置されたガラス基板LS2などから形成されている。本実施の形態1においては、このような液晶パネルのガラス基板LS1の画素電極DE1、DE2に、それぞれパッドPD3、PD4が接続するようにチップCHPをフェイスダウンボンディングすることによって、チップCHPを液晶パネルへ接続することを例示できる。

10

【0045】

図6は本実施の形態1のプローブカード（第1カード）の下面の要部平面図であり、図7は図6中のA-A線に沿った断面図である。

【0046】

図6および図7に示すように、本実施の形態1のプローブカードは、たとえば多層配線基板（第1配線基板）1、薄膜シート（第1シート）2およびブランジャ3などから形成されている。薄膜シート2はコンタクトリング4Cおよびプロセスリング4Pによって多層配線基板1の下面に固定され、ブランジャ3は多層配線基板1の上面に取り付けられている。多層配線基板1の中央部には開口部が設けられ、この開口部内において、薄膜シート2は接着リング6に接着されている。

20

【0047】

薄膜シート2の下面には、たとえば4角錐型または4角錐台形型の複数のプローブ（接触端子）7が形成されている。薄膜シート2内には、プローブ7の各々と電氣的に接続し、各々のプローブ7から薄膜シート2の探部まで延在する複数の配線（第2配線）が形成されている。多層配線基板1の下面には、この複数の配線の端部とそれぞれ電氣的に接触する複数の受け部（図示は省略）が形成されており、この複数の受け部は、多層配線基板1内に形成された配線（第1配線）を通じて多層配線基板1の上面に設けられた複数のポゴ（POGO）座8と電氣的に接続している。このポゴ座8は、テストからの信号をプローブカードへ導入するピンを受ける機能を有する。

30

【0048】

本実施の形態1において、薄膜シート2は、たとえばポリイミドを主成分とする薄膜から形成されており、柔軟性を有する。プローブ7が形成された領域（第1領域）の薄膜シート2を上面（裏面）から押圧具（押し出し機構）9およびエラストマ9Aを介してブランジャ3が押圧し、押圧具9を押し出すことによって薄膜シート2を引き伸ばし、各プローブ7の先端の位置をそれぞれが対応するパッドPD3、PD4と対向する位置となるように調整する。ブランジャ3はナット11によって筐体12に固定され、筐体12はナット13によって加重治具14に固定される。ブランジャ3内には、ばね3Aが内蔵されており、このばね3Aの弾性力によって一定の押圧力が押しピン3Bを介して押圧具9、エラストマ9Aおよび薄膜シート2へ伝わる構造となっている。本実施の形態1において、押圧具9の材質としては、42アロイを例示することができ、エラストマ9Aとしてはシリコンシートを例示することができる。

40

【0049】

多層配線基板1および張り出しリング15は、それぞれボルト16A、16Bによって連結治具17に取り付けられることにより、連結治具17を介して接続されている。張り出しリング15は、薄膜シート2のうちプローブ7が形成された領域を多層配線基板1の下面より張り出させるために用いられる。また、加重治具14と接着リング6とは、ボル

50

ト 1 6 C によって連結されている。また、張り出しリング 1 5 にはボルト 1 6 D によってばね押さえ治具 1 8 が取り付けられ、ばね押さえ治具 1 8 と加重治具 1 4 (ボルト 1 6 C) との間にはばね (加圧機構) 1 9 が設置されている。図示は省略するが、このばね 1 9 は、たとえば多層配線基板 1 の平面において約 8 個所 ~ 1 2 個所に配置されている。ばね 1 9 の弾性力は、プローブ検査時においてプローブ 7 がパッド P D 3、P D 4 と接触し、プローブカードがパッド P D 3、P D 4 に向かって押し込まれた際に加重治具 1 4 (ボルト 1 6 C) に作用する。この時、ナット 1 1、1 3 およびボルト 1 6 C による固定によって、加重治具 1 4、押圧具 9、エラストマ 9 A、接着リング 6 およびランジャ 3 は一体 (加圧機構) となっていることから、ばね 1 9 の弾性力は、これら一体となった部材をパッド P D 3、P D 4 に向かって押し下げるように作用する。その結果、ランジャ 3 内のばね 3 A から薄膜シート 2 へ伝わる押圧力は、薄膜シート 2 の引き伸ばしのみ用いられることになる。

10

【 0 0 5 0 】

ここで、図 8 は、加重治具 1 4 が多層配線基板 1 に固定され、ばね 1 9 が取り付けられていないプローブカードを用いた場合において、プローブ 7 がパッド P D 3、P D 4 (図 3 参照) に接触した後における、プローブ 7 のパッド P D 3、P D 4 への押し込み量 (以下、ストローク量と記す) と、プローブ 7 と接している全てのパッド P D 3、P D 4 に加わる荷重との関係を示したものである。この場合、パッド P D 3、P D 4 への荷重制御はランジャ 3 のみで行うことになる。プローブ検査時においては、ストローク量は約 0 . 1 mm 以下であるが、図 8 に示すように、ばね 1 9 が取り付けられていないプローブカードの場合には、ストローク量が約 0 . 1 mm 以下の時にはエラストマ 9 A の弾性等により荷重変化し、ランジャ 3 による荷重制御が行えていない。また、適当なばね定数のばね 3 A を選択することにより、ランジャ 3 による加重を約 1 k g f とすることもできるが、前述したようにランジャ 3 は押圧具 9 を押し出して薄膜シート 2 多層配線基板 1 の下面より張り出させるためにも用いられるため、ばね定数の小さいばね 3 A を自由に選択することが困難となる。すなわち、ストローク量が約 0 . 1 mm 以下の実使用エリアでは、低荷重でプローブ 7 をパッド P D 3、P D 4 に接触させることが困難となっている。

20

【 0 0 5 1 】

一方、図 6 および図 7 を用いて説明した本実施の形態 1 のプローブカードを用いた場合には、前述したようにランジャ 3 内のばね 3 A から薄膜シート 2 へ伝わる押圧力は、薄膜シート 2 の引き伸ばしのみ用いられることから、図 9 に示すように、ストローク量が約 0 . 1 mm 以下の時でもばね 1 9 の強さで荷重制御が可能となっている。すなわち、本実施の形態 1 のプローブカードを用いた場合には、ストローク量が約 0 . 1 mm 以下の実使用エリアにおいて低荷重でプローブ 7 をパッド P D 3、P D 4 に接触させることができ、その荷重を 1 つのプローブ 7 当たり 3 g 未満とすることができる。また、荷重の加減を行いたい場合には、所望の加重となるようなばね定数のばね 1 9 を配置することで 0 . 1 g 単位で実現することができる。

30

【 0 0 5 2 】

上記のような本実施の形態 1 のプローブカードによれば、低荷重でプローブ 7 をパッド P D 3、P D 4 に接触させることができるので、チップ C H P (図 3 参照) がパッド P D 3、P D 4 下にも配線および素子が配置された構造 (図 1 参照) を有している場合でも、プローブ検査時にプローブ 7 がパッド P D 3、P D 4 に接触する際の荷重によってその配線および素子が破壊されてしまうことを防ぐことができる。

40

【 0 0 5 3 】

また、チップ C H P において、回路動作を早くするために上層の配線と下層の配線との間の層間絶縁膜として機械的強度が低く比誘電率の低い絶縁膜 (たとえば S i O C 等の比誘電率が約 3 . 0 未満のシリカガラス系の C V D による L o w - k (低誘電率) 絶縁膜または炭素含有シリコン酸化物系の C V D による L o w - k 絶縁膜、並びに C V D に限らず、これらと類似の組成で多孔質にされたもの等) を用いた場合には、プローブ検査時にパッド P D 3、P D 4 にプローブが接触する際の荷重にて絶縁膜や回路の破壊を引き起こし

50

やすくなってしまうことが懸念されるが、本実施の形態1のプロブカードを用いることにより、低荷重でプロブ7をパッドPD3、PD4に接触させることができるので、そのような不具合を防ぐことが可能となる。

【0054】

また、本実施の形態1のプロブカードによれば、低荷重でプロブ7をパッドPD3、PD4に接触させることができるので、プロブ7とパッドPD3、PD4とが接触した際にプロブ7に与えてしまうダメージを大幅に減少することができる。

【0055】

図10は上記薄膜シート2の下面のプロブ7が形成された領域の一部を拡大して示した要部平面図であり、図11は図10中のB-B線に沿った要部断面図であり、図12は図10中のC-C線に沿った要部断面図である。

10

【0056】

上記プロブ7は、薄膜シート2中にて平面六角形状にパターンニングされた金属膜21A、21Bの一部であり、金属膜21A、21Bのうちの薄膜シート2の下面に4角錐型または4角錐台形型に飛び出した部分である。プロブ7は、薄膜シート2の主面において上記チップCHPに形成されたパッドPD3、PD4の位置に合わせて配置されており、図10ではパッドPD3に対応するプロブ7の配置について示している。これらプロブ7のうち、プロブ7Aは、2列で配列されたパッドPD3のうちの相対的にチップCHPの外周に近い配列（以降、第1列と記す）のパッドPD3に対応し、プロブ7Bは、2列で配列されたパッドPD3のうちの相対的にチップCHPの外周から遠い配列（以降、第2列と記す）のパッドPD3に対応している。また、最も近い位置に存在するプロブ7Aとプロブ7Bとの間の距離は、図10が記載された紙面の左右方向の距離LXと上下方向の距離LYとで規定され、距離LXは前述の隣り合うパッドPD3が配置されているピッチLPの半分の約34 μ mとなる。また、本実施の形態1において、距離LYは、約93 μ mとなる。また、図13に示すように、ポリイミド膜22の表面からプロブ7A、7Bの先端までの高さLZ（針高さ）は、50 μ m以下（大きくとも90 μ m以下）、更に望ましくは30 μ m以下で揃えられている。

20

【0057】

金属膜21A、21Bは、たとえば下層からロジウム膜およびニッケル膜が順次積層して形成されている。金属膜21A、21B上にはポリイミド膜22が成膜され、ポリイミド膜22上には各金属膜21と電氣的に接続する配線（第2配線）23が形成されている。配線23は、ポリイミド膜22に形成されたスルーホール24の底部で金属膜21A、21Bと接触している。また、ポリイミド膜22および配線23上には、ポリイミド膜25が成膜されている。

30

【0058】

上記したように、金属膜21A、21Bの一部は4角錐型または4角錐台形型に形成されたプロブ7A、7Bとなり、ポリイミド膜22には金属膜21A、21Bに達するスルーホール24が形成される。そのため、プロブ7Aが形成された金属膜21Aおよびスルーホール24の平面パターンと、プロブ7Bが形成された金属膜21Bおよびスルーホール24の平面パターンとが同じ方向で配置されるようにすると、隣り合う金属膜21Aと金属膜21Bとが接触してしまい、プロブ7A、7Bからそれぞれ独立した入出力を得られなくなってしまう不具合が懸念される。そこで、本実施の形態1では、図10に示すように、プロブ7Bが形成された金属膜21Bおよびスルーホール24の平面パターンは、プロブ7Aが形成された金属膜21Aおよびスルーホール24の平面パターンを180°回転したパターンとしている。それにより、平面でプロブ7Aおよびスルーホール24が配置された金属膜21Aの幅広の領域と、平面でプロブ7Bおよびスルーホール24が配置された金属膜21Bの幅広の領域とが、紙面の左右方向の直線上に配置されないようになり、金属膜21Aおよび金属膜21Bの平面順テーパ状の領域が紙面の左右方向の直線上に配置されるようになる。その結果、隣り合う金属膜21Aと金属膜21Bとが接触してしまいう不具合を防ぐことができる。また、狭ピッチでパッドPD3

40

50

が配置されても、それに対応した位置にプローブ7A、7Bを配置することが可能となる。

【0059】

本実施の形態1では、図3を用いてパッドPD3が2列で配列されている場合について説明したが、図14に示すように、1列で配列されているチップも存在する。そのようなチップに対しては、図15に示すように、上記金属膜21Aの幅広の領域が紙面の左右方向の直線上に配置された薄膜シート2を用いることで対応することができる。また、このようにパッドPD3が1列で配列され、たとえばチップCHPの外周と交差(直交)する方向に延在する長辺の長さLA約140 μm であり、チップCHPの外周に沿って延在する短辺の長さLBが約19 μm であり、隣り合うパッドPD3が配置されているピッチLPが約34 μm であり、隣り合うパッドPD3の間隔が約15 μm である場合には、図3に示したパッドPD3に比べて長辺が約2倍以上となり、短辺方向でのパッドPD3の中心位置を図3に示したパッドPD3の中心位置と揃えることができるので、図10~図12を用いて説明した薄膜シート2を用いることが可能となり、図16に示す位置POS1、POSでプローブ7A、7BのそれぞれがパッドPD3に接触することになる。

10

【0060】

また、パッドPD3の数がさらに多い場合には、3列以上で配列されている場合もある。図17は3列で配列されたパッドPD3に対応した薄膜シート2の要部平面図であり、図18は4列で配列されたパッドPD3に対応した薄膜シート2の要部平面図である。チップCHPのサイズが同じであれば、パッドPD3の配列数が増えるに従って、図10を用いて説明した距離LXがさらに狭くなるので、上記金属膜21A、21Bを含む金属膜が接触してしまうことがさらに懸念される。そこで、図17および図18に示すように、金属膜21A、21B、21C、21Dを、たとえば図10に示した金属膜21Aの平面パターンを45°回転させたものとするので、金属膜21A、21B、21C、21Dが互いに接触してしまう不具合を防ぐことが可能となる。また、ここでは図10に示した金属膜21Aの平面パターンを45°回転させた例について説明したが、45°に限定するものではなく、金属膜21A、21B、21C、21Dの互いの接触を防ぐことができるのであれば他の回転角でもよい。なお、金属膜21Cには、プローブ7Bに対応するパッドPD3よりさらにチップCHP内の内側に配置されたパッドPD3に対応するプローブ7Cが形成され、金属膜21Dには、プローブ7Cに対応するパッドPD3よりさらに

20

30

【0061】

ここで、図19は図18中のD-D線に沿った要部断面図であり、図20は図18中のE-E線に沿った要部断面図である。図18に示したように、4列のパッドPD3に対応するプローブ7A~7Dを有する金属膜21A~21Dを配置した場合には、金属膜21A~21Dのそれぞれに上層から電氣的に接続する配線のすべてを同一の配線層で形成することが困難になる。これは、上記距離LXが狭くなることによって、金属膜21A~21Dのそれぞれ同士が接触する虞が生じるのと共に、金属膜21A~21Dに電氣的に接続する配線同士も接触する虞が生じるからである。

40

そこで、本実施の形態1においては、図19および図20に示すように、それら配線を2層の配線層(配線23、26)から形成することを例示することができる。なお、配線26およびポリイミド膜25上には、ポリイミド膜27が形成されている。相対的に下層の配線23はポリイミド膜22に形成されたスルーホール24の底部で金属膜21A、21Cと接触し、相対的に上層の配線26はポリイミド膜22、25に形成されたスルーホール28の底部で金属膜21B、21Dと接触している。それにより、同一の配線層においては、隣り合う配線23または配線26の間隔を大きく確保することが可能となるので、隣り合う配線23または配線26が接触してしまう不具合を防ぐことができる。また、パッドPD3が5列以上となり、それに対応するプローブ数が増加して上記距離LXが狭くなる場合には、さらに多層に配線層を形成することによって、配線間隔を広げてよい。

50

【0062】

次に、上記の本実施の形態1の薄膜シート2の構造について、その製造工程と併せて図21～図27を用いて説明する。図21～図27は、図10～図12を用いて説明した2列のパッドPD3（図3参照）に対応したプローブ7A、7Bを有する薄膜シート2の製造工程中の要部断面図である。

【0063】

まず、図21に示すように、厚さ0.2mm～0.6mm程度のシリコンからなるウエハ31を用意し、熱酸化法によってこのウエハ31の両面に膜厚0.5μm程度の酸化シリコン膜32を形成する。続いて、フォトレジスト膜をマスクとしてウエハ31の主面側の酸化シリコン膜32をエッチングし、ウエハ31の主面側の酸化シリコン膜32にウエハ31に達する開口部を形成する。次いで、残った酸化シリコン膜32をマスクとし、強アルカリ水溶液（たとえば水酸化カリウム水溶液）をもちいてウエハ31を異方的にエッチングすることによって、ウエハ31の主面に（111）面に囲まれた4角錐型または4角錐台形型の穴33を形成する。

10

【0064】

次に、図22に示すように、上記穴33の形成時にマスクとして用いた酸化シリコン膜32をフッ酸およびフッ化アンモニウムの混合液によるウェットエッチングにより除去する。続いて、ウエハ31に熱酸化処理を施すことにより、穴33の内部を含むウエハ31の全面に膜厚0.5μm程度の酸化シリコン膜34を形成する。次いで、穴33の内部を含むウエハ31の主面に導電性膜35を成膜する。この導電性膜35は、たとえば膜厚0.1μm程度のクロム膜および膜厚1μm程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。次いで、導電性膜35上にフォトレジスト膜を成膜し、フォトリソグラフィ技術によって後の工程で金属膜21A、21B（図10～図12参照）が形成される領域のフォトレジスト膜を除去し、開口部を形成する。

20

【0065】

次に、導電性膜35を電極とした電解めっき法により、上記フォトレジスト膜の開口部の底部に現れた導電性膜35上に硬度の高い導電性膜37および導電性膜38を順次堆積する。本実施の形態1においては、導電性膜37をロジウム膜とし、導電性膜38をニッケル膜とすることを例示できる。ここまでの工程により、導電性膜37、38から前述の金属膜21A、21Bを形成することができる。また、穴33内の導電性膜37、38が前述のプローブ7A、7Bとなる。なお、導電性膜35は、後の工程で除去されるが、その工程については後述する。

30

【0066】

金属膜21A、21Bにおいては、後の工程で前述のプローブ7A、7Bが形成された時に、ロジウム膜から形成された導電性膜37が表面となり、導電性膜37がパッドPD3に直接接触することになる。そのため、導電性膜37としては、硬度が高く耐磨耗性に優れた材質を選択することが好ましい。また、導電性膜37はパッドPD3に直接接触するため、プローブ7A、7Bによって削り取られたパッドPD3の屑が導電性膜37に付着すると、その屑を除去するクリーニング工程が必要となり、プローブ検査工程が延びてしまうことが懸念される。そのため、導電性膜37としては、パッドPD3を形成する材料が付着し難い材質を選択することが好ましい。そこで、本実施の形態1においては、導電性膜37として、これらの条件を満たすロジウム膜を選択している。それにより、そのクリーニング工程を省略することができる。

40

【0067】

次に、上記金属膜21A、21B（導電性膜37、38）の成膜に用いたフォトレジスト膜を除去した後、図23に示すように、金属膜21A、21Bおよび導電性膜35を覆うようにポリイミド膜22（図11および図12も参照）を成膜する。続いて、そのポリイミド膜22に金属膜21A、21Bに達する前述のスルーホール24を形成する。このスルーホール24は、レーザを用いた穴あけ加工またはアルミニウム膜をマスクとしたド

50

ライエッチングによって形成することができる。

【0068】

次に、図24に示すように、スルーホール24の内部を含むポリイミド膜22上に導電性膜42を成膜する。この導電性膜42は、たとえば膜厚0.1 μ m程度のクロム膜および膜厚1 μ m程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。続いて、その導電性膜42上にフォトレジスト膜を形成した後に、そのフォトレジスト膜をフォトリソグラフィ技術によってパターンニングし、フォトレジスト膜に導電性膜42に達する開口部を形成する。次いで、めっき法により、その開口部内の導電性膜42上に導電性膜43を成膜する。本実施の形態1においては、導電性膜43として銅膜、または銅膜およびニッケル膜を下層から順次堆積した積層膜を例示することができる。

10

【0069】

次に、上記フォトレジスト膜を除去した後、導電性膜43をマスクとして導電性膜42をエッチングすることにより、導電性膜42、43からなる配線23を形成する。配線23は、スルーホール24の底部にて金属膜21A、21Bと電氣的に接続することができる。次いで、図25に示すように、ウエハ31の主面に前述のポリイミド膜25を成膜する。

【0070】

次に、図26に示すように、たとえばフッ酸とフッ化アンモニウムの混合液を用いたエッチングによって、ウエハ31の裏面の酸化シリコン膜34を除去する。続いて、強アルカリ水溶液（たとえば水酸化カリウム水溶液）を用いたエッチングにより、薄膜シート2を形成するための型材であるウエハ31を除去し、本実施の形態1の薄膜シート2を製造する。次いで、酸化シリコン膜34および導電性膜35を順次エッチングにより除去する。この時、酸化シリコン膜34はフッ酸およびフッ化アンモニウムの混合液を用いてエッチングし、導電性膜35に含まれるクロム膜は過マンガン酸カリウム水溶液を用いてエッチングし、導電性膜35に含まれる銅膜はアルカリ性銅エッチング液を用いてエッチングする。ここまでの工程により、プローブ7A、7Bを形成する導電性膜37（図22参照）であるロジウム膜がプローブ7A、7Bの表面に現れる。前述したように、ロジウム膜が表面に形成されたプローブ7A、7Bにおいては、プローブ7A、7Bが接触するパッドPD3の材料であるAuなどが付着し難く、Niより硬度が高く、かつ酸化され難く接触抵抗を安定させることができる。

20

30

【0071】

ところで、図7を用いて説明した押圧具9およびエラストマ9Aは、製造中の薄膜シート2に貼付してもよい。図27に示すように、上記ポリイミド膜25の成膜後、エポキシ系樹脂製の接着剤を用いてポリイミド膜25の表面にエラストマ9Aおよび押圧具9を順次貼付する。その後は図26を用いて説明した工程を経て薄膜シート2を製造する（図28参照）。このように、押圧具9およびエラストマ9Aを製造中の薄膜シート2に貼付した場合には、押圧具9がチップCHPを形成するシリコンと線膨張率が近い42アロイから形成されていることから、予め各プローブ7を対応するパッドPD3、PD4と対向する位置となるように形成しておくことにより、薄膜シート2をプローブカードに取り付けた際に、押圧具9を押し出すことによって薄膜シート2を引き伸ばし、各プローブ7の先端の位置をそれぞれが対応するパッドPD3、PD4と対向する位置となるように調整する工程を省略することが可能となる。

40

【0072】

（実施の形態2）

本実施の形態2は、前記実施の形態1でも説明した薄膜シート2（図7参照）を他の構造としたものである。

【0073】

本実施の形態2の薄膜シート2の製造工程は、前記実施の形態1において図21～図25を用いて説明した工程までは同様である。その後、図29に示すように、ポリイミド膜

50

25の上面に金属シート45を固着する。この時、ポリイミド膜25は、金属シート45の接着層として機能する。この金属シート45としては、線膨張率が低く、かつシリコンから形成されたウエハ31の線膨張率に近い材質を選ぶものであり、本実施の形態2では、たとえば42アロイ（ニッケル42%かつ鉄58%の合金で、線膨張率4ppm/）またはインパー（ニッケル36%かつ鉄64%の合金で、線膨張率1.5ppm/）を例示することができる。また、金属シート45を用いる代わりにウエハ31と同じ材質のシリコン膜を形成してもよいし、シリコンと同程度の線膨張率を有する材質、たとえば鉄とニッケルとコバルトとの合金、またはセラミックと樹脂との混合材料などでもよい。このような金属シート45を固着するには、ウエハ31の主面に位置合わせしつつ重ね合わせ、10~200kgf/cm²程度で加圧しながらポリイミド膜25のガラス転移点温度以上の温度で加熱を行い、加熱加圧圧着することによって実現できる。

10

【0074】

このような金属シート45をポリイミド膜25を用いて固着することによって、形成される薄膜シート2の強度の向上を図ることができる。また、金属シート45を固着しない場合には、プローブ検査時の温度に起因する薄膜シート2および検査対象のウエハの膨張または収縮によって、プローブ7A、7Bと対応するパッドPD3との相対的な位置がずれてしまい、プローブ7A、7Bが対応するパッドPD3と接触できなくなってしまう不具合が懸念される。一方、本実施の形態2によれば、金属シート45を固着したことにより、プローブ検査時の温度に起因する薄膜シート2および検査対象のウエハの膨張量または収縮量を揃えることができる。それにより、プローブ7A、7Bと対応するパッドPD3との相対的な位置がずれてしまうことを防ぐことが可能となる。すなわち、プローブ7A、7Bと対応するパッドPD3とがプローブ検査時の温度に関係なく常に電気的接触を保つことが可能となる。また、様々な状況下での薄膜シート2と検査対象のウエハとの相対的な位置制度を確保することが可能となる。

20

【0075】

次に、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとして金属シート45をエッチングし、プローブ7A、7B上の金属シート45に開口部46を形成し、平面で金属膜21A間または金属膜21B間の領域上の金属シート45に開口部47を形成する。本実施の形態2において、このエッチングは、塩化第二鉄溶液を用いたスプレーエッチングとすることができる。

30

【0076】

次に、上記フォトレジスト膜を除去した後、図30に示すように、開口部46内に、エラストマ48を形成する。この時、エラストマ48は所定量が開口部46の上部へ出るように形成する。本実施の形態2においては、エラストマ48を形成する方法として、開口部46内に弾性樹脂を印刷もしくはディスペンサ塗布する方法、またはシリコンシートを設置する方法を例示することができる。エラストマ46は、多数のプローブ7A、7Bの先端がパッドPD3に接触する際の衝撃を緩和しつつ、個々のプローブ7A、7Bの先端の高さのばらつきを局所的な変形によって吸収し、パッドPD3の高さのばらつきに倣った均一な食い込みによってプローブ7A、7BとパッドPD3との接触を実現する。

40

【0077】

次に、図31に示すように、前記実施の形態1において図26を用いて説明した工程と同様に2層の酸化シリコン膜34、ウエハ31および導電性膜35を除去する。

【0078】

次に、図32に示すように、開口部47下のポリイミド膜25、22を除去し、開口部49を形成する。この開口部49は、レーザを用いた穴あけ加工または金属シート45およびエラストマ48をマスクとしたドライエッチングによって形成することができる。その後、図33に示すように、前記実施の形態1でも説明した押圧具9をエラストマ48上に接着して本実施の形態2の薄膜シート2を製造する。

【0079】

上記の工程によって製造した本実施の形態2の薄膜シート2は、金属シート45が接着

50

されたことにより剛性が向上している。また、図34に示すように、検査対象のウエハ（チップCHP）に反りが生じていると、パッドPD3の高さとパッドPD4の高さとの間に差Sが生じる。そのため、このような差Sが生じていると、相対的に高さの低いパッドPD4にプローブ7A、7Bが接触できなくなる不具合の発生が懸念される。しかしながら、金属膜21A間（金属膜21B間）に開口部49が形成されていることにより、薄膜シート2は、この開口部49での剛性が低下する。それにより、プローブ検査時に押圧具50により圧力を加えると、エラストマ48の弾性変形の範囲内で薄膜シート2にも開口部49で段差を持たせることができる。その結果、薄膜シート2に上記差Sを解消するような段差が生じさせることができるので、すべてのプローブ7A、7BをパッドPD3、PD4に確実に接触させることが可能となる。

10

【0080】

また、図35に示すように、検査対象のウエハ（チップCHP）の主面に異物DSTが付着しているような場合に、薄膜シート2に上記開口部49が設けられていないと、プローブ7A、7BをパッドPD3、PD4に接触させようとした時に薄膜シート2が異物DSTに乗り上げ、パッドPD3、PD4にプローブ7A、7Bが接触できなくなる不具合の発生が懸念される。また、薄膜シート2が異物DSTに乗り上げてしまうことによって薄膜シート2が変形してしまうことも懸念され、特に異物DSTがプローブ7A、7Bの近傍に存在する場合には、プローブ7A、7Bが薄膜シート2の内部にめり込んでしまう不具合の発生も懸念される。しかしながら、上記開口部49を設けたことにより、平面で開口部49内に異物DSTが位置するようにできるので、それら不具合の発生の確率を低下することが可能となる。

20

【0081】

ここで、上記開口部49の平面パターンについて説明する。図36、図38、図40、図42および図44は薄膜シート2の下面の要部平面図であり、図37、図39、図41、図43および図45はそれぞれ図36、図38、図40、図42および図44中のF-F線に沿った要部断面図である。

【0082】

本実施の形態2において、開口部49の平面パターンとしては、まず図36に示すような矩形のパターンを例示することができる。このような矩形のパターンとすることによって薄膜シート2の剛性が低下し過ぎる場合には、図38に示すように、平面矩形の開口部49の対角線上に梁状にポリイミド膜22、25および金属シート45を残す構造としてもよい。これにより、薄膜シート2に所望の剛性を保つことが可能となる。また、図40に示すように、図38に示したような開口部49のパターンをスリット状に加工し、前述の梁状のポリイミド膜22、25および金属シート45を残す構造としてもよい。それによっても薄膜シート2に所望の剛性を保つことが可能となる。このようなスリット状の開口部49は、図32を用いて説明したようなレーザを用いた穴あけ加工によって形成することにより、加工に要する時間を短縮することができる。また、図6および図7を用いて説明した接着リング6および押圧具9が平面円形である場合には、図42に示すように、開口部49を平面円形のパターンとしてもよい。接着リング6および押圧具9が平面円形である場合に、開口部49が平面矩形のパターンであると、矩形パターンの角部などに不十分な力が集中することが懸念されるが、平面円形のパターンとすることによって、そのような不十分な力の集中を防ぐことが可能となる。また、図3を用いて説明したように、検査対象のチップCHPは、平面で短辺および長辺を有する矩形であることから、図44に示すように、開口部49を短辺および長辺を有する平面矩形のパターンで形成し、そのパターン内において、短辺に沿った方向に延在する複数の梁状にポリイミド膜22、25および金属シート45を残す構造としてもよい。それにより、薄膜シート2に所望の剛性を保つことが可能となる。

30

40

【0083】

上記のような本実施の形態2によっても、前記実施の形態1と同様の効果を得ることができる。

50

【 0 0 8 4 】

(実施の形態 3)

図 4 6 は本実施の形態 3 の半導体集積回路装置を形成したチップの要部を示す断面図であり、紙面左側の断面は積層配線が形成された領域を示し、紙面右側の断面はボンディングパッド (以降、単にパッドと記す) が形成された領域を示している。

【 0 0 8 5 】

たとえば p 型の単結晶 Si (シリコン) からなる基板 8 1 の主面には p 型ウエル 8 2 が形成されており、p 型ウエルの素子分離領域には素子分離溝 8 3 が形成されている。素子分離溝 8 3 は、基板 8 1 をエッチングして形成した溝に酸化シリコンなどの絶縁膜 8 4 を埋め込んだ構成になっている。

10

【 0 0 8 6 】

n チャネル型 MISFET Q n は、主としてゲート酸化膜 8 5、ゲート電極 8 6 および LDD (Lightly Doped Drain) 構造の n 型半導体領域 (ソース、ドレイン) 8 7 からなる。ゲート電極 6 は、たとえば P (リン) がドーブされた低抵抗多結晶シリコン膜、WN (窒化タングステン) 膜および W (タングステン) 膜を積層した 3 層の導電性膜によって形成されている。

【 0 0 8 7 】

n チャネル型 MISFET の上部には、酸化シリコン膜 8 9 が形成されている。この酸化シリコン膜 8 9 には n チャネル型 MISFET Q n の n 型半導体領域 (ソース、ドレイン) 8 7 に達するコンタクトホールが形成されており、そのコンタクトホールの内部には、たとえばバリアメタル (TiN / Ti) と W 膜との積層膜からなるプラグ 9 0 が埋め込まれている。

20

【 0 0 8 8 】

酸化シリコン膜 8 9 上には、第 1 層目の配線 9 1 が形成されている。この配線 9 1 は、たとえば Al を主成分として含む厚い膜厚の Al 合金膜 (たとえば Cu (銅) および Si を含む) とこの Al 合金膜を挟む薄い膜厚の Ti 膜および TiN 膜とからなる 3 層の導電性膜によって形成されている。また、配線 9 1 は、上記プラグ 9 0 を通じて n チャネル型 MISFET Q n の n 型半導体領域 (ソース、ドレイン) 8 7 の一方と電気的に接続されている。

【 0 0 8 9 】

配線 9 1 の上部には、酸化シリコン膜 9 2 が形成されている。この酸化シリコン膜 9 2 には配線 9 1 に達するコンタクトホールが形成されており、そのコンタクトホールの内部には、上記プラグ 9 0 と同様にバリアメタル (TiN / Ti) と W 膜との積層膜からなるプラグ 9 3 が埋め込まれている。

30

【 0 0 9 0 】

酸化シリコン膜 9 2 上には、配線 9 1 と同様の構成の第 2 層目の配線 9 4 が形成されている。この配線 9 4 は、上記プラグ 9 3 を通じて配線 9 1 と電気的に接続されている。

【 0 0 9 1 】

配線 9 4 上には、酸化シリコン膜 9 5 が形成されている。この酸化シリコン膜 9 5 には配線 9 4 に達するコンタクトホール 9 6 が形成されており、その内部には、上記プラグ 9 0、9 3 と同様にバリアメタル (TiN / Ti) と W 膜との積層膜からなるプラグ 9 7 が埋め込まれている。

40

【 0 0 9 2 】

酸化シリコン膜 9 5 上には、配線 9 1、9 4 と同様の構成の第 3 層目の配線 9 8 A、9 8 B が形成されている。積層配線が形成された領域に配置された配線 9 8 A は、プラグ 9 7 を通じて配線 9 4 と電気的に接続されている。また、配線 9 8 B は、パッドが形成された領域に配置されている。

【 0 0 9 3 】

配線 9 8 上には、プラズマ中で形成された酸化シリコン膜 9 9、1 0 0 が積層されている。積層配線が形成された領域において、酸化シリコン膜 9 9、1 0 0 には配線 9 8 A に

50

達するコンタクトホール101Aが形成されており、その内部には、上記プラグ90、93、97と同様に、薄い膜厚のバリアメタル(TiN/Ti)と厚い膜厚のW膜との積層膜からなるプラグ102Aが埋め込まれている。一方、パッドが形成された領域では、酸化シリコン膜99、100には配線98Bに達するコンタクトホール101Bが形成されており、その内部にはバリアメタル(TiN/Ti)とW膜との積層膜からなるプラグ102Bが埋め込まれている。

【0094】

積層配線が形成された領域においては、酸化シリコン膜100上に第4層目の配線103が形成されている。また、プラグ102Bの上部にはパッド(パッド電極)BPが形成されている。

【0095】

上記配線103は、厚い膜厚のAl合金膜とこのAl合金膜を挟む薄い膜厚のTi膜およびTiN膜とからなる3層の導電性膜から形成されている。この配線103は、上記プラグ102Aを通じて配線98Aと電気的に接続されている。また、パッドBPは、3層の導電性膜によって構成された前記配線103と同一の工程で形成された配線を用いて形成される。

【0096】

第4層目の配線103およびパッドBPの上部には、たとえば酸化シリコン膜104Aと窒化シリコン膜104Bとを積層した2層の絶縁膜によって構成される表面保護膜104が形成されている。また、パッドBPの上部において、この表面保護膜104にはパッドBPに達する開口部105が形成されている。

【0097】

本実施の形態3のチップは、ボンディングワイヤ(図示は省略す)を用いて実装される。このようなチップに対しても前記実施の形態1、2で説明したプローブカードを用いてプローブ検査を実施することができる。その際、前記実施の形態1、2で説明したプローブ7(図7参照)が接触するのはパッドBPである。プローブ検査が終了した後、基板81を各々のチップへと分割し、ボンディングワイヤをパッドBPと実装基板(図示は省略)とに接続することによってチップを実装基板へ実装する。

【0098】

上記のような本実施の形態3によっても、前記実施の形態1、2と同様の効果を得ることができる。

【0099】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0100】

たとえば、前記実施の形態では、薄膜シートに形成されたプローブをバンプ電極に接触させてプローブ検査を実施する場合について説明したが、バンプ電極を形成する前に、バンプ電極下に配置されるパッドにプローブを接触させてプローブ検査を実施してもよい。

【産業上の利用可能性】

【0101】

本発明の半導体集積回路装置の製造方法は、たとえば半導体集積回路装置の製造工程におけるプローブ検査工程に広く適用することができる。

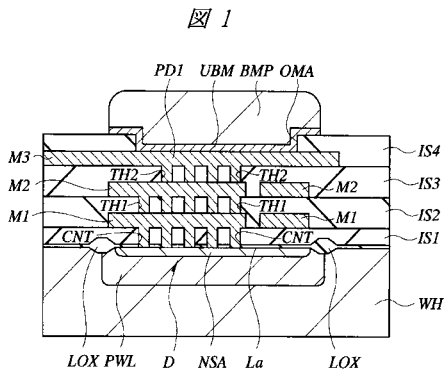
10

20

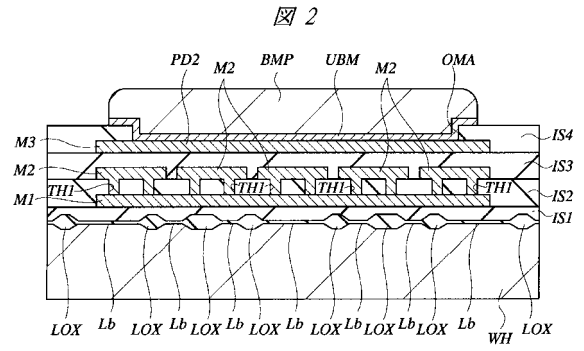
30

40

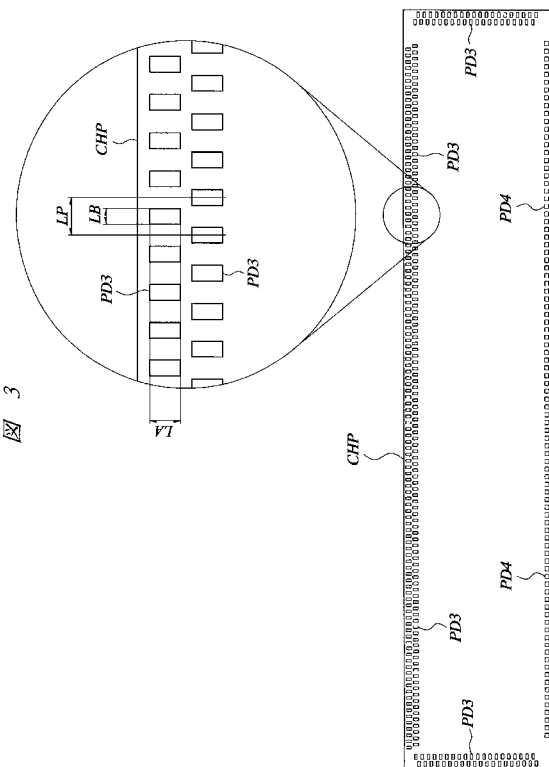
【 図 1 】



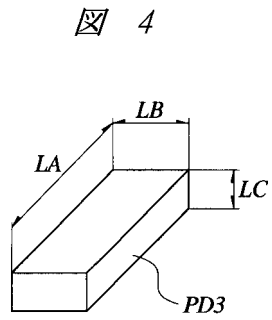
【 図 2 】



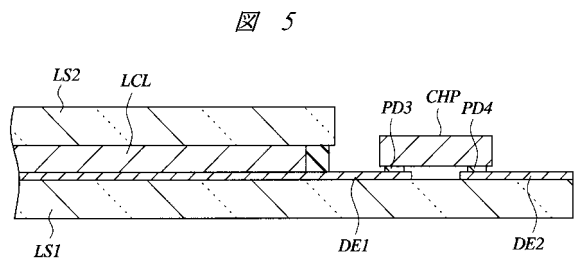
【 図 3 】



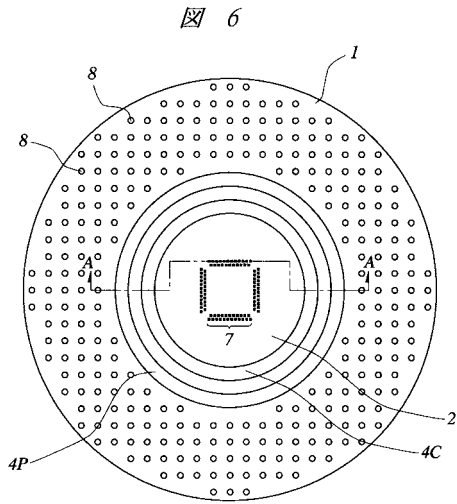
【 図 4 】



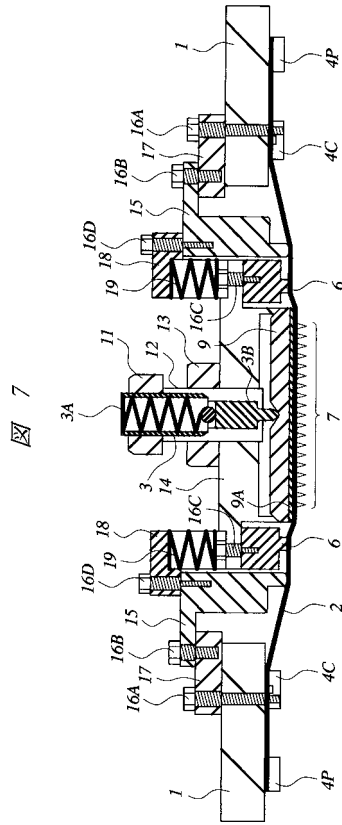
【 図 5 】



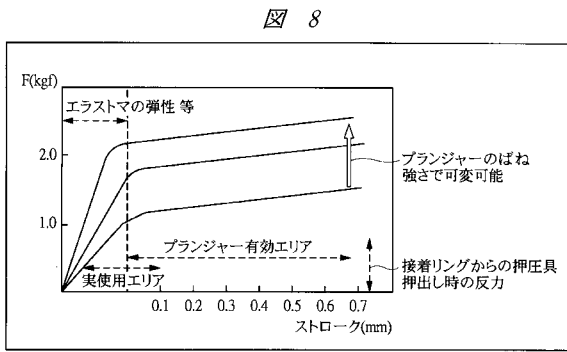
【 図 6 】



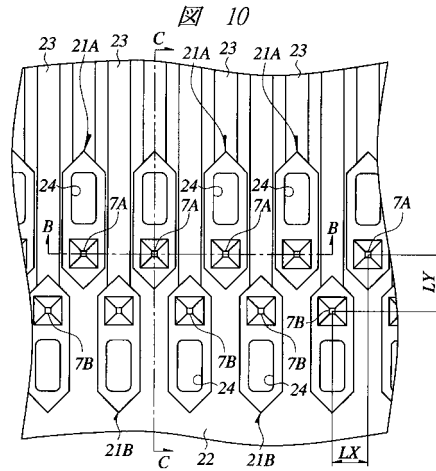
【 図 7 】



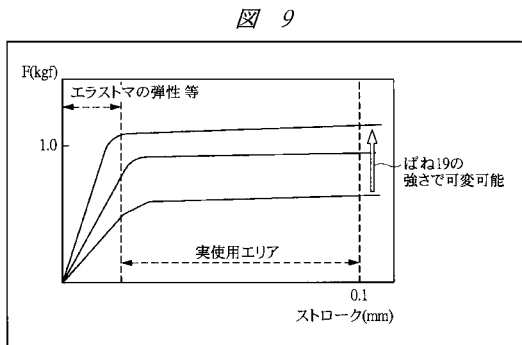
【 図 8 】



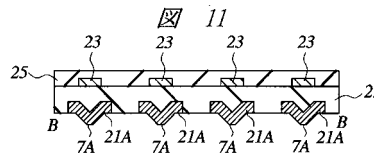
【 図 10 】



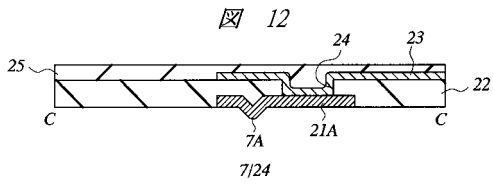
【 図 9 】



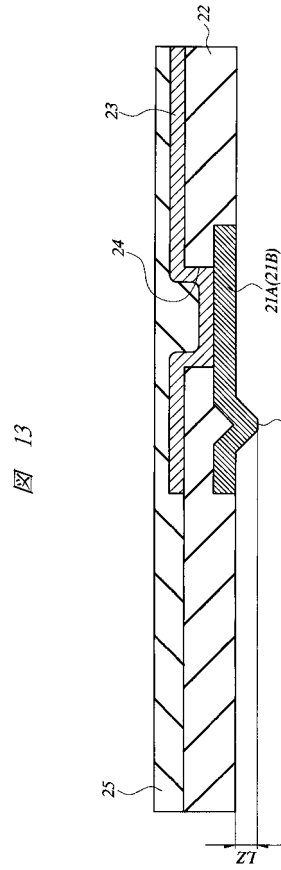
【 図 11 】



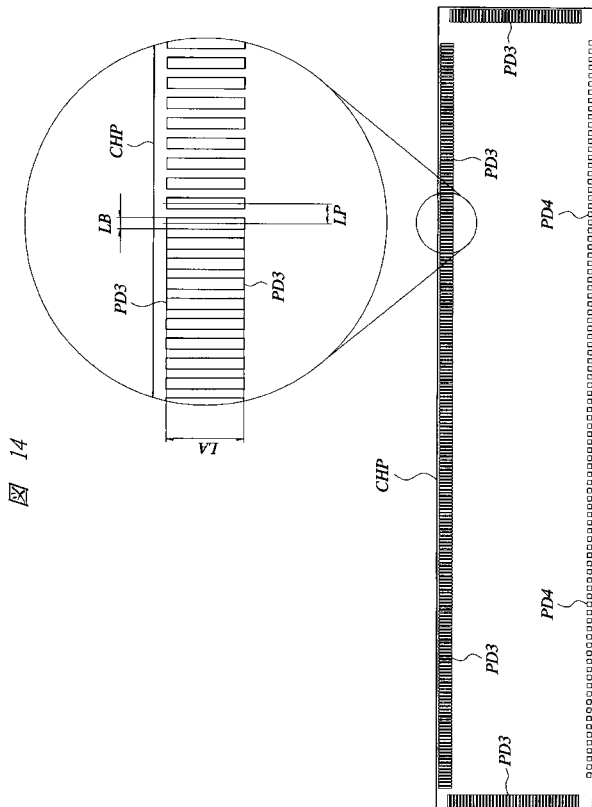
【 図 1 2 】



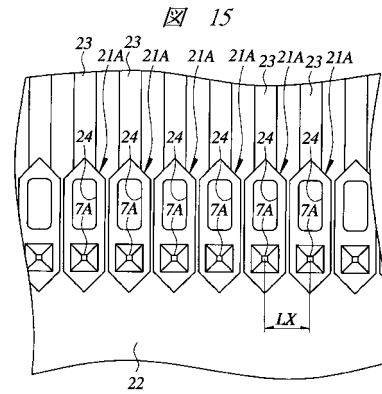
【 図 1 3 】



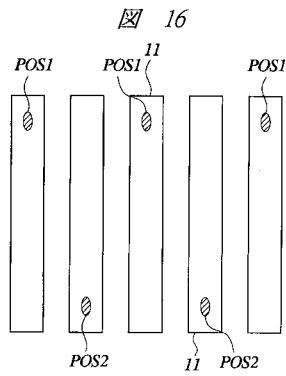
【 図 1 4 】



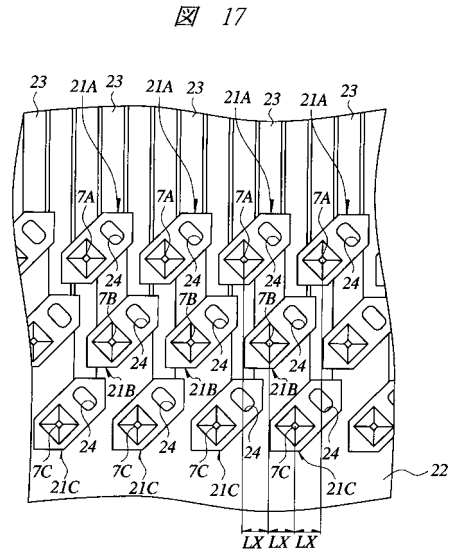
【 図 1 5 】



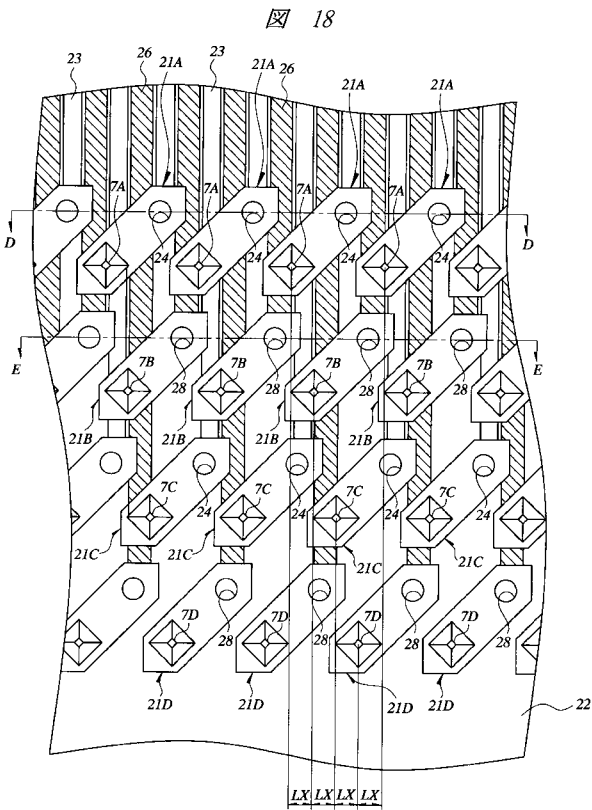
【 図 1 6 】



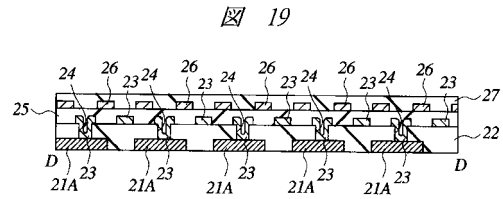
【 図 1 7 】



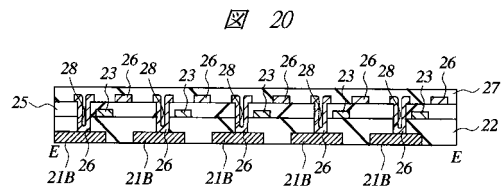
【 図 1 8 】



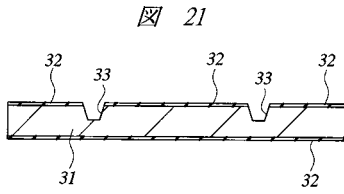
【 図 1 9 】



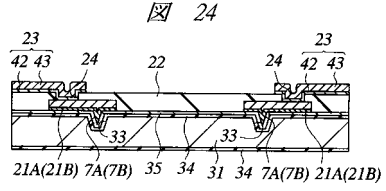
【 図 2 0 】



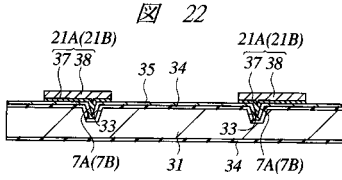
【 図 2 1 】



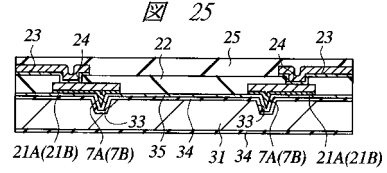
【 図 2 4 】



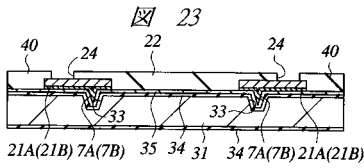
【 図 2 2 】



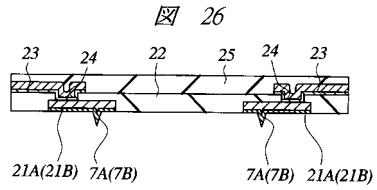
【 図 2 5 】



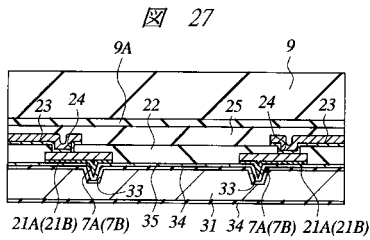
【 図 2 3 】



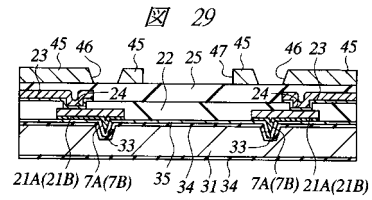
【 図 2 6 】



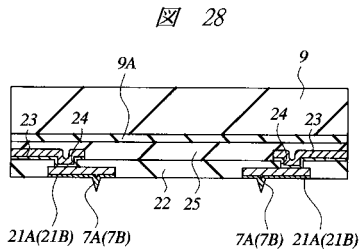
【 図 2 7 】



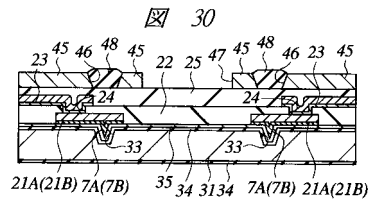
【 図 2 9 】



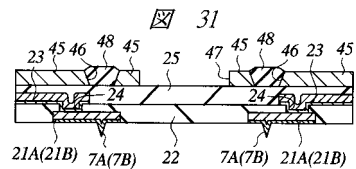
【 図 2 8 】



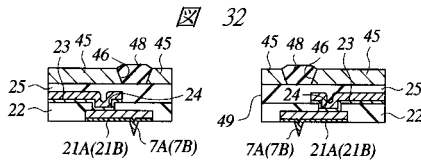
【 図 3 0 】



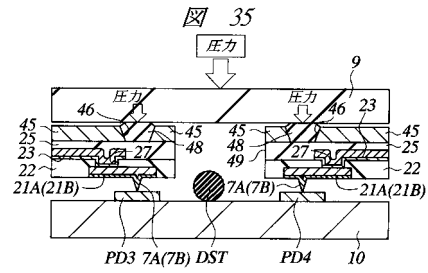
【 図 3 1 】



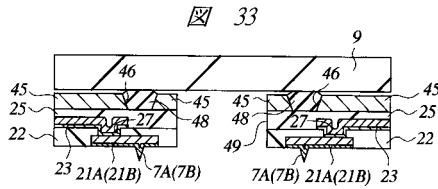
【 図 3 2 】



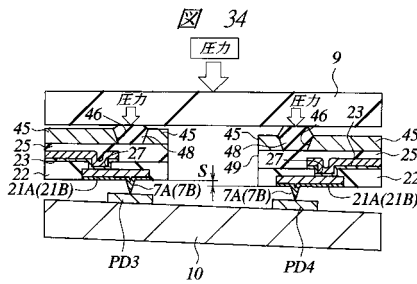
【 図 3 5 】



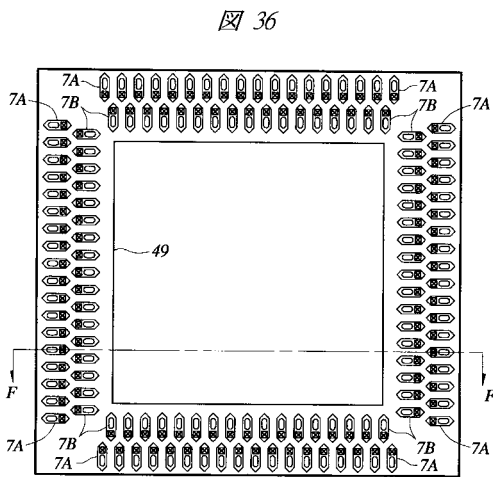
【 図 3 3 】



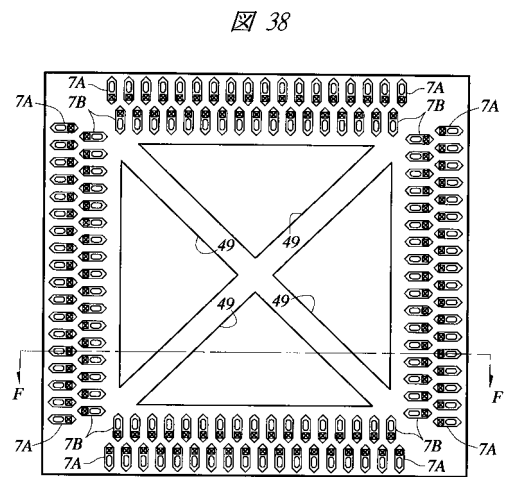
【 図 3 4 】



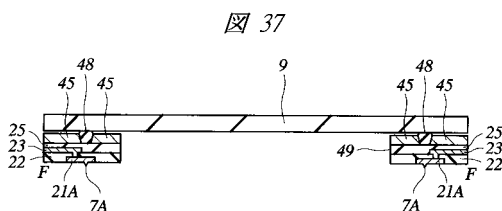
【 図 3 6 】



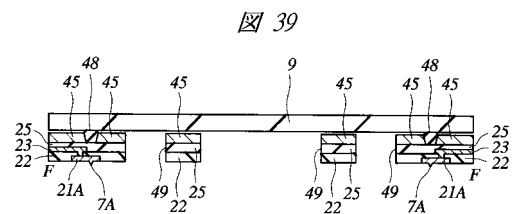
【 図 3 8 】



【 図 3 7 】

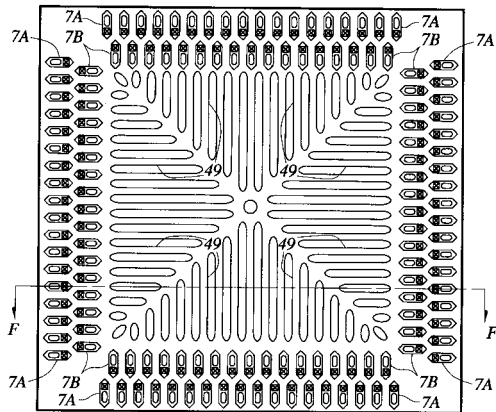


【 図 3 9 】



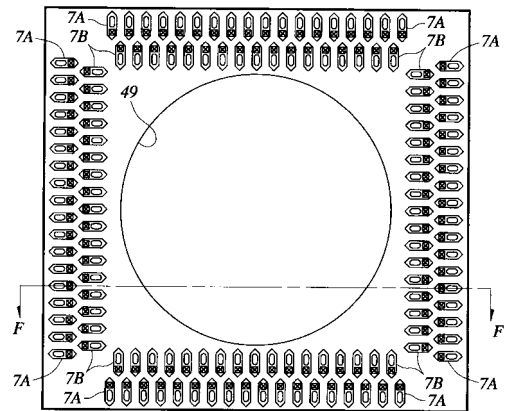
【 図 4 0 】

図 40



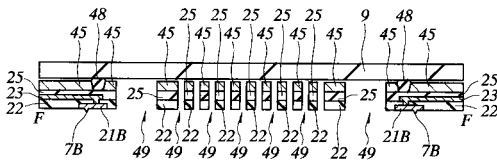
【 図 4 2 】

図 42



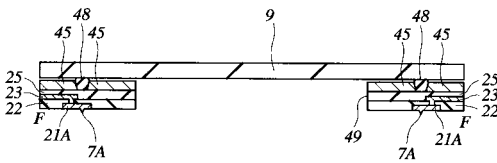
【 図 4 1 】

図 41



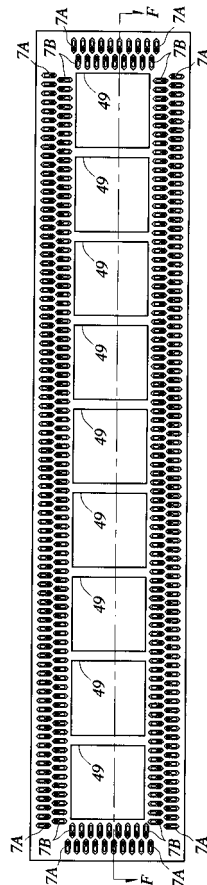
【 図 4 3 】

図 43



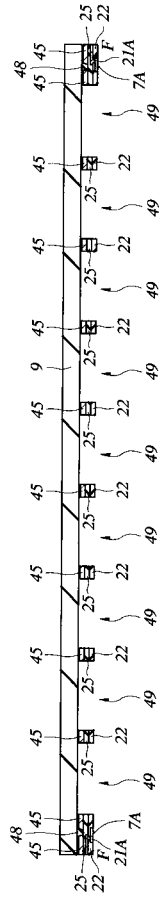
【 図 4 4 】

図 44



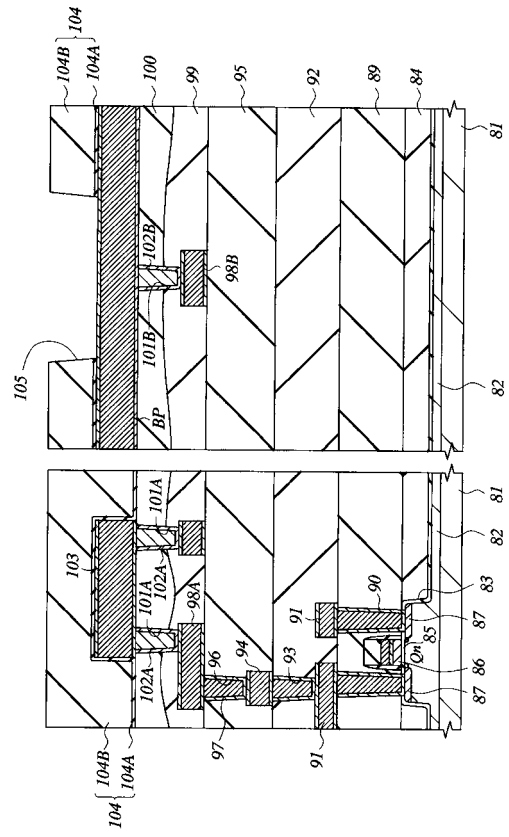
【 図 4 5 】

図 45



【 図 4 6 】

図 46



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2005/004344
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L21/66, G01R1/073, 31/28 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L21/66, G01R1/073, 31/28 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-36188 A (Tokyo Electron Ltd.), 07 February, 1997 (07.02.97), Full text; all drawings & US 5825192 A	1, 2, 5, 6, 7, 8, 11, 12 4, 10
Y		
X	JP 2001-159643 A (Hitachi, Ltd.), 12 June, 2001 (12.06.01), Full text; all drawings (Family: none)	1-3, 5, 6, 7-9, 11, 12 4, 10
Y		
X	JP 10-308423 A (Hitachi, Ltd.), 17 November, 1998 (17.11.98), Full text; all drawings (Family: none)	1-3, 5, 6, 7-9, 11, 12 4, 10
Y		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 May, 2005 (17.05.05)		Date of mailing of the international search report 31 May, 2005 (31.05.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004344

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-134509 A (Texas Instruments Inc.), 10 May, 2002 (10.05.02), Par. No. [0002] & US 2002/0025417 A1	4, 10

国際調査報告		国際出願番号 PCT/JP2005/004344									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ H01L21/66, G01R1/073, 31/28											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ H01L21/66, G01R1/073, 31/28											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0" style="width: 100%;"> <tr><td>日本国実用新案公報</td><td>1922-1996年</td></tr> <tr><td>日本国公開実用新案公報</td><td>1971-2005年</td></tr> <tr><td>日本国実用新案登録公報</td><td>1996-2005年</td></tr> <tr><td>日本国登録実用新案公報</td><td>1994-2005年</td></tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2005年	日本国実用新案登録公報	1996-2005年	日本国登録実用新案公報	1994-2005年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2005年										
日本国実用新案登録公報	1996-2005年										
日本国登録実用新案公報	1994-2005年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X Y	JP 9-36188 A (東京エレクトロン株式会社) 1997.02.07, 全文、全図 & US 5825192 A	1, 2, 5, 6, 7, 8, 11, 12 4, 10									
X Y	JP 2001-159643 A (株式会社日立製作所) 2001.06.12, 全文、全図 (ファミリーなし)	1-3, 5, 6, 7-9, 11, 12 4, 10									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%;"> * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td style="width: 50%;"> の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献										
国際調査を完了した日 17.05.2005		国際調査報告の発送日 31.5.2005									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 菅野 智子 電話番号 03-3581-1101 内線 3471									

国際調査報告

国際出願番号 PCT/J P 2 0 0 5 / 0 0 4 3 4 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 10-308423 A (株式会社日立製作所) 1998. 11. 17, 全文、全図 (ファミリーなし)	1-3, 5, 6, 7-9, 11, 12
Y		4, 10
Y	JP 2002-134509 A (テキサス インストルメンツ インコーポレイテッド) 2002. 05. 10, 【0002】 & US 2002/0025417 A1	4, 10

フロントページの続き

- (72)発明者 本山 康博
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 岡元 正芳
茨城県ひたちなか市堀口730番地 株式会社ルネサス那珂セミコンダクタ内
- (72)発明者 成塚 康則
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内
- (72)発明者 岡本 直樹
東京都新宿区西新宿六丁目5番1号 株式会社ルネサス東日本セミコンダクタ内
- Fターム(参考) 2G003 AG04 AG12 AG20 AH01 AH07
2G011 AA09 AA15 AA21 AB01 AB02 AB03 AB06 AB08 AC14 AE03
AF07
4M106 AA01 AA02 BA01 CA01 DD09 DD10 DD13

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。