

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7168332号
(P7168332)

(45)発行日 令和4年11月9日(2022.11.9)

(24)登録日 令和4年10月31日(2022.10.31)

(51)国際特許分類

F I

H 0 4 L	25/03	(2006.01)	H 0 4 L	25/03	Z
H 0 4 L	25/02	(2006.01)	H 0 4 L	25/02	V
H 0 4 B	3/02	(2006.01)	H 0 4 B	3/02	
H 0 3 K	19/0175	(2006.01)	H 0 3 K	19/0175	2 9 0
H 0 4 B	3/50	(2006.01)	H 0 4 B	3/50	

請求項の数 4 (全12頁)

(21)出願番号 特願2018-49410(P2018-49410)
 (22)出願日 平成30年3月16日(2018.3.16)
 (65)公開番号 特開2019-161586(P2019-161586
 A)
 (43)公開日 令和1年9月19日(2019.9.19)
 審査請求日 令和3年1月19日(2021.1.19)

(73)特許権者 000004695
 株式会社 S O K E N
 愛知県日進市米野木町南山 5 0 0 番地 2
 0
 (73)特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町 1 丁目 1 番地
 110000578名古屋国際弁理士法人
 (74)代理人 関谷 洋平
 (72)発明者 愛知県西尾市下羽角町岩谷 1 4 番地 株
 式会社 S O K E N 内
 (72)発明者 森 寛之
 愛知県西尾市下羽角町岩谷 1 4 番地 株
 式会社 S O K E N 内
 (72)発明者 岸上 友久

最終頁に続く

(54)【発明の名称】 リンギング抑制回路

(57)【特許請求の範囲】

【請求項 1】

一対の高電位側信号線(3H)及び低電位側信号線(3L)によりハイレベル及びローレベルに変化する差動信号を伝送する伝送線路(3)に接続され、前記差動信号の伝送に伴い発生するリンギングを抑制するリンギング抑制回路であって、

前記差動信号が前記ローレベルから前記ハイレベルに変化した場合に、前記一対の信号線間のインピーダンスを一定時間低下させるように構成されたリンギング抑制部(20, 40)と、

前記差動信号の電圧が、前記ハイレベルの電圧より低い所定の低下判定電圧よりも低下したと判定すると、前記リンギング抑制部による前記インピーダンスの低下を、前記一定時間よりも長い所定の時間だけ停止させるように構成された停止部(30)と、
 を備えるリンギング抑制回路。

【請求項 2】

請求項 1 に記載のリンギング抑制回路であって、
 前記所定の時間は、前記伝送線路を介して実施される通信の 1 ビット時間よりも短い、
 リンギング抑制回路。

【請求項 3】

請求項 1 又は請求項 2 に記載のリンギング抑制回路であって、
 前記リンギング抑制部(40)は、前記差動信号の前記ローレベルから前記ハイレベルへの変化に伴って前記差動信号にリンギングが発生したと判定すると、前記インピーダン

スを低下させるように構成されている、

リングング抑制回路。

【請求項 4】

請求項 3 に記載のリングング抑制回路であって、

前記リングング抑制部は、前記差動信号の電圧が、前記ハイレベルの電圧以上に設定されたリングング判定電圧を超えたと判定した場合に、前記リングングが発生したと判定するように構成されている、

リングング抑制回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本開示は、一対の高電位側信号線及び低電位側信号線により差動信号を伝送する伝送線路に接続され、前記差動信号の伝送に伴い発生するリングングを抑制する回路に関する。

【背景技術】

【0002】

伝送線路を介してデジタル信号を伝送する場合、受信側においては、信号レベルが変化するタイミングで信号エネルギーの一部が反射することで、オーバーシュートやアンダーシュートのような波形の歪み、すなわちリングングが生じる問題がある。

【0003】

下記特許文献 1 には、差動信号のレベルが変化したことを検出すると、一対の信号線間に設けられたスイッチング素子を一定時間オンして、信号線間のインピーダンスを低下させることにより、リングングを抑制するリングング抑制回路が記載されている。

20

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2012 - 244220 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

発明者の詳細な検討の結果、下記の課題が見出された。

30

特許文献 1 に記載の技術を、差動信号のローレベルからハイレベルへの変化に対して適用した場合、信号線間のインピーダンスを低下させることにより、差動信号の電圧がハイレベルの電圧から低下し過ぎてしまい、通信に支障が生じる可能性がある。

【0006】

そこで、本開示の 1 つの局面は、リングングを抑制すると共に、差動信号の電圧がハイレベルの電圧から下がり過ぎることも抑制可能なリングング抑制回路を提供する。

【課題を解決するための手段】

【0007】

本開示の 1 つの態様によるリングング抑制回路は、一対の高電位側信号線（3H）及び低電位側信号線（3L）によりハイレベル及びローレベルに変化する差動信号を伝送する伝送線路（3）に、接続される。そして、このリングング抑制回路は、差動信号の伝送に伴い発生するリングングを抑制するために、リングング抑制部（20, 40）を備える。更に、このリングング抑制回路は、停止部（30）を備える。

40

【0008】

リングング抑制部は、差動信号がローレベルからハイレベルに変化した場合に、一対の信号線間のインピーダンスを低下させる。このため、リングングが抑制される。

停止部は、差動信号の電圧がハイレベルの電圧より低い所定の低下判定電圧よりも低下したと判定すると、リングング抑制部によるインピーダンスの低下を停止させる。このため、差動信号の電圧がハイレベルの電圧から下がり過ぎてしまうことも抑制される。ここで言うハイレベルの電圧とは、ハイレベルの電圧の標準値である。

50

【 0 0 0 9 】

尚、この欄及び特許請求の範囲に記載した括弧内の符号は、一つの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、本開示の技術的範囲を限定するものではない。

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 第 1 実施形態のリングング抑制回路を備えた E C U の構成を示すブロック図である。

【 図 2 】 第 1 実施形態の停止制御部の動作を表すフローチャートである。

【 図 3 】 第 1 実施形態のリングング抑制部の、有効時における等価回路である。

10

【 図 4 】 シミュレーションを実施したネットワークの構成図である。

【 図 5 】 第 1 実施形態のリングング抑制部の作用を表すシミュレーション結果の波形である。

【 図 6 】 第 1 実施形態のリングング抑制回路の作用を表すシミュレーション結果の波形である。

【 図 7 】 第 2 実施形態のリングング抑制回路を備えた E C U の構成を示すブロック図である。

【 図 8 】 第 2 実施形態の抑制制御部の動作を表すフローチャートである。

【 図 9 】 第 2 実施形態のリングング抑制回路の作用を表すシミュレーション結果の波形である。

20

【 発明を実施するための形態 】

【 0 0 1 1 】

以下、図面を参照しながら、本開示の実施形態を説明する。

[1 . 第 1 実施形態]

[1 - 1 . 構成]

図 1 に示すように、第 1 実施形態のリングング抑制回路 1 1 は、他の E C U と通信する E C U 1 に、受信回路 1 2 と共に備えられている。尚、受信回路 1 2 は、送受信回路であっても良いし、送信回路であっても良い。E C U は、「Electronic Control Unit」の略である。

【 0 0 1 2 】

30

リングング抑制回路 1 1 は、伝送線路 3 を構成する高電位側信号線 3 H と低電位側信号線 3 L との間に、受信回路 1 2 と共に並列に接続されている。

伝送線路 3 は、高電位側信号線 3 H 及び低電位側信号線 3 L によってハイレベル及びローレベルに変化する差動信号を伝送する。つまり、伝送線路 3 は、差動伝送路である。

【 0 0 1 3 】

本実施形態では、伝送線路 3 が非ドライブ状態の場合に、高電位側信号線 3 H と低電位側信号線 3 L との両方が、中間電圧として例えば 1 . 5 V になる。そして、両方の信号線 3 H , 3 L が 1 . 5 V の場合、差動信号の電圧（即ち、差動電圧）は、ローレベルの電圧としての 0 V になる。つまり、差動信号はローレベルとなる。本実施形態において、0 V は、ローレベルの差動電圧の標準値である。

40

【 0 0 1 4 】

また、伝送線路 3 が、図示されない送信回路によってドライブされると、高電位側信号線 3 H は例えば 2 . 5 V になり、低電位側信号線 3 L は例えば 0 . 5 V になる。このため、差動電圧は、ハイレベルの電圧としての 2 V になる。つまり、差動信号はハイレベルになる。本実施形態において、2 V は、ハイレベルの差動電圧の標準値である。

【 0 0 1 5 】

尚、図示はされていないが、高電位側信号線 3 H と低電位側信号線 3 L との両端は、例えば 1 2 0 の抵抗素子により終端されている。

また、本実施形態において、通信プロトコルは、例えば車載 L A N のプロトコルの一つである C A N である。C A N は登録商標である。C A N において、差動信号のローレベル

50

は、レセッシブと呼ばれ、差動信号のハイレベルは、ドミナントと呼ばれる。

【 0 0 1 6 】

リングング抑制回路 1 1 は、伝送線路 3 における差動信号の伝送に伴って発生するリングングを抑制するためのリングング抑制部（以下、抑制部）2 0 と、所定の条件が成立すると抑制部 2 0 の機能を強制的に停止させる停止部 3 0 と、を備える。

【 0 0 1 7 】

抑制部 2 0 は、信号線 3 H , 3 L 間のインピーダンスを低下させるためのスイッチング素子として、NチャネルMOSFET（以下、nMOS）2 1 を備える。更に、抑制部 2 0 は、nMOS 2 1 を制御する回路として、コンデンサ 2 2 及び抵抗素子 2 3 の直列回路を備える。

10

【 0 0 1 8 】

nMOS 2 1 のドレインは、高電位側信号線 3 H に接続されている。コンデンサ 2 2 の抵抗素子 2 3 側とは反対側の端子も、高電位側信号線 3 H に接続されている。また、抵抗素子 2 3 のコンデンサ 2 2 側とは反対側の端子は、低電位側信号線 3 L に接続されている。そして、コンデンサ 2 2 と抵抗素子 2 3 との共通接続点は、nMOS 2 1 のゲートに接続されている。

【 0 0 1 9 】

停止部 3 0 は、抑制部 2 0 の機能（即ち、リングング抑制機能）を停止させるためのスイッチング素子として、PチャネルMOSFET（以下、pMOS）3 1 を備える。更に、停止部 3 0 は、コンパレータ 3 2 と、コンパレータ 3 2 の出力に基づき pMOS 3 1 を制御する停止制御部 3 3 と、を備える。停止制御部 3 3 は、受信回路 1 2 に備えられているが、受信回路 1 2 とは別に設けられても良い。

20

【 0 0 2 0 】

pMOS 3 1 のドレインとソースは、nMOS 2 1 のソースと低電位側信号線 3 L との間に接続されている。また、pMOS 3 1 のゲートは、停止制御部 3 3 に接続されている。

【 0 0 2 1 】

コンパレータ 3 2 は、高電位側信号線 3 H の電圧（以下、 V_H ）と、所定の低下閾値電圧（以下、 V_{thL} ）とを比較し、 V_H が V_{thL} よりも低下すると、当該コンパレータ 3 2 の出力信号を例えばハイにする。コンパレータ 3 2 の出力信号は、停止制御部 3 3 に入力される。

30

【 0 0 2 2 】

V_{thL} は、差動信号がハイレベルの場合の V_H （即ち、2.5V）よりも低い電圧であり、本実施形態では例えば 1.5V に設定されている。

本実施形態では、差動信号がハイレベルに変化した場合に、低電位側信号線 3 L の電圧（以下、 V_L ）が 0.5V であると仮定している。そして、差動電圧が、ハイレベルの電圧（即ち 2V）よりも低い低下判定電圧の一例である「 $1V = V_{thL} - 0.5V$ 」よりも低下したか否かを、コンパレータ 3 2 によって判定している。

【 0 0 2 3 】

尚、 V_{thL} は 1.5V 以外でも良い。つまり、低下判定値は 1V 以外でも良い。また、例えば、 V_H と V_L との差（即ち、差動電圧）がオペアンプ等によって検出され、その検出された差動電圧と、低下判定電圧（例えば 1V）とが、コンパレータ 3 2 によって比較されても良い。

40

【 0 0 2 4 】

停止制御部 3 3 は、通常は、pMOS 3 1 をオンさせる。

そして、停止制御部 3 3 は、図 2 の S 1 1 0 に示すように、差動電圧が低下判定電圧としての 1V よりも低下したか否かを、コンパレータ 3 2 の出力信号に基づいて判定する。具体的には、停止制御部 3 3 は、コンパレータ 3 2 の出力信号がハイであれば、 V_H が V_{thL} よりも低下した、即ち、差動電圧が低下判定電圧よりも低下した、と判定する。

【 0 0 2 5 】

停止制御部 3 3 は、差動電圧が低下判定電圧よりも低下したと判定すると、図 2 の S 1

50

20に示すように、pMOS31を、通信の1ビット時間よりも短い一定時間TSだけオフさせ、その後、上記S110の判定を再び行う。

【0026】

pMOS31がオフされると、nMOS21が信号線3H, 3L間から切り離されるため、抑制部20によるインピーダンスの低下は強制的に停止される。

尚、上記一定時間TSは、受信回路12中のクロックを用いて計測される。また、一定時間TSは、例えば、コンデンサ及び抵抗素子等で構成されるアナログの充放電回路によって計測されても良い。

【0027】

[1-2.抑制部20の作用]

pMOS31がオンされて、nMOS21のソースが低電位側信号線3Lに接続されている場合に、抑制部20の機能が有効となる。

【0028】

このため、ここでは、図3に示すように、nMOS21のソースが低電位側信号線3Lに常時接続されているとして、抑制部20の作用を説明する。

また、図3に示す抑制部20を備えるECU1が、図4に示すトポロジのネットワークに接続されると共に、このネットワークにおけるECU2~6のうちの1つ(例えばECU3)が送信した場合の、シミュレーション結果の波形を、図5に示す。

【0029】

尚、図4において、J/C(即ち、ジャンクション)7は、各ECU1~6の伝送線路を接続する接続部である。また、図5において、送信電圧とは、送信側におけるVHとVLを意味している。また、図5及び後述する他の図において、受信電圧とは、受信側におけるVHを意味している。また、図5及び以下の説明において、ゲート電圧とは、詳しくは、ゲート-ソース間電圧である。図5においては、横軸が0秒(即ち0.0E+00)と1マイクロ秒(即ち1.0E-06)の各時点で、送信側での伝送線路3のドライブが開始されており、逆に、0.5マイクロ秒(即ち5.0E-07)と1.5マイクロ秒(即ち1.5E-06)の各時点で、送信側での伝送線路3のドライブが停止されている。

【0030】

抑制部20では、差動信号がローレベルからハイレベルに変化すると、コンデンサ22が抵抗素子23を介して充電され始める。

コンデンサ22の充電が始まると、抵抗素子23に電流が流れるため、図5に示されるように、nMOS21のゲート電圧(即ち、ゲート-ソース間電圧)が上昇して、nMOS21がオンする。そして、コンデンサ22の充電が進み、抵抗素子23に流れる電流(即ち、充電電流)が減少すると、nMOS21がオフする。

【0031】

このため、nMOS21は、差動信号がハイレベルに変化して、コンデンサ22の充電によりゲート電圧が当該nMOS21のオン閾値電圧を超えてから、コンデンサ22の充電電流が減少してゲート電圧がオン閾値電圧より低くなるまでの一定時間だけ、オンする。図5において、Tonは、nMOS21がオンする時間(即ち、オン時間)である。このオン時間Tonは、pMOS31がオフされる一定時間TSよりも短い。また、オン時間Tonは、コンデンサ22の静電容量と抵抗素子23の抵抗値によって変えることができる。

【0032】

そして、nMOS21がオンすると、信号線3H, 3L間が、nMOS21のオン抵抗で接続されることになる。よって、nMOS21がオンすると、信号線3H, 3L間のインピーダンスが低下し、このインピーダンスの低下により、差動信号に生じるリングングが抑制される。

【0033】

図5の最下段において、実線の波形は、抑制部20がある場合のVHの波形であり、点線の波形は、抑制部20がない場合のVHの波形である。図5の最下段において、点線の

10

20

30

40

50

円で囲まれた部分に示されるように、抑制部 20 の nMOS 21 がオンすることにより、VH の立ち上がり時における脈動（即ち、リングング）が抑制されている。

【0034】

[1 - 3 . 停止部 30 の作用]

抑制部 20 が信号線 3H, 3L 間のインピーダンスを低下させた場合に、差動電圧がハイレベルの電圧から低下し過ぎてしまい、ローレベルと誤認識されてしまう可能性がある。

【0035】

このため、停止部 30 は、VH が V_{thL} よりも低下したことをコンパレータ 32 によって検出すると、差動電圧が低下判定電圧よりも低下したと判定して、pMOS 31 をオフすることにより、抑制部 20 によるインピーダンスの低下を停止させる。よって、差動電圧がハイレベルの電圧から下がり過ぎてしまうことが抑制される。

10

【0036】

ここで、図 1 に示す ECU 1 が、図 4 に示したネットワークに接続されると共に、このネットワークにおける ECU 2 ~ 6 のうちの 1 つが送信した場合の、シミュレーション結果の波形を、図 6 に示す。

【0037】

尚、図 6 において、送信側における VH と VL（即ち、送信電圧）は、図 5 と同じである。図 6 においても、図 5 と同様に、横軸が 0 秒の時点で、送信側での伝送線路 3 のドライブが開始され、0.5 マイクロ秒の時点で、送信側での伝送線路 3 のドライブが停止されている。また、図 6 の 2 段目において、実線の波形は、ECU 1 が停止部 30 を備える場合の VH の波形であり、点線の波形は、ECU 1 が停止部 30 を備えず、図 3 に示した構成である場合の VH の波形である。

20

【0038】

図 6 に示されるように、nMOS 21 のオンにより、時刻 t_1 にて、VH が V_{thL} よりも低下すると、pMOS 31 が一定時間 T_S だけオフされて、nMOS 21 のオンが無効化されることにより、VH の低下が防止される。

【0039】

[1 - 4 . 効果]

以上詳述した第 1 実施形態によれば、前述の通り、差動信号の伝送に伴い発生するリングングを抑制すると共に、差動電圧がハイレベルの電圧から下がり過ぎることも抑制することができる。また、抑制部 20 は、差動信号がローレベルからハイレベルに変化すると、信号線 3H, 3L 間のインピーダンスを一定時間低下させるため、リングングを抑制する面において高い効果が見込まれる。そして、インピーダンスを低下させる時間が長すぎて、差動電圧が下がり過ぎてしまうような場合でも、その差動電圧の下がり過ぎが停止部 30 により抑制される。

30

【0040】

[2 . 第 2 実施形態]

[2 - 1 . 第 1 実施形態との相違点]

第 2 実施形態は、基本的な構成は第 1 実施形態と同様であるため、相違点について以下に説明する。尚、第 1 実施形態と同じ符号は、同一の構成を示すものであって、先行する説明を参照する。

40

【0041】

図 7 に示す第 2 実施形態のリングング抑制回路 13 は、第 1 実施形態の抑制部 20 に代えて、抑制部 40 を備える。

抑制部 40 は、nMOS 21 を制御する回路として、コンパレータ 42 と、抑制制御部 43 と、を備える。抑制制御部 43 は、受信回路 12 に備えられているが、受信回路 12 とは別に設けられても良い。

【0042】

コンパレータ 42 は、VH と、所定のリングング閾値電圧（以下、 V_{thR} ）とを比較し、VH が V_{thR} を超えると、当該コンパレータ 32 の出力信号を例えばローにする。

50

コンパレータ 4 2 の出力信号は、抑制制御部 4 3 に入力される。

【 0 0 4 3 】

V t h R は、差動信号がハイレベルの場合の V H (即ち、 2 . 5 V) 以上の電圧であり、本実施形態では例えば 2 . 5 V に設定されている。

本第 2 実施形態においても、差動信号がハイレベルに変化した場合に、V L が 0 . 5 V であると仮定している。そして、差動電圧が、ハイレベルの電圧 (即ち 2 V) 以上に設定されたリングング判定電圧の一例である「 $2 V = V t h R - 0 . 5 V$ 」を超えたか否かを、コンパレータ 4 2 によって判定している。

【 0 0 4 4 】

尚、V t h R は 2 . 5 V より大きくても良い。つまり、リングング判定値は 2 V より大きくても良い。また、例えば、差動電圧がオペアンプ等によって検出され、その検出された差動電圧と、リングング判定電圧 (例えば 2 V) とが、コンパレータ 4 2 によって比較されても良い。

10

【 0 0 4 5 】

抑制制御部 4 3 は、通常は、n M O S 2 1 をオフさせる。

そして、抑制制御部 4 3 は、図 8 の S 2 1 0 に示すように、差動信号のローレベルからハイレベルへの変化に伴って差動信号にリングングが発生した否かを、コンパレータ 4 2 の出力信号に基づいて判定する。

【 0 0 4 6 】

具体的には、抑制制御部 4 3 は、コンパレータ 4 2 の出力信号がローであれば、V H が V t h R を超えた、即ち、差動電圧がリングング判定電圧を超えた、ということから、リングングが発生したと判定する。そして、抑制制御部 4 3 は、リングングが発生したと判定すると、信号線 3 H , 3 L 間のインピーダンスを低下させるために、図 8 の S 2 2 0 に示すように、n M O S 2 1 を一定時間 T R だけオンさせ、その後、上記 S 2 1 0 の判定を再び行う。

20

【 0 0 4 7 】

尚、この 2 実施形態においても、n M O S 2 1 がオンされる一定時間 T R は、p M O S 3 1 がオフされる一定時間 T S よりも短い。また、一定時間 T R は、一定時間 T S と同様に、受信回路 1 2 中のクロックを用いて計測されても良いし、例えばアナログの充放電回路等によって計測されても良い。

30

【 0 0 4 8 】

[2 - 2 . 抑制部 4 0 及び停止部 3 0 の作用]

図 7 に示す E C U 1 が、図 4 に示したネットワークに接続されると共に、このネットワークにおける E C U 2 ~ 6 のうちの 1 つが送信した場合の、シミュレーション結果の波形を、図 9 に示す。

【 0 0 4 9 】

尚、図 6 と同様に、図 9 においても、送信側における V H と V L (即ち、送信電圧) は、図 5 と同じである。つまり、図 9 においても、横軸が 0 秒の時点で、送信側での伝送線路 3 のドライブが開始され、0 . 5 マイクロ秒の時点で、送信側での伝送線路 3 のドライブが停止されている。また、図 9 の 2 段目においても、実線の波形は、E C U 1 が停止部 3 0 を備える場合の V H の波形であり、点線の波形は、E C U 1 が停止部 3 0 を備えず、n M O S 2 1 のソースが低電位側信号線 3 L に常時接続された場合の V H の波形である。

40

【 0 0 5 0 】

図 9 に示されるように、差動信号のハイレベルへの変化に伴い、時刻 t 2 にて、V H が V t h R を超えると、リングングを抑制するために、抑制制御部 4 3 が n M O S 2 1 を一定時間 T R だけオンさせる。n M O S 2 1 のオンにより V H は低下する。

【 0 0 5 1 】

そして、時刻 t 3 において、V H が V t h L よりも低下すると、第 1 実施形態と同様に、停止制御部 3 3 が p M O S 3 1 を一定時間 T S だけオフさせて、n M O S 2 1 のオンを無効化する。よって、V H の低下が防止される。

50

【 0 0 5 2 】

[2 - 3 . 効果]

以上詳述した第2実施形態によっても、第1実施形態の効果と同様の効果を奏する。

また、抑制部40は、リングングが発生したと判定すると、信号線3H, 3L間のインピーダンスを低下させるように構成されているため、インピーダンスを低下させる機会が最適化され易い。また、抑制部40は、差動電圧が、ハイレベルの電圧以上に設定されたリングング判定電圧を超えたと判定した場合に、リングングが発生したと判定するように構成されている。このため、差動信号のハイレベルへの変化時に、リングングの発生を極力早く検知して、nMOS21のオンによるリングング抑制を開始することができる。

【 0 0 5 3 】

[3 . 他の実施形態]

以上、本開示の実施形態について説明したが、本開示は上述の実施形態に限定されることなく、種々変形して実施することができる。

【 0 0 5 4 】

例えば、停止制御部33は、差動信号のハイレベルへの変化開始タイミング、即ち、伝送線路3のドライブが開始されるタイミングにて、図2に示した動作を開始するように構成されて良い。抑制制御部43も、差動信号のハイレベルへの変化開始タイミングにて、図8に示した動作を開始するように構成されて良い。

【 0 0 5 5 】

また、停止制御部33及び抑制制御部43は、デジタル回路又はアナログ回路、あるいはこれらの組合せによって実現されて良いが、CPUとRAM又はROM等の半導体メモリとを有するマイクロコンピュータを用いて実現されても良い。

【 0 0 5 6 】

また、上記実施形態における1つの構成要素が有する複数の機能を、複数の構成要素によって実現したり、1つの構成要素が有する1つの機能を、複数の構成要素によって実現したりしても良い。また、複数の構成要素が有する複数の機能を、1つの構成要素によって実現したり、複数の構成要素によって実現される1つの機能を、1つの構成要素によって実現したりしても良い。また、上記実施形態の構成の一部を省略しても良い。また、上記実施形態の構成の少なくとも一部を、他の上記実施形態の構成に対して付加又は置換しても良い。尚、特許請求の範囲に記載した文言から特定される技術思想に含まれるあらゆる態様が本開示の実施形態である。

【 0 0 5 7 】

また、上述したリングング抑制回路11, 12の他、当該リングング抑制回路11, 12を構成要素とする通信装置、またはリングング抑制方法など、種々の形態で本開示を実現することもできる。

【 符号の説明 】

【 0 0 5 8 】

3... 伝送線路、3H... 高電位側信号線、3L... 低電位側信号線、11, 13... リングング抑制回路、20, 40... リングング抑制部、30... 停止部

10

20

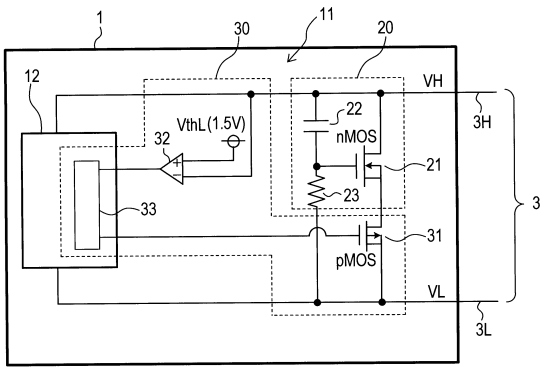
30

40

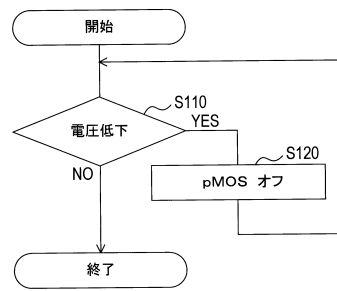
50

【図面】

【図 1】

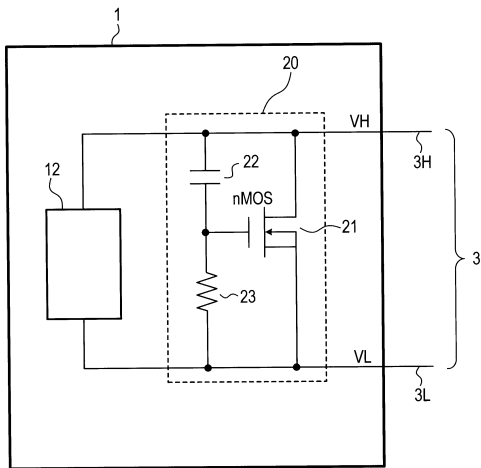


【図 2】

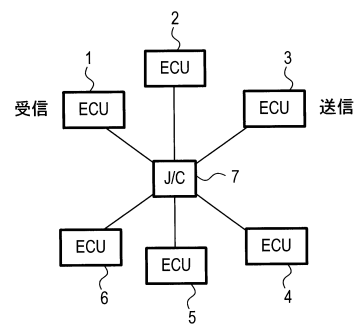


10

【図 3】



【図 4】



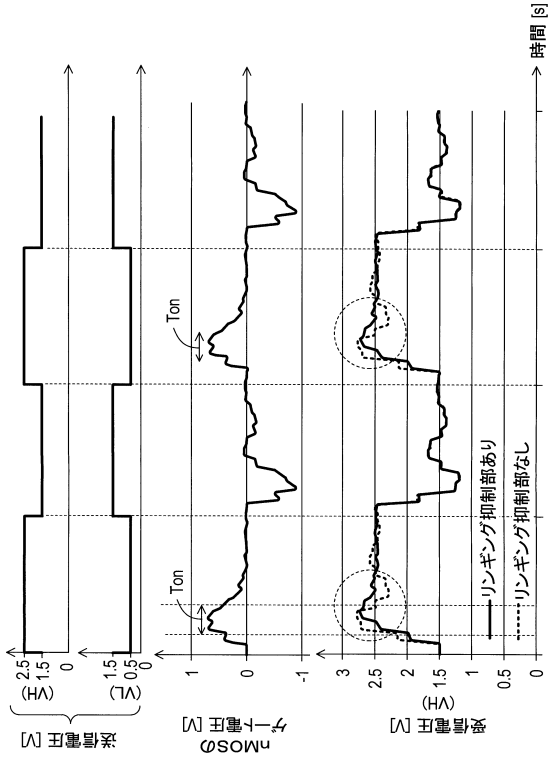
20

30

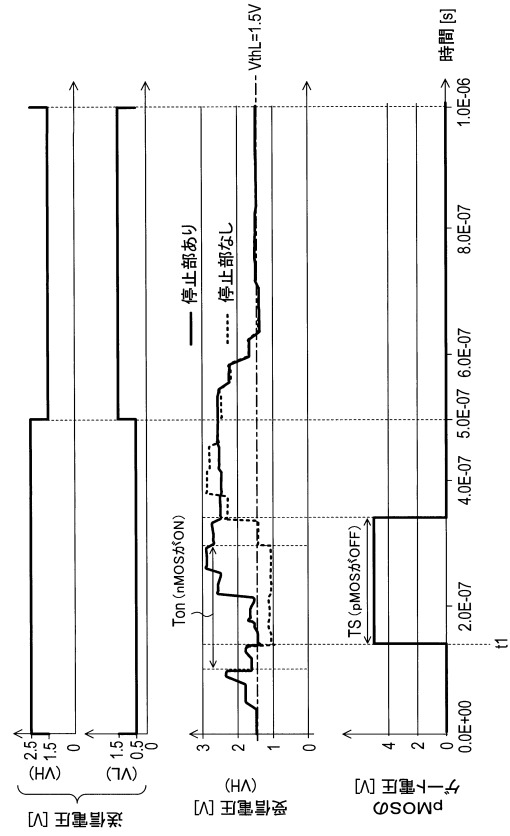
40

50

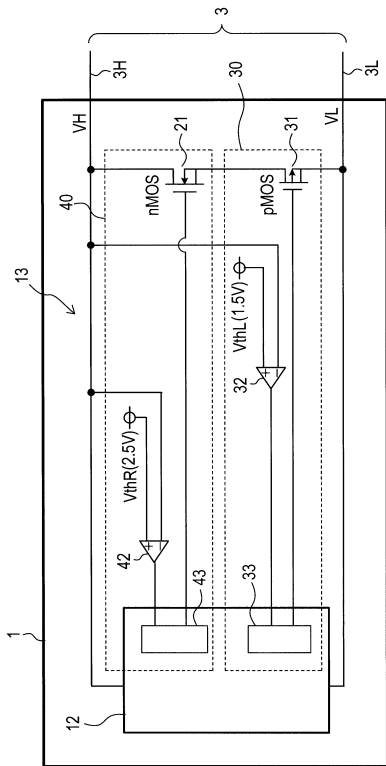
【図 5】



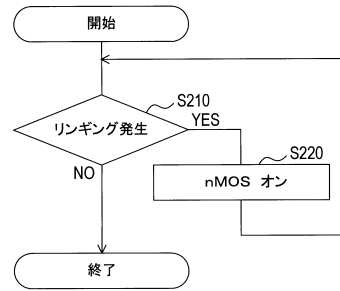
【図 6】



【図 7】



【図 8】



10

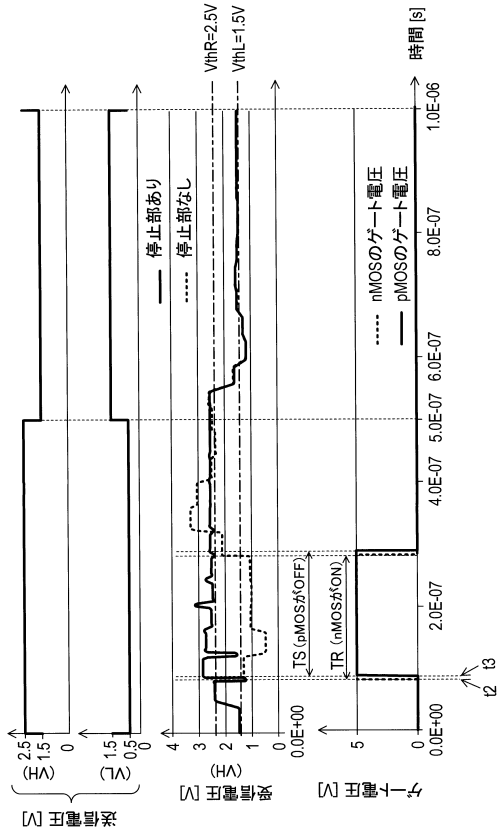
20

30

40

50

【図 9】



10

20

30

40

50

フロントページの続き

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 北村 智彦

(56)参考文献 特開2018-033130(JP,A)

特開2012-257205(JP,A)

特開2006-203568(JP,A)

特開2000-209078(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H04L 25/03

H04L 25/02

H04B 3/02

H03K 19/0175

H04B 3/50