

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04J 3/24 H04Q 11/04	(45) 공고일자 (11) 등록번호 (24) 등록일자	1998년 12월 01일 특0159795 1998년 08월 13일
(21) 출원번호 (22) 출원일자 번역문제출일자 (86) 국제출원번호 (86) 국제출원일자 (81) 지정국	특 1994-703289 1994년 09월 22일 1994년 09월 22일 PCT/US 93/02577 1993년 03월 22일 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 영국 이탈리아 룩셈부르크 네덜란드 스웨덴 그리스 모나코 아일랜드 국내특허 : 브라질 일본 대한민국	(65) 공개번호 (43) 공개일자 (87) 국제공개번호 (87) 국제공개일자
		특 1995-701167 1995년 02월 20일 WO 93/19544 1993년 09월 30일
(30) 우선권주장	7/856,276 1992년 03월 23일 미국(US)	
(73) 특허권자	모토롤라 인크 존 에이취. 무어	
(72) 발명자	미합중국 60196 일리노이주 샤움버그 이스트 알콘퀸 로드 1303 화이트 리차드 이 미합중국 60193 일리노이주 샤움버그 칼리지 힐 서클 2591 맥그라스 제임스 미합중국 60090 일리노이주 힐링 시카모어 래인 567 부흐홀쯔 데일 알 미합중국 60067 일리노이주 팔라틴 이스트 앤더슨 1441	
(74) 대리인	장수길, 주성민	

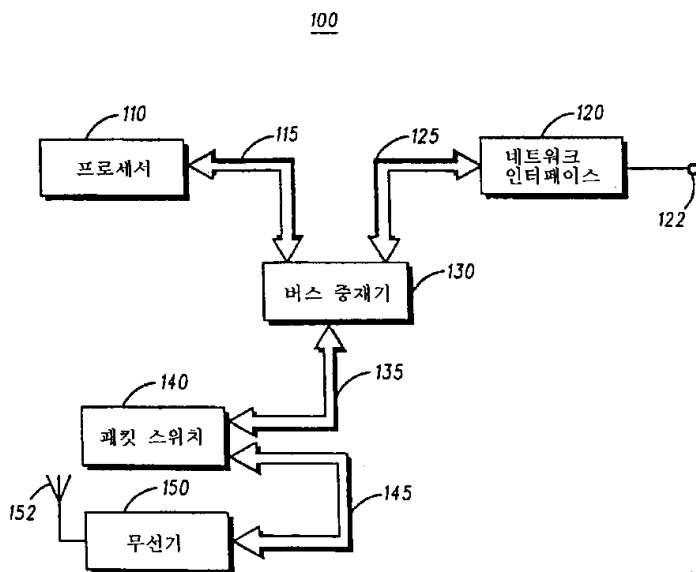
심사관 : 최봉목

(54) 패킷 재주합 방법 및 장치

요약

패킷 스위칭 시스템(100)은 재주합을 필요로 하는 전송 패킷들(310)을 취급하는 동안 전체적인 시스템 처리 능력을 향상시키기 위하여 패킷 스위치(140)에서 패킷 재주합 하드웨어(214)를 사용한다. 이와 같이 재주합은 프로세서(110)의 간섭을 최소로 하고 전송 패킷(310)의 메시지 데이터 부분(312)을 재전송 전에 다른 메모리 위치에 복사해둘 필요없이 이루어진다.

대표도



명세서

[발명의 명칭]

패킷 재조합 방법 및 장치

[발명의 상세한 설명]

[발명의 분야]

본 발명은 일반적으로 패킷에 의해 데이터가 전달되는 패킷 스위칭 시스템에 관한 것으로서, 특히 보다 작은 패킷으로 분리된 데이터를 참조(referencing), 저장(storing) 및 재조합(reassembling)하여 원래의 구성으로 복구시키는 방법 및 장치에 관한 것이다.

[발명의 배경]

패킷 데이터 네트워크는 정보를 패킷 내에 포함시켜 발신 장치로부터 특정 주소로 정보를 보낸다. 각각의 패킷은 프리앰블(preamble)(제어 데이터)과 정보(메시지 데이터)를 가지고 있다. 상기 프리앰블은 일반적으로 패킷 네트워크 제어데이터, 동기화 정보 및 수신자 목적지 데이터를 포함하고 있다. 상기 정보 부분은 상기 발신 장치의 메시지를 가지고 있다.

발신자로부터 온 패킷은 일반적으로 수신자가 직접 수신하지 않는다. 이 패킷은 최종 수신자 목적지에 도달하기 전에 몇개의 중간 스테이션에 의해 중계될 수 있다. 패킷 네트워크의 전송 속도가 증가함에 따라 중계국(relay station)이 효과적으로 패킷들을 다루고 처리할 수 있는 것이 점차로 중요하게 되고 있다.

패킷들을 취급하는 직접적인 방법은 수신된 패킷들을 메모리 위치에 저장한다. 다른 패킷 네트워크 제어 정보 뿐만 아니라 프리앰블에 포함된 패킷의 목적지가 검사된다. 제어 정보 및 패킷 데이터 정보가 제대로 수신되었는지 또는 유효한 것인지를 검사한다. 어떤 오류도 검출되지 않았다고 가정하면, 수신된 패킷에 대응하는 새로운 패킷이 생성되고, 생성된 패킷은 재전송되기 위해서 다른 메모리 위치에 저장된다. 재구성된 패킷은 중계국에 의해 최종 목적지로 적절한 시기에 재전송된다.

패킷들은 이더넷 근거리 통신망(Ethernet local area network)에서는 다른 방식으로 다루어진다. 일련의 인접한 고정된 길이의 바이트 버퍼들로 이루어진 버퍼링(buffer ring) 구조가 수신된 패킷들을 저장하기 위해 사용된다. 저장된 패킷의 시작 및 끝 위치는 페이지 시작(page start) 및 페이지 정지(page stop) 레지스터에 보유한 주소에 의해 식별된다. 상기 링에 있는 연속한 버퍼들은 패킷을 저장하기 위해 사용된다. 다수의 패킷들은 상기 링 구조에 연속적으로 저장될 수 있다. 이 패킷들은 통상적으로 상기 수신 버퍼로부터 FIFO 순서로 제거되어 재전송되기 전에 상기 링과 분리되어 있는 메모리에서 재구성된다. 이들 각각의 단계들은 일반적으로 시스템의 중앙 처리기의 지시하에 행해지게 된다.

때때로 발신 장치로부터 온 데이터 패킷의 정보(메시지 데이터)부분이 너무 커서 중간의 중계국이 사용하는 패킷의 메시지 데이터 부분에 들어갈 수 없는 경우가 있다. 이와같은 경우 원래의 데이터 패킷은 상기 중간의 중계국에 의해 전송되기 전에 N 개의 단편(fragment)으로 분리되어야만 한다. 수신할 때, 이 N 개 단편의 각각은 원래의 데이터 패킷을 재생성하기 위해 올바른 순서로 재조합되어야만 한다.

단편화된 데이터 패킷을 취급함으로써, 수신이 제대로 되었는지를 확인하고 각 단편의 수신 여부를 판별하며 각 단편을 메모리에 저장하여 그들을 재전송하기 전에 수신된 단편들에 해당하는 새로운 단편들을 재구성하려고 하는 수신국(receiving station)의 처리 자원에 추가적인 부담이 가해진다는 것을 알 수 있다. 그러므로, 재조합할 패킷을 정리하고 취급하기 위한(organizing and handling) 방법으로서, 원래의 데이터 패킷에 포함되어 있는 정보를 재조합 및 재전송하기 이전에 데이터를 부가적인 메모리 위치로 중간 전송하는 동작을 없애고 프로세서의 간섭도 최소화하는 개선된 방법을 제공하는 것이 극히 효과적이다.

[도면의 간단한 설명]

제1도는 본 발명에 따른 패킷 스위칭 시스템의 일예의 블럭선도.

제2도는 제1도에 도시한 패킷 스위치의 블럭선도.

제3도는 데이터 패킷 형식의 정보와 전송 패킷으로 표시한 정보에 대응하는 것과의 관계를 도시한 도면.

제4도는 제3도에 도시한 전송 패킷의 제어 부분에 포함된 정보를 도시한 도면.

제5도는 제4도에 도시된 패킷 헤더에 포함된 정보를 도시한 도면.

제6도는 제4도에 도시된 재조합 헤더에 포함된 정보를 도시한 도면.

제7도는 본 발명에 따른 제2도의 패킷 재조합 하드웨어의 구조를 도시한 도면.

제8도는 제7도에 도시된 재조합 레지스터에 대한 내용 및 형식을 도시한 도면.

제9도는 제7도에 도시된 패킷 제어 테이블의 내용 및 형식을 도시한 도면.

제10도는 제7도에 도시된 패킷 제어 블럭의 내용 및 형식을 도시한 도면.

제11도는 제1도의 프로세서와 제2도에 도시된 패킷 재조합 하드웨어 사이의 인터페이스 체계를 도시한 도면.

[발명의 요약]

간략하게 기술하자면, 본 발명은 재조합을 필요로 하는 패킷들을 다루기 위한 방법 및 장치에 관한 것이다. 이를 위해서 패킷 스위치는 복수의 패킷들을 수신하기 위하여 수신 장치를 사용한다. 그 후에 스위칭 장치는 수신된 패킷들 중 어느것이 재조합을 필요로 하는지를 판별하는데 사용된다. 상기 판별을 수행한 후, 패킷 재조합 하드웨어는 재조합을 필요로 하는 이들 패킷들의 메시지 데이터 부분을 결합시키는데 사용된다. 이를 완료한 이후, 제어 프로세서는 재조합이 완료되었음을 통보받는다. 이와같이 재조합은 프로

세서의 간섭을 최소로 하고 재전송 전에 각 패킷에 메시지 데이터 부분을 다른 메모리 위치에 복사(duplicate)해 둘 필요없이 행해진다.

[양호한 실시예의 상세한 설명]

본 발명의 한 실시예를 기술하기 전에 본 발명의 개요는 읽은 사람의 이해를 돕는데 기여할 것으로 여겨진다. 패킷 스위칭 시스템에서 단편화된 패킷들을 취급하는데 있어서의 문제점들은 이들을 극복하지 아니한 경우에는 어드레스 지정 능력의 계층 구조(a hierarchy of addressability)를 제공함으로써 단편들을 분리된 메모리 위치들에 저장된 정보로부터 재조합할 수 있는 본 발명에 의하여 최소화된다. 이 계층 구조는 복수의 메모리 위치에 데이터를 복제하지 않고 단편을 정의 또는 재정의를 하는 데 상당한 정도의 융통성을 제공하고 있다. 게다가, 제안된 어드레스 지정의 계층 구조는 시스템 처리 자원들에 과도한 부담을 주지 않고 단편화된 데이터 패킷들을 저장 및 재조합할 수 있다. 본 발명의 제어 프로세서는 일반적으로 각 단편화된 데이터 패킷의 첫번째 및 마지막으로 수신된 단편을 재조합하는데만 관여하게 된다.

제1도는 패킷 네트워크상에서 정보를 발신, 수신 및 중계를 할 수 있는 패킷 스위칭 시스템(100)의 한 실시예의 블록선도를 나타낸 것이다. 이 시스템은 중앙처리기(110), 네트워크 인터페이스 장치(120), 버스 중재기(bus arbiter)(130), 패킷 스위치(140) 및 안테나 소자(152)를 갖는 무선기(radio)(150)를 포함하고 있다. 중앙처리기(110) 및 네트워크 인터페이스 장치(120)는 도시된 바와 같이 각각 버스(115 및 125)를 거쳐 버스 중재기(130)에 연결되어 있다. 실제로 중앙 처리기(110)는 그와 관련된 랜덤 액세스 메모리(random access memory), 판독 전용 메모리(read only memory), 제어 논리(control logic) 및 패킷 스위칭 시스템(100) 동작을 제어 및 지시하는데 필요한 제어 논리 구동기(control logic driver)를 포함하고 있다.

패킷 스위칭 시스템(100)은 도시된 바와 같이 단말기(122)를 통하여 외부 정보 네트워크로부터, 그리고 외부 네트워크로의 액세스(access)를 스위칭하기 위한 네트워크 인터페이스 장치(120)를 가지고 있다. 양호한 실시예에 따르면, 네트워크 인터페이스 장치(120)는 이더넷 근거리 통신망(Ethernet local area network)으로의 액세스를 위한 이더넷 네트워크 인터페이스 장치이다. 그럼에도 불구하고, 네트워크 인터페이스 장치(120)는 예를 들어 RS232 형태(format), 토큰 링 형태(token ring format), IBM3270 형태 뿐만 아니라 기타 데이터 통신 형태 등의 다른 네트워크 프로토콜들에 의해 공급된 데이터를 해석할 수 있는 공지된 다른 인터페이스 장치일 수 있다는 것은 당해 기술 분야의 전문가라면 잘 알 수 있을 것이다.

패킷 스위치(140)는 통신 버스(135) 및 버스 중재기 회로(130)를 통하여 프로세서(110) 및 네트워크 인터페이스 장치(120)에 연결되어 있다. 설계상 버스 중재기(130)는 프로세서(110)와 네트워크 인터페이스 장치(120) 사이로부터 패킷 스위치(140)로의 액세스를 중재하여 이에 따라 네트워크 인터페이스 장치(120)를 통하여 프로세서(110) 또는 정보 네트워크 중 어느 하나와 패킷 스위치(140)와 사이에서 데이터 패킷의 전송을 용이하게 하기 위하여 사용된다. 따라서, 버스 중재기(130)는 패킷 스위치(140)에 액세스하려고 하는 도시된 버스(115 및 125) 등과 같은 복수의 버스와의 선택적 통신을 위하여 이용 가능한 집적 회로 트랜슬레이터(integrated circuit translator), 레지스터 및 라인 구동기들로 이루어져 있다. 통신 버스(115, 125 및 135)는 당해 기술 분야에서 사용하고 있는 임의의 공지된 양방향 통신 버스(bi-directional communications bus)로 이루어질 수 있다.

적어도 하나의 안테나 소자(152)를 갖는 무선기(150)는 무선 주파수(RF) 채널을 통하여 중간 중계국들과 패킷 형태로 데이터를 통신하기 위하여 패킷 스위치 버스(145)를 거쳐 패킷 스위치(140)에 결합되어 있다. 패킷 스위치 버스(145)의 물리적 구조는 1991년 6월 21일에 출원되었으며 본 출원의 양수인에게 양도된 미국 특허 출원 제07/719,212호에 기재되어 있다. 단지 하나의 무선기만이 도시된 바와 같이 패킷 스위치 버스(145)에 연결되어 있지만, 다른 통신 네트워크들을 패킷 스위치(140)에 결합시키는데 적합한 복수의 통신 장치를 사용할 수 있다. 예를 들어 전화기, T1 회로, ISDN 회로 뿐만 아니라 다른 장치 및 네트워크들도 패킷 스위치 버스(145) 및 궁극적으로 패킷 스위치(140)에 연결하는데 적합하다. 알 수 있는 바와 같이, 패킷 스위치(140)는 패킷 스위치 버스(145) 상의 장치들 사이에서 패킷화된 데이터를 수신 및 전송하는 것을 목적으로 한다. 패킷 스위치(140)는 또한 통신 버스(135), 버스 중재기(130) 및 통신 버스(115)를 통하여 중앙 처리기(110)와도 통신을 한다. 네트워크 인터페이스 장치(120)와 결합된 장치들과의 통신은 도시된 바와 같이 통신 버스(125) 상으로 경로가 형성된다.

제2도는 양방향 버스들에 의해 연결된 소자들을 포함하는 패킷 스위치(140)의 한 예의 블록선도를 나타낸 것이다. 중재기 인터페이스(240)는 통신 버스(135)를 거쳐 제1도의 중재기 회로(130)를 메모리 인터페이스(218)에 결합시킨다. 메모리 인터페이스(218)는 제어 메모리(232)와 데이터 메모리(24)로 분할되어 있는 랜덤 액세스 메모리(230)에 결합되어 있다. 당해 기술분야의 전문가라면 상기 분할이 물리적 또는 논리적인 것일 수 있다는 것을 알 것이다.

동작 중에 패킷 스위치 버스(145)상에서 패킷 스위치(140)에 의해 수신된 패킷들은 메모리(230)내의 적당한 메모리 위치에 저장된다. 데이터 메모리(234)는 수신된 데이터 패킷들(메시지 데이터)을 저장하는 반면, 제어 메모리(232)는 패킷 스위치(140)의 기본 동작을 제어하는 제어 구조를 포함하고 있다. 패킷 스위치 버스(145) 및 이에 연결되어 있는 장치들은 패킷 스위치 버스 인터페이스(210), 스위치(212), 패킷 재조합 하드웨어(214) 또는 입력 제어 기능부(216) 및 출력 제어 기능부(220)에 의해 메모리 인터페이스(218)에 결합되어 있다.

상기한 바와 같이 발신 장치에 의해 발신된 데이터 패킷의 정보(메시지 데이터)가 너무 크게 되어 단일 전송 패킷에 적합하지 않은 경우에는 원래의 정보는 N 개의 단편으로 분리되어야만 한다. 제1도의 무선기(150)에 의해 수신될 때, 이들 단편들을 포함하고 있는 전송 패킷들은 네트워크 인터페이스 장치(120)를 통하여 무선기(150) 또는 이더넷 네트워크상으로 다시 데이터 패킷을 재전송하기 전에 수신되고, 확인되며 재조합되어야만 한다.

전체적인 시스템 처리능력(throughput)을 향상시키고 스위칭 시스템의 처리자원들에의 부담을 감소시키기 위하여 패킷 스위치(140)는 재조합을 필요로 하는 단편들을 포함하고 있는 전송 패킷들을 취급하는 동안 재조합 하드웨어를 사용한다. 입력 제어 기능부(216)는 재조합을 필요로 하지 않는 전송 패킷들을 처리하는 동안 사용된다. 어느 경우든지, 패킷 스위치(140)는 프로세서 간섭을 최소화하고 메시지 데이터를 복

제할 필요없이 전송 패킷을 다루고 재조합하게 된다.

상기한 바는 일반적으로 재조합을 필요로 하지 않는 수신된 전송 패킷들이 입력 제어 기능부(216)의 제어 하에서 분해(disassembling)되어 분리된 메모리 위치에 저장되는 어드레스 지정 능력의 계층 구조를 사용하여 달성된다. 이와같은 방안에 대해 좀더 논의하기 위하여 관심있는 독자들은 1991년 6월 21일 출원되고 본 출원인의 양수인에게 양도된 미국 특허출원 제07/719,212 호의 28 내지 34 페이지, 제18도 내지 제24도 및 청구범위 제44항 내지 제64항을 참조할 수 있다. 반면에 수신된 전송 패킷이 재조합을 필요로 하는 것으로 판명된 경우, 재조합 및 분리된 메모리 위치로의 저장은 프로세서의 간섭을 최소로 하여 패킷 재조합 하드웨어(214)의 지시하에서 이루어진다. 그 후에 무선기상으로 또는 통신 네트워크상으로 다시 재전송되어 나갈 데이터는 수신된 전송 패킷의 메시지 데이터를 복제하는 중간 단계를 수행하지 아니하고 분리된 메모리 위치를 순차적으로 어드레스지정을 수행함으로써 재조합된다.

여러가지 형태의 패킷 스위치가 당해 기술 분야에서 공지되어 있기 때문에, 패킷 스위치(140)의 내부 기능의 특정 동작 및 상세한 내용은 설명하지 않기로 한다. 그러나, 패킷 스위치(140)의 스위치(212)는 수신된 전송 패킷이 재조합을 필요로 하는지를 판별한다고 하자. 상기 판별을 할 때 패킷은 적당한 제어 기능으로 전환되어 다루어지게 된다. 일반적으로 패킷 스위치(140)의 기능들은 소프트웨어로 구현되거나 상태 머신(state machine) 또는 게이트 어레이(gate array)에 의한 하드웨어로 구현되어 실행될 수 있다.

제3도는 제1도의 네트워크 인터페이스 장치(120)를 통하여 외부 데이터 네트워크상으로 정보를 통신하기 위하여 사용되는 것과 같은 데이터 패킷 형태의 정보, 및 제1도의 무선기(150)에 의해 RF 채널상으로 통신되어지는 것과 같은 전송 패킷 형태로 전송되는 정보에 대응하는 것과의 관계를 나타내고 있다. 이와같은 노력으로 데이터 패킷(300)은 발신 장치 제어 및 메시지 데이터로 구성된다. 상기한 바와 같이 데이터 패킷(300)이 너무 크게 되어 단일 전송 패킷(310)의 제한된 경계안에 들어가지 않는 경우에, 데이터 패킷은 N 개의 단편으로 분리되어진다. 도시된 바와 같이, 각각의 단편은 별도의 전송 패킷(310)의 형태를 이룬다. 각각의 전송 패킷(310)은 제어 정보(311) 및 데이터 패킷(300)의 부분을 포함하고 이는 단편 필드(fragment field)(312)로 구성되어 있다. 데이터 패킷(300)을 구성하고 있는 복수의 단편(1-N)들은 무선기(150)에 의해 수신될 때 제1도의 네트워크 인터페이스(120)를 통하여 외부 데이터 네트워크상으로 전송되기 전 도는 중간 중계국으로 재전송 되기 전에 재조합되어야만 한다. 물론, 전체 데이터 패킷(300)이 단일 전송 패킷(310)내로 들어갈 수 있어야 한다.

제4도는 제3도에 따른 재조합을 필요로 하는 전송 패킷의 제어부내에 포함된 정보를 나타낸 것이다. 그 형태는 패킷 프리앰블 정보, 패킷 헤더, 재조합 헤더 및 단편 필드의 전송을 나타내고 있다. 상기 패킷 프리앰블은 무선 수신기(150)의 동기화를 목적으로 제공된다. 패킷 헤더 및 재조합 헤더는 이하에서 상세히 설명될 것이다. 상기한 바와 같이 단편 필드는 사용자들 사이에서 통신될 데이터 패킷(300)의 부분을 포함한다.

제5도는 제4도에 도시된 패킷 헤더내에 포함되어 있는 정보를 나타낸 것이다. 제5도는 또한 재조합을 필요로 하지 않는 전송 패킷의 제어 데이터 부분의 범위를 나타낸 것이다. 패킷 헤더는 가상 회로 식별자(virtual circuit identification : ID), 패킷 길이 정보, 목적지 정보, 및 확인 정보를 포함하고 있다. 가상 회로 ID는 패킷 스위치(140)내에 포함된 가상 회로 레지스터를 규정하는 정보를 포함하고 있다. 상기 가상 회로 레지스터는 판독 및 기록 버퍼 서술자(descriptor) 뿐만 아니라 부가적인 패킷 서술자를 가리킬 수 있는 판독 및 기록 패킷 서술자를 차례로 가리키는 큐 제어 블록(queue control block)을 가리키거나 어드레스 지정을 한다. 버퍼 서술자는 각각 기록 버퍼와 그 다음의 판독 및 기록 버퍼 서술자를 가리키며 이에 따라 재조합을 필요로 하지 않는 수신된 전송 패킷의 메시지 데이터 부분을 어느 버퍼 위치에 저장하게 되는지를 정의하기 위한 어드레스의 체인 또는 링크(a chain or link of addresses)를 형성하게 된다. 이 과정에 대한 또 다른 정보를 위해 관심있는 독자는 1991년 6월 21일 출원되고 본 발명의 양수인에게 양도된 미국 특허출원 제07/719,212 호를 다시 한번 참조하기 바란다. 패킷 길이는 관련된 패킷의 길이에 관한 정보를 제공한다. 목적지 정보를 목적지 장치 어드레스 정보를 포함하고 있다. 확인 정보를 CRC 데이터 정확도 계산에 관련된 데이터를 포함하고 있다.

본 발명에 따르면, 가상 회로 ID의 최상위 비트(MSB)는 재조합을 필요로 하는 전송 패킷을 식별하는데 사용된다. 가상 회로 ID의 MSB가 0인 경우에는 전송 패킷은 제2도의 스위치(212)에 의하여 입력 기능부(216)로 전환되어, 재조합 하드웨어(214)를 피할 수 있다. 반면에, 가상 회로 ID의 MSB가 1인 경우에는 패킷 취급 제어는 제2도의 패킷 재조합 하드웨어(214)로 전환된다. 가상 회로 ID의 하위 7 비트는 재조합 식별자(ID)로서 사용된다. 재조합 ID는 패킷 스위치(140)내에 포함된 재조합 레지스터를 규정하는 정보를 포함하고 있다. 이 소자에 대한 추가 정보는 이하의 도면과 관련하여 제공되어진다.

제6도는 제4도의 전송 패킷의 재조합 헤더내에 포함된 정보를 나타낸 것이다. 재조합 헤더는 재조합을 필요로 하는 전송 패킷에 대해서만 발견된다. 설계상 재조합 헤더는 신호원 논리 유니트 식별자(LUID), 패킷 식별자(ID) 필드, 순차 번호 필드, 전체 단편 필드, 단편 번호 필드, 전체 패킷 길이 필드 및 프로토콜 필드를 포함하고 있다. 이 신호원 LUID는 발신 장치의 논리 유니트 식별자를 정의한다.

순차 번호 및 패킷 ID는 결합하여 각 데이터 패킷에 대한 고유의 ID를 제공하기 위해 사용된다. 패킷 ID 필드는 수신된 단편이 관련되어 있는 특정 발신 장치로부터의 데이터 패킷을 식별하게 된다. 순차 번호 필드는 패킷 ID 번호가 재사용된 패킷 ID를 다른 데이터 패킷과 관련시키기 위해 발신 장치에 의해 재사용되는 때에 사용된다. 전체 단편 필드는 문제의 데이터 패킷을 구성하는 단편의 전체 수를 정의한다. 단편 수는 어느 단편이 수신되었는지를 정의하는 반면, 전체 패킷 길이는 재조합된 데이터 패킷의 길이를 바이트 단위로 정의한다. 마지막으로, 프로토콜 필드는 적당한 데이터 패킷의 순서를 유지하고 기술 분야의 전문가에게 공지된 긍정 응답(acknowledgements)을 예정(schedule)하기 위하여 중앙 처리기에 의해 사용된다.

주목할 것은 단편 번호가 다른 재조합 헤더 정보와 함께 제어 메모리에 저장되지 않고 그 대신에 단편을 데이터 메모리에의 저장을 지시하기 위해 사용된다는 것이다.

제7도는 본 발명에 따라 패킷 취급 및 조직화 방법의 일예를 나타내고 있다. 본 발명의 한 실시예에서 제3도에 도시된 단편들은 데이터 버퍼(620)에 저장된다. 이들 버퍼들은 제2도의 데이터 메모리(234)의 일부

를 구성하고 있다. 제2도의 제어 메모리(232)는 제6도에 도시된 재주합 헤더와 관련된 제어 필드를 저장한다. 이들 소자들은 계층 구조 접근법에 따라 단편들을 조직화 및 재주합하기 위한 방법을 실현한다.

이를 위해, 제5도의 패킷 헤더내의 가상 회로 ID로부터 얻은 재주합 ID(602)는 제어 메모리(232)에 저장된 복수위 재주합 레지스터(610)중의 하나를 가리키기 위하여 사용된다. 이 복수의 재주합 레지스터는 다수의 발신 장치들로부터의 데이터를 동시에 재주합할 수 있도록 해준다. 도시한 바와 같이, 재주합 레지스터는 패킷 제어 테이블(612)을 가리키거나 또는 어드레스 지정을 수행한다. 제6도의 재주합 헤더에 수신된 패킷 ID(604)는 패킷 제어 테이블내의 어떤 항목이 사용될 것인지를 식별하게 된다. 각각의 재주합 레지스터(610)는 고유의 패킷 제어 테이블(612)을 어드레스 지정함을 주목해야 한다. 단일 발신 장치로부터의 패킷 ID가 여러개 있을 수 있기 때문에, 단일 패킷 제어 블록이 재주합되는 각 데이터 패킷에 제공된다. 그러므로, 패킷 제어 블록은 데이터 재주합ID 관한 모든 정보가 집결되어 있는 점이 된다. 주목할 점은 패킷 제어 블록(614-616)은 공유 자원이라는 점이다. 최근에 수신된 데이터 패킷에 관한 정보를 저장하기 위해 이용 가능한 패킷 제어 블록의 큐(queue)가 있다. 제2도의 패킷 스위치(140)는 필요시 이 큐로부터 패킷 제어 블록을 가져온다. 제1도의 중앙 처리기는 재주합 과정이 완료되었을 때 패킷 제어 블록을 상기 큐로 되돌리는 역할을 한다.

각각의 패킷 제어 블록은 각각 제각기 별도의 메모리 위치(어드렛)를 갖는 단편 비트 맵(fragment bit map) 뿐만 아니라 버퍼(620)를 가리킨다. 단편 비트 맵(630)은 특정의 데이터 패킷에 대해 성공적으로 수신된 단편들의 맵이다. 각각의 비트 맵은 부가적인 단편이 수신될 때 갱신된다. 데이터 버퍼(620)는 수신된 각각의 전송 패킷의 단편들, 메시지 데이터 부분이 저장되는 데이터 메모리(234)내의 위치이다.

이들 소자들에 대해 더 설명하기 전에 상기 조직화의 잇점을 설명함으로써 조직화 및 각 요소의 기능을 이해하는데 도움이 될 것을 믿어진다. 본 발명의 중요한 점은 중앙 처리기의 간섭을 최소화하면서 단편들을 정의 및 재정의를 하는데 상당히 정도의 융통성을 제고하여 이에 따라 전체 시스템 처리 능력을 향상시킬 수 있다는 점이다. 이상의 것은 일반적으로 중앙 처리기 동작이 수신, 확인, 참조, 재주합 및 수신된 단편들을 분리된 메모리 위치에 저장하는 동안에 항상 필요하지 않는 어드레스 지정 능력의 계층 구조에 제공함으로써 달성된다. 이와같이, 최소한의 프로세서 간섭은 단편화된 데이터 패킷의 재주합에 프로세서가 관여하는 정도로서 정의될 수 있다. 재주합 동작을 지시하는 중앙 처리기에 의해 수행되는 단계가 적으면 적을수록 프로세서의 간섭이 덜 중요하게 된다.

제8도는 제7도의 재주합 레지스터(610)의 내용의 한 실시예를 나타낸 것이다. 도시된 바와 같이, 재주합 레지스터는 패킷 제어 테이블 어드레스 포인터(810), 최대 단편 크기 정보(820), 최대 패킷 식별자(ID) 필드(830), 최대 단편 번호 필드(840), 복합 제어 데이터 필드(850) 및 프로토콜 필드 크기(860)를 포함하고 있다. 패킷 제어 테이블 포인터(810)는 제7도의 패킷 제어 테이블(614-616)을 가리키며 이 특정 재주합 레지스터(610)에 대해서 사용된다. 상기한 바와 같이, 각각의 재주합 레지스터는 그 자신의 패킷 제어 테이블을 갖는다. 최대 단편 크기 필드(820)는 주어진 재주합 레지스터에 대해 수신될 수 있는 가장 큰 단편을 나타낸다. 이것은 단편이 메모리에 중복 기록(overwrite)하는 것을 막기 위하여 안전 장치(safeguard)로서 사용될 수 있다.

이를 위해 제5도의 패킷 헤더내의 패킷 길이 필드가 최대 단편 크기와 비교된다. 패킷 길이가 최대 단편 크기보다 더 큰 경우에는 에러가 발생되고 단편은 저장되지 않는다. 최대 패킷 ID 필드(830)은 단일 신호 원으로부터 동시에 재주합될 수 있는 패킷들의 최대 수를 판별하는데 사용된다. 이 필드는 제6도의 재주합 헤더내의 패킷 ID내의 패킷 ID와 비교된다. 패킷 ID가 최대 패킷 ID보다 더 큰 경우에는 에러가 발생되고 단편은 저장되지 않는다.

최대 단편 번호 필드(840)은 데이터 패킷이 가질 수 있는 단편의 최대 수를 판별하는데 사용된다. 이를 위해 최대 단편 번호 필드(840)는 제6도의 재주합 헤더 내의 단편 번호 필드와 비교된다. 단편 번호가 최대 단편 번호보다 더 큰 경우에는 에러가 발생하고 단편은 저장되지 않는다. 프로토콜 필드 크기(860)는 제6도의 재주합 헤더내의 프로토콜 필드의 길이를 정의한다. 마지막으로, 복합 제어 데이터 필드(850)는 본 발명에 다른 방법의 특정 실시를 위하여 사용될 수 있는 부가의 제어 정보를 수용하는데 사용될 수 있다. 예를 들어, 복합 제어 데이터 필드(850)는 어느 에러가 등록되었는지를 추적하거나 패킷 재주합 과정이 활성화(enabled) 또는 비활성(disabled) 인지의 여부를 제어할 수 있다.

제9도는 제7도의 패킷 제어 테이블(612)과 관련된 필드들을 나타낸 것이다. 상기한 바와 같이, 패킷 제어 테이블은 동일한 재주합 ID를 갖는 하나 이상의 데이터 패킷의 재주합을 제어하기 위해 사용될 수 있다. 그럼에도 불구하고, 주어진 재주합 ID에 대한 각 패킷 ID는 패킷 제어 테이블내에 그 자신의 항목을 갖는다. 이와 같이, 각각의 패킷 제어 테이블 항목은 특정 패킷 ID에 대해 사용되는 패킷 제어 블록을 가리키는 패킷 제어 블록 포인터를 포함하고 있다. 동작 중에 제2도의 패킷 재주합 하드웨어(214)는 풀(pool)에서 패킷 제어 블록을 받을 때 그 포인터를 저장하게 된다. 역으로, 제어 프로세서는 재주합이 완료된 때에는 이 포인터를 무효화시킨다.

제10도는 제7도의 패킷 제어 블록(614)와 관련된 필드들을 나타낸 것이다. 상기한 바와 같이, 패킷 제어 블록은 데이터 패킷에 대한 모든 관련 제어 정보를 수집하는데 사용된다. 따라서, 패킷 제어 블록은 단편 비트 맵 포인터 및 복수의 데이터 단편 포인터 외에 신호원 LUID, 패킷 ID 필드, 순차 번호 필드, 전체 단편 번호 필드, 단편 수신된 필드, 전체 패킷 길이 필드, 복수의 프로토콜 필드 및 인터럽트 제어 필드로 구성되어 있다. 패킷 제어 블록에서 발견된 정보의 대부분은 제6도에 따른 수신된 전송 패킷의 재주합 헤더로부터 직접 가져온다는 것을 기술 분야의 당업자라면 알 수 있을 것이다. 주목할 점은 이 정보는 첫 번째 수신된 전송 패킷의 단편 번호에 관계없이 데이터 패킷을 구성하는 복수개중에서 첫 번째 수신된 전송 패킷으로부터 취해진다. 제어 정보가 일단 패킷 제어 블록에 저장되면, 그 후에 수신된 전송 패킷에 대한 신호원 LUID만이 재주합 헤더에 있는 정보와 비교된다. 비교 불일치(miscompare)가 있는 경우, 전송 패킷의 다년은 이 패킷 제어 블록과 관련하여 저장되지 않는다.

제안한 바와 같이, 단편 수신된 필드는 단순히 성공적으로 수신된 단편의 갯수의 계수값이다. 이 중 단편(duplicate fragment)을 만나게 되는 경우는 그들은 계수값(count)에 더해지지 않는다. 이 필드는 궁극적으로 언제 완전한 데이터 패킷이 수신되었는가를 판별하기 위하여 단편 필드의 전체 수와 비교된다.

수신된 단편 비트 맵 포인터는 수신된 단편들의 비트 맵을 가리킨다. 제7도의 각 비트 맵은 제2도 및 제7도의 데이터 메모리(234)에 저장된다. 단편이 성공적으로 수신된 때에는 상기 단편에 해당하는 비트 맵 비트는 논리 1로 설정된다. 상술한 바와 같이 제6도의 재조합 헤더에서 발견되는 단편수는 저장되지 않지만, 그럼에도 불구하고 수신된 단편 비트 맵을 인덱스(index)하는데 사용된다. 비트 맵이 수신된 단편의 전체 수보다 더 큰 경우에는 사용되지 않은 비트는 그대로 있게 된다.

0 - M(여기서, M은 허용된 단편의 최대 수와 같음)의 변화 매겨진 데이터 단편 포인터 필드는 제7도의 데이터 버퍼(620)를 가리킨다. 각각의 수신된 단편에 대하여 하나의 데이터 버퍼가 존재한다. 주목할 점은 각 데이터 버퍼는 공유 자원이라는 점이다. 제2도의 재조합 하드웨어(214)는 데이터 버퍼를 필요하다고 판별하는 경우에는 재조합 하드웨어(214)는 데이터 버퍼 큐로부터 데이터 버퍼 포인터를 가져온다. 이 포인터는 수신된 단편과 관련시키기 위해 패킷 제어 블록에 저장되어진다. 단편을 저장하기 위해 사용된 데이터 버퍼가 더 이상 사용되지 않는 경우에는 중앙 처리기는 그것을 데이터 버퍼 큐로 복귀시킨다.

프로토콜 필드는 엄격히 말하면 제1도의 중앙 처리기(110)에 의해 사용된다. 제2도의 재조합 하드웨어(214)는 재조합 과정동안 프로토콜 필드내의 어떤 정보도 사용하지 않으며, 단지 정보를 적당한 패킷 제어 블록에 저장한다. 그러나, 프로토콜 필드는 데이터 패킷 순서를 제공하고 기술 분야에 공지된 긍정 응답의 예정 및 경로 지정(routing)에 도움을 주기 위하여 순차 번호, 긍정 응답 예정 정보 및 중앙 처리기(110)에 의해 사용되는 복합 제어로 구성된다.

인터럽트 제어 필드는 중앙 처리기 인터럽트를 제어하기 위하여 사용된다. 제2도의 패킷 재조합 하드웨어(214)가 발생할 수 있는 동상의 인터럽트의 예로는 패킷 시작, 패킷 완료, 순차 번호 변경 및 다음 단편 인터럽트 등이 있다. 알 수 있는 바와 같이, 인터럽트 큐 항목의 상태부내의 인터럽트 비트는 어떤 사건이 인터럽트를 야기시켰는지를 가리키도록 설정된다. 패킷 제어 블록의 인터럽트 제어 필드는 각 인터럽트를 활성화 및 비활성화시키기 위한 비트를 포함하고 있다.

제11도는 제1도의 프로세서(100)와 제2도의 패킷 재조합 하드웨어(214) 사이의 인터페이스 체계를 나타낸다. 그것은 3개의 관리 가능 개체; 패킷 제어 블록 큐(710); 데이터 버퍼 큐(720); 및 패킷 재조합 인터럽트 큐(730)로 구성되어 있으며, 각각은 제2도 및 제7도의 제어 메모리(232)내에 유지되고 있다. 중앙 처리기(110)는 사용 가능한 패킷 제어 블록 및 데이터 버퍼에 대한 어드레스를 패킷 제어 블록 큐(710) 및 데이터 버퍼 큐(720)내에 이들을 사용할 수 있을 때에 위치시키는 역할을 한다. 패킷 재조합 하드웨어(214)는 그 다음의 재조합동안 필요하게 될 때에 적당한 큐로부터 패킷 제어 블록 또는 데이터 버퍼 포인터를 추출하게 된다.

패킷 재조합 인터럽트 큐는 문제의 패킷 제어 블록(614-616)의 인터럽트 제어 필드에 의해 인터럽트하도록 명령을 받은 때에 프로세서(110)를 인터럽트하기 위해 패킷 재조합 하드웨어(214)에 의해 사용된다. 인터럽트는 항목을 인터럽트 큐에 위치시키는 재조합 하드웨어에 의해 시작된다. 이와 같은 항목은 적어도 문제의 패킷 제어 블록(614-616)의 어드레스 및 인터럽트 상태로 구성된다. 주목할 점은 몇개의 항목은 단일 인터럽트중에 프로세서에 의해 취급될 수 있다는 점이다.

이를 위해 패킷 시작 인터럽트는 새로운 데이터 패킷이 단편의 단편 번호에 관계없이 첫번째로 수신된 경우에 발생한다. 그 대신에 중앙 처리기는 재조합 타이머를 설정하여 그 시간내에 새로이 수신된 데이터 패킷과 관련된 모든 단편들이 수신되어야만 하도록 하며, 그렇지 않은 경우는 재조합은 중단된다. 패킷 시작 인터럽트가 활성화된 경위 패킷 제어 블록 및 인터럽트 상태의 어드레스를 패킷 재조합 인터럽트 큐(730)에 위치시킴으로써 인터럽트가 발생된다. 주목할 것은 단편이 완전히 수신될 때까지 및 패킷 제어 블록이 갱신될 때까지 인터럽트가 발생되지 않는다는 것이다.

패킷 완료 인터럽트는 단편화된 데이터 패킷의 모든 단편들이 수신되고 패킷 완료 인터럽트가 활성화된 경우에 발생한다. 그에 따라, 중앙 처리기는 데이터 패킷내의 목적지 정보의 지시에 따라 재조합된 데이터 패킷의 재전송을 지시하게 된다. 주목할 점은 수신된 마지막 단편이 N 개의 단편을 갖는 데이터 패킷의 N번째 단편일 필요는 없다는 것이다. 단편이 처음으로 수신될 때에 패킷 제어 블록내의 단편 수신 필드는 증가한다. 단편 수신 필드가 단편의 전체 계수값과 같고, 패킷 완료 인터럽트가 활성화된 경우에는 패킷 완료 인터럽트는 패킷 제어 블록의 어드레스 및 인터럽트 상태를 패킷 재조합 인터럽트 큐에 위치시킴으로써 발생된다.

주목할 점은 인터럽트가 단편이 완전히 수신되고 패킷 제어 블록이 갱신될 때까지 발생되지 않는다는 점이다. 또한, 중요한 것으로서 이전에 언급한 두개의 인터럽트(패킷 시작 및 패킷 완료)는 일반적으로 본 발명의 재조합 과정중에 프로세서의 간섭의 정도를 나타낸다. 이와같이 재조합동안 최소한의 프로세서 간섭은 N개의 단편으로 구성되는 단편화된 데이터 패킷의 첫번째로 또한 마지막으로 수신된 단편에 대한 프로세서의 동작으로 정의된다. 물론, N 이 1인 경우의 이들 데이터 패킷에 대해서는 첫번째로 수신된 단편은 또한 마지막으로 수신된 단편이 된다. 이 경우에 패킷 시작 및 패킷 완료의 합성 인터럽트가 단일 단편의 수신의 결과로서 일어나게 된다.

순차 번호 변경 인터럽트는 패킷 ID를 갖는 수신된 전송 패킷의 재조합 헤더내의 순차 번호가 패킷 ID와 관련된 패킷 제어 블록에 저장된 순차 번호와 같지 않을 때, 이전의 데이터 패킷과 관련된 모든 단편들이 수신되지 않았을 때 및 순차 번호 변경 인터럽트가 활성화되었을 때에 발생된다. 전송 패킷이 수신되었을 때에 패킷 재조합 헤더내의 순차 번호는 패킷 ID와 관련된 패킷 제어 블록에 저장된 순차 번호와 비교된다. 이 번호들이 서로 다르고 이것이 첫번째로 수신된 단편이 아닌 경우에는 인터럽트 상태내의 순차 번호 변경 인터럽트 비트가 세트된다. 순차 번호 변경 인터럽트가 활성화된 경우에는 인터럽트는 이전의 순차 번호 및 인터럽트 상태와 함께 패킷에 대한 패킷 제어 블록의 어드레스를 패킷 재조합 인터럽트큐에 위치시킴으로써 발생되어진다. 패킷 재조합 하드웨어(214)는 그 다음에 새로운 패킷 제어 블록을 적당한 큐에서 받아와서 여기에 서술된 내용에 따라 관련된 단편들을 재조합하기 시작한다.

다음 단편 인터럽트는 패킷 제어 테이블내의 다음 단편 인터럽트가 활성화되는 때에 발생된다. 이 인터럽트는 일반적으로 단편의 재전송이 요구될 때에 발생된다. 이와 같이, 이 인터럽트는 프로세서에 잃어버린 정보의 재전송에 대한 긍정 응답을 예정하도록 알려주기 위하여 사용될 수 있다. 다음 단편 인터럽트가

활성화된 경우에 패킷 제어 블록의 어드레스 및 인터럽트 상태를 패킷 재조합 인터럽트큐에 위치시킴으로써 인터럽트가 발생된다. 패킷 제어 블록내의 다음 다년 인터럽트 비트는 인터럽트가 발생된 후에 패킷 재조합 하드웨어에 의해 비활성으로 된다.

당해 기술 분야의 당업자에게는 중앙 처리기가 데이터 패킷 단편들을 수신, 저장 및 재조합하기 위한 이 조직적 계층 구조와 관련된 필드 및 메모리를 관리할 수 있는 많은 방법이 있음은 자명한 것일 것이다. 상기 개시된 방법은 단지 예시적인 것이며 설계자가 본 발명의 방법에 따라 데이터 패킷 및 패킷 단편 전송을 제어할 수 있을만큼 상당한 정도의 융통성을 나타내고 있음에 분명하다.

(57) 청구의 범위

청구항 1

무선 주파수 채널을 통해 통신되는 단편화된 데이터 패킷을 수신하고 재조합(reassembling)하기 위한 패킷 스위칭 시스템 - 상기 패킷 스위칭 시스템은 데이터 네트워크와 연결되어 있는 데이터 패킷의 전송 제어를 수행하기 위한 마이크로프로세서 제어기, 및 상기 제어기와 연결되어 있으며 데이터 패킷 스위칭을 수행하기 위한 패킷 스위치를 포함함 - 에 있어서, 상기 패킷 스위칭 시스템은 상기 데이터 패킷 신호원으로부터 통신되는 패킷을 - 상기 패킷은 제어 데이터 부분 및 메시지 데이터 부분을 가짐 - 수신하기 위한 무선 수신기를 포함하고, 상기 패킷 스위치는 상기 무선 수신기와 연결되어 있으며 상기 수신된 패킷의 제어 데이터 부분에 기초하여 상기 수신된 패킷이 재조합을 필요로 하는 복수의 관련된 패킷 단편(fragments)중의 하나인지 여부를 판별하기 위한 것이며, 상기 패킷 스위칭 시스템은 상기 복수의 관련된 패킷 단편의 메시지 데이터 부분을 데이터 패킷으로 합성하기 위한 상기 패킷 스위치와 연결되어 있는 재조합 장치를 포함하는 패킷 스위칭 시스템.

청구항 2

제1항에 있어서, 상기 패킷 스위치는 제어 메모리, 데이터 메모리, 상기 수신된 패킷의 제어 데이터의 적어도 한 부분을 상기 제어 메모리 내의 선택된 위치에 기억시키기 위한 상기 제어 메모리와 연결되어 있는 메모리 인터페이스 장치를 더 포함하고, 상기 메모리 인터페이스 장치는 또한 상기 데이터 메모리와 연결되어 있으며 상기 수신된 패킷의 메시지 데이터를 상기 기억된 제어 데이터에 의해서 판별된 바에 따라 상기 데이터 메모리 내의 선택된 위치에 기억시키고, 재조합을 필요로 하는 상기 복수의 관련된 패킷 단편 각각의 수신을 추적하기 위해 상기 데이터 메모리내에 비트 맵(bit map)을 생성하는 패킷 스위칭 시스템.

청구항 3

제2항에 있어서, 상기 패킷 스위치는 복수의 데이터 메모리 데이터 버퍼, 상기 데이터 메모리와 연결되어 있으며 재조합을 필요로 하는 상기 패킷의 메시지 데이터 부분을 상기 복수의 버퍼 중 하나에 기억시키기 위한 수단, 및 데이터 메모리 내의 상기 데이터 버퍼에 대한 포인터를 제어 메모리에 기억시키고, 재조합을 필요로 하는 상기 패킷의 메시지 데이터 부분을 기억시키기 위한 상기 데이터 메모리와 연결되어 있는 수단을 더 포함하는 패킷 스위칭 시스템.

청구항 4

제2항에 있어서, 상기 비트 맵은 제어 메모리 포인터의 함수로서 데이터 메모리 위치에 저장되는 패킷 스위칭 시스템.

청구항 5

제1항에 있어서, 상기 재조합 장치와 연결되어 있으며, 각각의 관련된 패킷 단편의 메시지 데이터 부분을 다른 메모리 위치에 복사하지 않고 재조합된 데이터 패킷을 전송하기 위한 전송 수단을 더 포함하는 패킷 스위칭 시스템.

청구항 6

제1항에 있어서, 상기 재조합 장치는 복수의 서로 다른 데이터 패킷과 관련된 복수의 관련된 패킷 단편의 메시지 데이터 부분을 동시에 재조합하기 위한 수단을 더 포함하는 패킷 스위칭 시스템.

청구항 7

제1항에 있어서, 재조합을 필요로 하는 데이터 패킷과 관련된 첫 번째 패킷 네트워크 단편이 수신된 때를 상기 마이크로프로세서 제어기에 통보하기 위한 통보 수단, 상기 통보 수단과 연결되어 있으며 상기 데이터 패킷과 관련된 모든 패킷 단편이 수신된 때를 판별하기 위한 판별 수단, 및 상기 판별 수단과 연결되어 있으며, 재조합이 완료된 때를 상기 프로세서에 통보하기 위한 수단을 더 포함하는 패킷 스위칭 시스템.

청구항 8

제1항에 있어서, 상기 판별 수단과 연결되어 있으며, 패킷 레벨 블록 어드레싱(addressing)을 사용하여 재조합이 필요하지 않은 패킷의 메시지 데이터 부분을 저장하기 위한 데이터 메모리 내의 선택된 위치를 정의하기 위한 정의 수단, 및 상기 정의 수단과 연결되어 있으며, 상기 기억된 메시지 데이터를 다른 메모리 위치에 복사해두는 중간 과정을 수행하지 않고 데이터 메모리 내의 상기 선택된 메모리 위치에 기억된 메시지 데이터만을 전송하기 위한 전송수단을 더 포함하는 패킷 스위칭 시스템.

청구항 9

데이터 네트워크와 연결되어 있으며 데이터 패킷의 전송 제어를 수행하기 위한 마이크로프로세서 제어기

및 상기 제어기와 연결되어 있으며 패킷 스위칭을 수행하기 위한 패킷 스위치를 포함하는 패킷 스위칭 시스템에서, 무선 주파수 채널을 통하여 통신되는 단편화된 데이터 패킷의 재조합을 수행하기 위한 방법에 있어서, 패킷 신호원 장치로부터 무선 주파수 채널을 통해 통신되는 패킷을 수신하는 단계 - 상기 수신된 패킷은 제어 데이터 부분과 메시지 데이터 부분을 가짐 -, 상기 수신된 패킷이 재조합을 필요로 하는 데이터 패킷을 포함하는 복수의 패킷 단편 중의 하나인지 여부를 판별하는 단계, 재조합을 필요로 하는 임의의 데이터 패킷과 관련된 첫 번째 패킷 단편의 수신에 따라 상기 마이크로프로세서에 통보하는 단계, 재조합을 필요로 하는 상기 데이터 패킷을 포함하는 복수의 패킷 단편을 모두 수신한 때를 판별하는 단계, 재조합을 필요로 하는 상기 데이터 패킷을 포함하는 상기 복수의 패킷 단편의 메시지재조합 데이터 부분을 합성하여 상기 데이터 패킷을 재생성하는 단계, 및 완료시에 재조합이 완료되었음을 상기 마이크로프로세서에 통보하는 단계를 포함하는 방법.

청구항 10

제9항에 있어서, 각각의 관련된 패킷 단편의 상기 메시지 데이터 부분을 다른 메모리 위치에 복사하지 않고 재조합된 데이터 패킷을 전송하는 단계를 더 포함하는 방법.

청구항 11

제9항에 있어서, 제어 메모리 구조에 의해 판별된 바에 따라 상기 수신된 패킷의 제어 데이터의 적어도 한 부분을 상기 제어 메모리 내의 선택된 위치에 기억시키는 단계, 상기 각각의 패킷 단편의 메시지 데이터 부분을 상기 데이터 메모리 내의 선택된 위치에 기억시키는 단계, 데이터 메모리 내의 각각의 선택된 위치에 대한 어드레스를 제어에 기억시키는 단계, 재조합을 필요로 하지 않는 각각의 수신된 패킷에 대하여 패킷 어드레스 블록을 할당하는 단계, 재조합을 필요로 하지 않는 패킷의 메시지 데이터 부분을 기억시키기 위해서 패킷 레벨 블록 어드레스의 함수로 데이터 메모리 내의 선택된 위치를 정의하는 단계, 및 상기 메시지 데이터를 다른 메모리 위치에 복사해두는 중간 단계를 수행하지 않고, 데이터 메모리 내의 상기 선택된 메모리 위치에 기억된 메시지 데이터만을 전송하는 단계를 더 포함하는 방법.

청구항 12

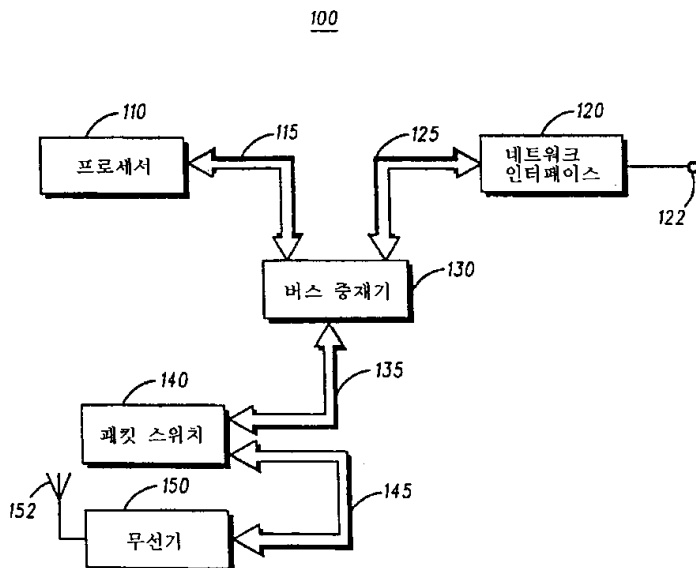
제1항에 있어서, 상기 재조합 장치와 연결되어 있으며 상기 수신된 키 단편이 연관된 상기 데이터 패킷을 식별하기 위한 수단을 더 포함하는 패킷 스위칭 시스템.

청구항 13

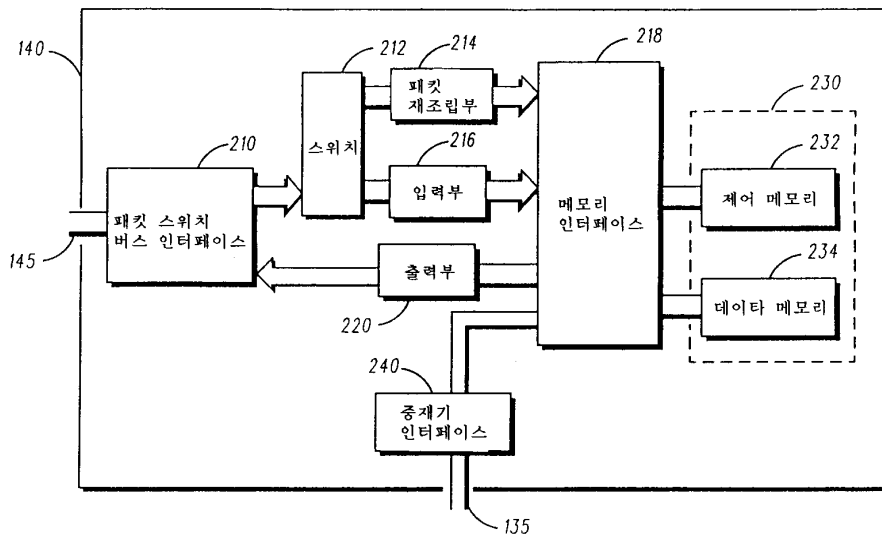
제1항에 있어서, 상기 재조합 장치는 복수의 서로 다른 패킷 공급원 장치로부터 복수의 연관된 패킷 단편의 상기 메시지 데이터 부분을 동시에 재조합하기 위한 수단을 더 포함하는 패킷 스위칭 시스템.

도면

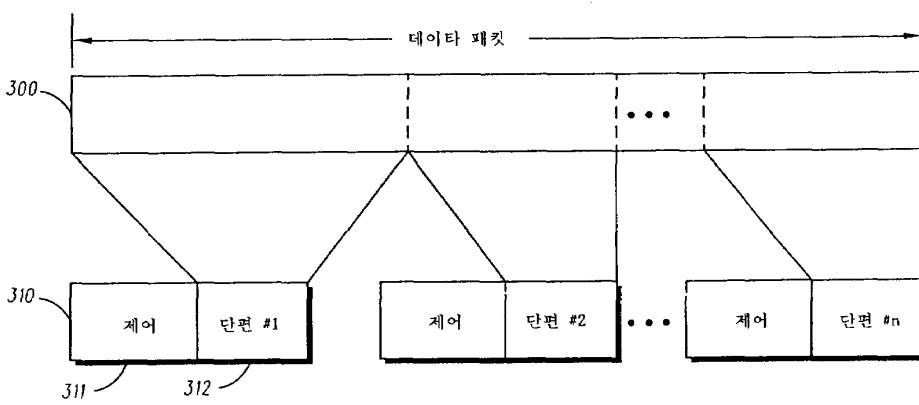
도면1



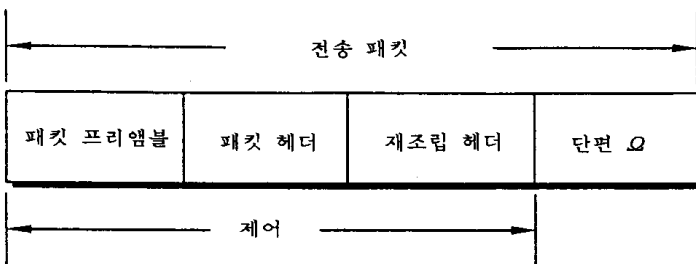
도면2



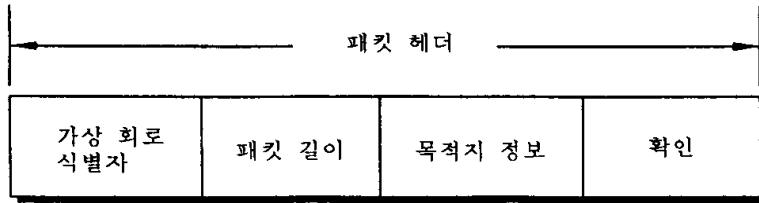
도면3



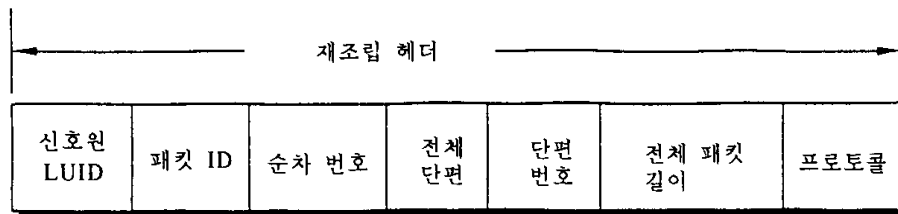
도면4



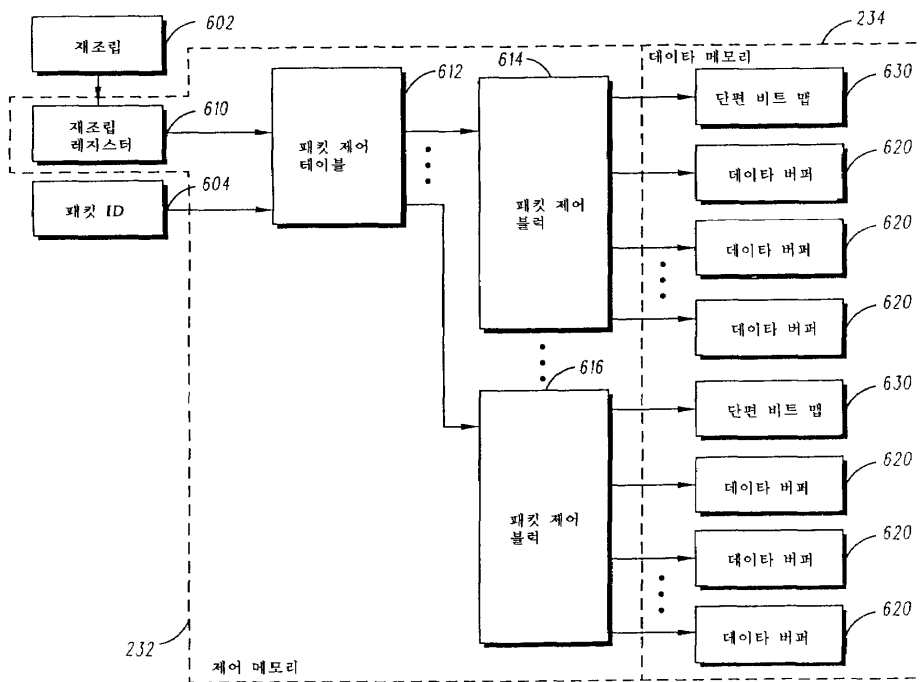
도면5



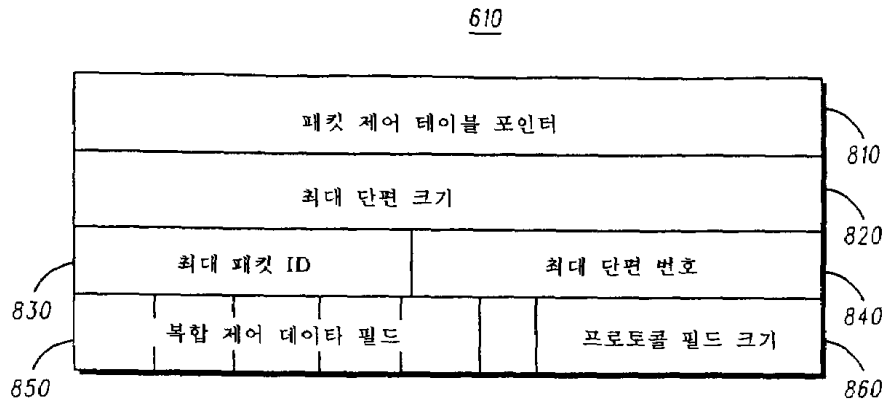
도면6



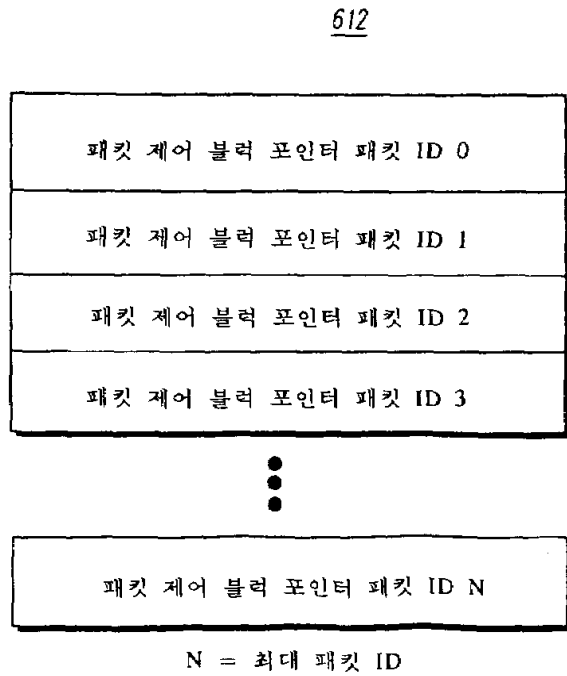
도면7



도면8



도면9



도면10

614

신호인 LUID	패킷 ID
순차 번호	
단편의 전체 갯수	수신된 단편들
전체 패킷 길이	
프로토콜	
프로토콜	
프로토콜	
프로토콜	
프로토콜	
프로토콜	
프로토콜	
프로토콜	
인터럽트 제어	
수신된 단편 비트 맵 포인터 (데이터 메모리)	
데이터 단편 포인터 0 (데이터 메모리)	
• • •	
데이터 단편 포인터 M (데이터 메모리)	

M = 최대 단편 번호

도면11

