



(12)发明专利申请

(10)申请公布号 CN 110890894 A

(43)申请公布日 2020.03.17

(21)申请号 201811045907.4

(22)申请日 2018.09.07

(71)申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72)发明人 张华滋 李榕 王献斌 皇甫幼睿 童佳杰 王俊

(74)专利代理机构 北京龙双利达知识产权代理有限公司 11329

代理人 时林 毛威

(51)Int.Cl.

H03M 13/13(2006.01)

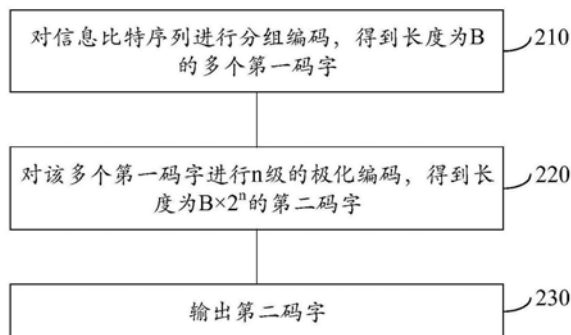
权利要求书4页 说明书22页 附图7页

(54)发明名称

级联编码的方法和装置

(57)摘要

本申请提供了一种级联编码方法,可以提高译码性能。该方法包括:对信息比特序列进行分组编码,得到码长为B的多个第一码字, $B \geq 0$ 且为整数;对该多个第一码字进行n级的极化编码,得到长度为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;输出第二码字。



1. 一种级联编码的方法,其特征在于,包括:

对信息比特序列进行分组编码,得到码长为B的多个第一码字, $B \geq 1$ 且为整数;

对所述多个第一码字进行n级的极化编码,得到码长为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;

发送所述第二码字。

2. 根据权利要求1所述的方法,其特征在于,所述对信息比特序列进行分组编码,得到码长为B的多个第一码字,包括:

获取所述第二码字的目标码长N和所述第一码字的码长B, $N = B \times 2^n$,N为整数;

根据所述第二码字的目标码长N和所述第一码字的码长B,对所述信息比特序列进行分组,得到多个子序列;

根据所述多个子序列中每个子序列包括的比特数目,确定对每个子序列进行编码所需的生成矩阵;

使用与所述多个子序列中每个子序列对应的生成矩阵,对所述多个子序列进行编码,得到所述码长为B的多个第一码字。

3. 根据权利要求2所述的方法,其特征在于,所述方法还包括:

根据所述目标码长N和所述第一码字的码长B,如果确定不存在一个正整数R使得 $R = 2^n$,则选择正整数L,对所述码长为B的多个第一码字进行m级的极化编码,得到码长为 $B \times L$ 的第三码字, $L = 2^m$, $L > R$, $m > n$,m、L和R为正整数;

对所述码长为 $B \times L$ 的第三码字进行速率匹配,得到所述码长为 $B \times 2^n$ 的第二码字。

4. 根据权利要求2或3所述的方法,其特征在于,所述信息比特序列的每个子序列可以使用如下任意一种码进行编码:

重复码、BCH码、单纯形码、BCH码的对偶码、polar码、奇偶检验码、单纯形码的重复码的对偶码。

5. 根据权利要求4所述的方法,其特征在于,在所述 $B = 16$ 的情况下,所述根据所述多个子序列中每个子序列包括的比特数目,确定对每个子序列进行分组编码所需的生成矩阵,包括:

在子序列包括的比特数目为1时,所述生成矩阵为 $G_1 = [1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1]$,所述子序列采用所述重复码进行编码;

在子序列包括的比特数目为2时,所述生成矩阵为 $G_2 = \begin{bmatrix} S_2 & S_2 & S_2 & S_2 & S_2 & 1 \\ S_2 & S_2 & S_2 & S_2 & S_2 & 1 \end{bmatrix}$, $S_2 = \begin{bmatrix} 110 \\ 101 \end{bmatrix}$,其中,所述子序列采用所述单纯形码进行编码;

在子序列包括的比特数目为3时,所述生成矩阵为 $G_3 = \begin{bmatrix} S_3 & S_3 & 11 \\ S_3 & S_3 & 10 \end{bmatrix}$, $S_3 = \begin{bmatrix} 1111000 \\ 1100110 \\ 1010101 \end{bmatrix}$,所

述子序列采用所述单纯形码进行编码;

在子序列包括的比特数目为4时,所述生成矩阵为 $G_4 = \begin{bmatrix} 1 \\ S_4 \\ 1 \\ 1 \\ 1 \end{bmatrix}$, $S_4 = \begin{bmatrix} 11111111000000 \\ 111100001111000 \\ 110011001100110 \\ 101010101010101 \end{bmatrix}$,

所述子序列采用所述单纯形码进行编码;

在所述子序列包括的比特数目为6时,所述生成矩阵为 $G_6 = \begin{bmatrix} 0010010011101000 \\ 1111111100000000 \\ 1111000011110000 \\ 1100110011001100 \\ 1010101010101010 \\ 1111111111111111 \end{bmatrix}$,所述

子序列采用所述BCH码进行编码;

在所述子序列包括的比特数目为7时,所述生成矩阵为 $G_7 = \begin{bmatrix} 0111001000101000 \\ 0010010011101000 \\ 1111111100000000 \\ 1111000011110000 \\ 1100110011001100 \\ 1010101010101010 \\ 1111111111111111 \end{bmatrix}$,所述

子序列采用所述BCH码进行编码;

在所述子序列包括的比特数目为9或10时,所述生成矩阵为所述BCH码的校验矩阵,所述子序列采用所述BCH码的对偶码进行编码;

在所述子序列包括的比特数目为12,13或14时,所述生成矩阵为所述单纯形码的重复码的对偶码的校验矩阵,所述子序列采用所述单纯形码的重复码的对偶码进行编码;

在所述子序列包括的比特数目为15时,所述生成矩阵为所述 G_1 ,所述子序列采用单比特奇偶校验码进行编码。

6. 一种通信装置,其特征在于,包括:

处理单元,用于对信息比特序列进行分组编码,得到码长为B的多个第一码字, $B \geq 1$ 且为整数;

所述处理单元,还用于对所述多个第一码字进行n级的极化编码,得到码长为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;

通信单元,用于发送所述处理单元生成的所述第二码字。

7. 根据权利要求6所述的通信装置,其特征在于,所述处理单元用于:

获取所述第二码字的目标码长N和所述第一码字的码长B, $N = B \times 2^n$,N为整数;

根据所述第二码字的目标码长N和所述第一码字的码长B,对所述信息比特序列进行分组,得到多个子序列;

根据所述多个子序列中每个子序列包括的比特数目,确定对每个子序列进行编码所需的生成矩阵;

使用与所述多个子序列中每个子序列对应的生成矩阵,对所述多个子序列进行编码,得到所述码长为B的多个第一码字。

8. 根据权利要求7所述的通信装置,其特征在于,所述处理单元还用于:

根据所述目标码长N和所述第一码字的码长B,如果确定不存在一个正整数R使得 $R=2^n$,则选择正整数L,对所述码长为B的多个第一码字进行m级的极化编码,得到码长为 $B \times L$ 的第三码字, $L=2^m$, $L>R$, $m>n$,m、L和R为正整数;

对所述码长为 $B \times L$ 的第三码字进行速率匹配,得到所述码长为 $B \times 2^n$ 的第二码字。

9. 根据权利要求7或8所述的通信装置,其特征在于,所述处理单元使用如下任意一种码对信息比特序列的每个子序列进行编码:

重复码、BCH码、单纯形码、BCH码的对偶码、polar码、奇偶检验码、单纯形码的重复码的对偶码。

10. 根据权利要求9中任一项所述的通信装置,其特征在于,在所述 $B=16$ 的情况下,所述处理单元用于:

对比特数目为1的子序列,采用所述重复码对所述子序列进行编码,所述生成矩阵为 $G_1 = [1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1]$;

对比特数目为2的子序列,采用所述单纯形码对所述子序列进行编码,其中,所述生成矩阵为 $G_2 = \begin{bmatrix} S_2 & S_2 & S_2 & S_2 & S_2 & 1 \\ S_2 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}$, $S_2 = \begin{bmatrix} 110 \\ 101 \end{bmatrix}$;

对比特数目为3的子序列,采用所述单纯形码对所述子序列进行编码,所述生成矩阵为 $G_3 = \begin{bmatrix} S_3 & S_3 & 11 \\ S_3 & 10 & 11 \end{bmatrix}$, $S_3 = \begin{bmatrix} 1111000 \\ 1100110 \\ 1010101 \end{bmatrix}$;

比特数目为4的子序列,采用所述单纯形码对所述子序列进行编码,所述生成矩阵为 $G_4 = \begin{bmatrix} S_4 & 1 \\ S_4 & 1 \\ S_4 & 1 \\ S_4 & 1 \end{bmatrix}$, $S_4 = \begin{bmatrix} 111111110000000 \\ 111100001111000 \\ 110011001100110 \\ 101010101010101 \end{bmatrix}$;

对比特数目为6的子序列,采用所述BCH码对所述子序列进行编码,所述生成矩阵为 $G_6 = \begin{bmatrix} 0010010011101000 \\ 1111111100000000 \\ 1111000011110000 \\ 1100110011001100 \\ 1010101010101010 \\ 1111111111111111 \end{bmatrix}$;

对比特数目为7的子序列,采用所述BCH码对所述子序列进行编码,所述生成矩阵为

$$G_7 = \begin{bmatrix} 0111001000101000 \\ 0010010011101000 \\ 1111111100000000 \\ 1111000011110000 \\ 1100110011001100 \\ 1010101010101010 \\ 1111111111111111 \end{bmatrix};$$

比特数目为9或10的子序列,采用所述BCH码的对偶码对所述子序列进行编码,所述生成矩阵为所述BCH码的校验矩阵;

对比特数目为12,13或14的子序列,采用所述单纯形码的重复码的对偶码对所述子序列进行编码,所述生成矩阵为所述单纯形码的重复码的对偶码的校验矩阵;

对比特数目为15的子序列,采用单比特奇偶校验码对所述子序列进行编码,所述生成矩阵为所述 G_1 。

11. 一种计算机可读存储介质,其特征在于,所述计算机可读存储介质中存储有指令,当所述计算机指令在计算机上运行时,使得所述计算机执行如权利要求1-5中任一项所述的方法。

12. 一种芯片,其特征在于,包括:

存储器,用于存储计算机程序;

处理器,用于读取并执行所述存储器中存储的所述计算机程序,当所述计算机程序被执行时,所述处理器执行如权利要求1-5中任一项所述的方法。

13. 一种计算机程序产品,其特征在于,所述计算机程序产品包括计算机程序代码,当所述计算机程序代码在计算机上运行时,使得计算机执行如权利要求1至5中任一所述的方法。

级联编码的方法和装置

技术领域

[0001] 本申请涉及编码领域,尤其涉及一种级联编码的方法和装置。

背景技术

[0002] 极化码(polar codes)是一种理论上被严格证明可以达到信道容量的结构化的信道编码方法,近年来已经得到了广泛的应用和长足的进展。但是,随着无线通信系统的快速演进,未来的通信系统(例如,5G)将会出现一些新的特点。例如,作为5G中最典型的三大通信场景之一的高可靠低延迟通信(ultra reliable low latency communication,URLLC),对于数据传输的可靠性和时延有着非常高的要求。极化码最通行的译码方法是串行抵消列表(successive cancellation list,SCL)译码算法。SCL译码算法在译码时,是一个比特一个比特进行判决并输出的,译码时延比较大,需要进一步优化。

发明内容

[0003] 本申请提供一种级联编码的方法和装置,能够降低极化码的译码时延。

[0004] 第一方面,提供了一种级联编码的方法,该方法包括:对信息比特序列进行分组编码,得到码长为 B 的多个第一码字, $B \geq 1$ 且为整数;对该多个第一码字进行 n 级的极化编码,得到码长为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;发送该第二码字。

[0005] 本申请的技术方案中,级联编码的外码编码采用分组编码,内码编码采用polar编码。在编码时,外码编码将信息比特序列划分为多个组分别进行编码,得到的多个第一码字作为polar编码的输入。由于每个第一码字包括多个比特,因此内码编码实际上是以包括多个比特的块(即,第一码字)为单位进行polar编码的。从而在译码时,不再需要像现有的SCL译码算法那样,以比特为单位进行判决和译码,而是以块为单位进行译码。从而可以降低译码时延。

[0006] 结合第一方面,在第一方面的某些实现方式中,对信息比特序列进行分组编码,得到码长为 B 的多个第一码字,包括:获取第二码字的目标码长 N 和第一码字的码长 B , $N = B \times 2^n$, N 为整数;根据第二码字的目标码长 N 和第一码字的码长 B ,对信息比特序列进行分组,得到多个子序列;根据该多个子序列中每个子序列包括的比特数目,确定对每个子序列进行编码所需的生成矩阵;使用与该多个子序列中每个子序列对应的生成矩阵,对所该多个子序列进行编码,得到码长为 B 的多个第一码字。

[0007] 结合第一方面,在第一方面的某些实现方式中,该方法还包括:根据目标码长 N 和第一码字的码长 B ,如果确定不存在一个正整数 R 使得 $R = 2^n$,则选择正整数 L ,对码长为 B 的多个第一码字进行 m 级的极化编码,得到码长为 $B \times L$ 的第三码字, $L = 2^m$, $L > R$, $m > n$, m 、 L 和 R 为正整数;对码长为 $B \times L$ 的第三码字进行速率匹配,得到码长为 $B \times 2^n$ 的第二码字。

[0008] 结合第一方面,在第一方面的某些实现方式中,信息比特序列的每个子序列可以使用如下任意一种码进行编码:重复码、BCH码、单纯形码、BCH码的对偶码、polar码、奇偶检验码、单纯形码的重复码的对偶码。

[0009] 第二方面,提供了一种编码装置,该编码装置具有实现上述第一方面及其任意可能的实现方式中的方法的功能。所述功能可以通过硬件实现,也可以通过硬件执行相应的软件实现。所述硬件或软件包括一个或多个与上述功能相对应的单元。

[0010] 在一种可能的设计中,当所述功能的部分或全部通过硬件实现时,该编码装置包括:输入接口电路,用于获取待编码的信息比特序列;逻辑电路,用于对信息比特序列进行分组编码,得到码长为 B 的多个第一码字, $B \geq 0$ 且为整数;对该多个第一码字进行 n 级的极化编码,得到长度为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;输出接口电路,用于输出该第二码字。

[0011] 本申请的技术方案中,级联编码的外码编码采用分组编码,内码编码采用polar编码。在编码时,外码编码将信息比特序列划分为多个组分别进行编码,得到的多个第一码字作为polar编码的输入。由于每个第一码字包括多个比特,因此内码编码实际上是以包括多个比特的块(即,第一码字)为单位进行polar编码的。从而在译码时,不再需要像现有的SCL译码算法那样,以比特为单位进行判决和译码,而是以块为单位进行译码。从而可以降低译码时延。

[0012] 在具体实现时,该编码装置可以是芯片或者集成电路。

[0013] 在一种可能的设计中,当所述功能的部分或全部通过软件实现时,该编码装置包括:存储器,用于存储计算机程序;处理器,用于执行存储器中存储的计算机程序,当所述计算机程序被执行时,该编码装置可以实现如上述第一方面和第一方面的任一种可能的设计中所述的级联编码的方法。

[0014] 可选的,存储器可以是物理上独立的单元,也可以与处理器集成在一起。

[0015] 在一种可能的设计中,当所述功能的部分或全部通过软件实现时,该编码装置包括仅包括处理器。用于存储程序的存储器位于编码装置之外,处理器通过电路/电线与存储器连接,用于读取并运行存储器中存储的程序,以执行上述第一方面和第一方面的任意可能的实现方式中的级联编码的方法。

[0016] 第三方面,本申请提供一种译码方法,该方法包括:获取待译码的比特序列,待译码的比特序列的长度为 N , N 为正整数;对待译码的比特序列执行SCL译码,得到 N/B 个子码块,对所述 N/B 个子码块中的每个子码块中的比特进行硬判决,得到每个子码块的硬判决结果,并对每个子码块的硬判决结果查询症状诊断表,得到每个子码块的多个候选码字;计算每个子码块的多个候选码字的路径度量值,并根据每个子码块的多个候选码字的路径度量值,确定每个子码块的译码路径;将该多个子码块对应的多个译码路径依序输出,作为译码结果。

[0017] 第四方面,本申请提供一种译码装置,该译码装置具有实现上述第三方面及其任意可能的实现方式中的方法的功能。所述功能可以通过硬件实现,也可以通过硬件执行相应的软件实现。所述硬件或软件包括一个或多个与上述功能相对应的单元。

[0018] 在一种可能的设计中,当所述功能的部分或全部通过硬件实现时,该译码装置包括:输入接口电路,用于获取待译码的比特序列;逻辑电路,用于执行上述第三方面中的译码方法,对所述待译码的比特序列进行译码,得到译码结果;输出接口电路,用于输出译码结果。

[0019] 可选的,该译码装置可以是芯片或者集成电路。

[0020] 在一种可能的设计中,当所述功能的部分或全部通过软件实现时,该译码装置包

括:存储器,用于存储计算机程序;处理器,用于执行存储器中存储的计算机程序,当所述计算机程序被执行时,该译码装置可以实现如上述第三方面所述的译码方法。

[0021] 可选的,存储器可以是物理上独立的单元,也可以与处理器集成在一起。

[0022] 在一种可能的设计中,当所述功能的部分或全部通过软件实现时,该译码装置包括仅包括处理器。用于存储程序的存储器位于编码装置之外,处理器通过电路/电线与存储器连接,用于读取并运行存储器中存储的程序,以执行上述第三方面中所述的译码方法。

[0023] 在具体实现时,该译码装置可以为芯片或集成电路。

[0024] 第五方面,本申请提供一种网络设备,包括收发器、处理器和存储器。处理器用于控制收发器收发信号,存储器用于存储计算机程序,处理器用于调用并运行存储器中存储的计算机程序,使得网络设备执行第一方面或第二方面任意可能的实现方式中的方法。

[0025] 具体地,在网络设备作为信息和/或数据的发送端时,网络设备执行上述第一方面及其任意可能的实现方式中的级联编的方法,对需要发送的信息和/或数据进行级联编码。在网络设备作为信息和/或数据的接收端时,网络设备执行上述第三方面的译码方法,对从发送端接收到的待译码的比特序列进行译码。

[0026] 第六方面,本申请提供一种终端设备,包括收发器、处理器和存储器。处理器用于控制收发器收发信号,存储器用于存储计算机程序,处理器用于调用并运行存储器中存储的计算机程序,使得终端设备执行第一方面或第二方面任意可能的实现方式中的方法。

[0027] 具体地,在终端设备作为信息和/或数据的发送端时,终端设备执行上述第一方面及其任意可能的实现方式中的级联编的方法,对需要发送的信息和/或数据进行级联编码。在终端设备作为信息和/或数据的接收端时,终端设备执行上述第三方面的译码方法,对从发送端接收到的待译码的比特序列进行译码。

[0028] 第七方面,本申请提供一种计算机可读存储介质,该计算机可读存储介质中存储有指令,当其在计算机上运行时,使得计算机执行第一方面或第一方面的任意可能的实现方式中的方法。

[0029] 第八方面,本申请提供一种计算机程序产品,该计算机程序产品包括计算机程序代码,当计算机程序代码在计算机上运行时,使得计算机执行上述第一方面及其任意一种可能的实现方式中的方法。

[0030] 第九方面,本申请提供一种芯片,包括处理器。处理器用于读取并执行存储器中存储的计算机程序,以执行上述第一方面或第一方面任意可能的实现方式中的方法。可选地,该芯片还包括存储器,该存储器与该处理器通过电路或电线与存储器连接。进一步可选地,该芯片还包括通信接口,处理器与该通信接口连接。通信接口用于接收待编码的比特序列,处理器从通信接口获取该信息比特序列,并采用第一方面描述的级联编码的方法,对该信息比特序列进行级联编码;通信接口输出编码后的比特序列。该通信接口可以是输入输出接口。

[0031] 第十方面,本申请提供一种计算机可读存储介质,该计算机可读存储介质中存储有指令,当其在计算机上运行时,使得计算机执行第三方面或第三方面的任意可能的实现方式中的方法。

[0032] 第十一方面,本申请提供一种计算机程序产品,该计算机程序产品包括计算机程序代码,当计算机程序代码在计算机上运行时,使得计算机执行上述第三方面或第三方面

任意可能的实现方式中的方法。

[0033] 第十二方面,本申请提供一种芯片,包括处理器。处理器用于读取并执行存储器中存储的计算机程序,以执行上述第三方面或第三方面任意可能的实现方式中的方法。

[0034] 可选地,该芯片还包括存储器,该存储器与该处理器通过电路或电线与存储器连接。进一步可选地,该芯片还包括通信接口,处理器与该通信接口连接。通信接口用于接收待译码的比特序列,处理器从通信接口获取该待译码的比特序列,并采用第三方面描述的译码方法,对该待译码的比特序列进行译码,得到译码结果;通信接口输出译码结果。该通信接口可以是输入输出接口。

[0035] 第十三方面,本申请提供一种通信系统,包括第五方面所述的网络设备和第六方面所述的终端设备。

[0036] 本申请的技术方案中,级联编码的外码编码采用分组编码,内码编码采用polar编码。在编码时,外码编码将信息比特序列划分为多个组分别进行编码,得到的多个第一码字作为polar编码的输入。由于每个第一码字包括多个比特,因此内码编码实际上是以包括多个比特的块(即,第一码字)为单位进行polar编码的。从而在译码时,不再需要像现有的SCL译码算法那样,以比特为单位进行判决和译码,而是以块为单位进行译码。从而可以降低译码时延。

附图说明

[0037] 图1是适用于本申请实施例的无线通信系统100的架构图。

[0038] 图2是采用无线技术进行通信的基本流程图。

[0039] 图3是polar极化码编码示意图。

[0040] 图4是F2极化网络的输入输出示意图。

[0041] 图5是本申请提供的级联编码的方200的示意性流程图。

[0042] 图6是 $B=3$ 的分组码的极化过程的示意图。

[0043] 图7是 $N=256, K=124$ 的级联码与polar码的性能对比图。

[0044] 图8是 $N=1024, K=512$ 的级联码与polar码的性能对比图。

[0045] 图9是本申请提供的通信装置500的示意性框图。

[0046] 图10为本申请提供的通信装置600的示意性结构图。

[0047] 图11为处理装置601的内部结构示意图。

[0048] 图12是本申请提供的通信装置700的示意性框图。

[0049] 图13是本申请提供的通信装置800的示意性框图。

[0050] 图14为处理装置802的内部结构示意图。

[0051] 图15是本申请提供的网络设备3000的示意性结构图。

[0052] 图16是本申请提供的终端设备900的示意性结构图。

具体实施方式

[0053] 下面将结合附图,对本申请中的技术方案进行描述。

[0054] 参见图1,图1是适用于本申请实施例的无线通信系统100的架构图。如图1所示。无线通信系统100中可以包括至少一个网络设备、一个或多个终端设备。网络设备(如图1中所

示的101)可以与该一个或多个终端设备(如图1中所示的102和103)进行无线通信。

[0055] 本申请中涉及的无线通信系统,包括但不限于全球移动通讯(global system of mobile communication,GSM)系统、码分多址(code division multiple access,CDMA)系统、宽带码分多址(wideband code division multiple access,WCDMA)系统、通用分组无线业务(general packet radio service,GPRS)、长期演进(long term evolution,LTE)系统、LTE的频分双工(frequency division duplex,FDD)系统、LTE的时分双工(time division duplex,TDD)、通用移动通信系统(universal mobile telecommunication system,UMTS)、全球互联微波接入(worldwide interoperability for microwave access,WiMAX)通信系统、下一代5G移动通信系统的三大应用场景,即增强移动宽带(enhance mobile broadband,eMBB)、高可靠性低延迟通信(ultra reliable low latency communication,URLLC)和增强海量机器连接通信(massive machine type communication,eMTC)或者将来出现的新的通信系统等。

[0056] 本申请实施例涉及的终端设备可以指用户设备(user equipment,UE)、终端(terminal)、接入终端、用户单元、用户站、移动站、移动台、远方站、远程终端、移动设备、用户终端、终端、无线通信设备、用户代理或用户装置。终端设备还可以是蜂窝电话、无绳电话、会话启动协议(session initiation protocol,SIP)电话、无线本地环路(wireless local loop,WLL)站、个人数字处理(personal digital assistant,PDA)、具有无线通信功能的手持设备、计算设备或连接到无线调制解调器的其它处理设备、车载设备、可穿戴设备,未来5G网络中的终端设备或者未来演进的公用陆地移动通信网络(public land mobile network,PLMN)中的终端设备等,本申请对此不作限定。

[0057] 本申请涉及的网络设备可以是用于与终端设备通信的设备。该网络设备可以是基站,也可以是基站与基站控制器集成后的设备,还可以是具有类似通信功能的其它设备。这里所说的基站可以是全球移动通讯(global system of mobile communication,GSM)系统或码分多址(code division multiple access,CDMA)中的基站(base transceiver station,BTS),也可以是宽带码分多址(wideband code division multiple access,WCDMA)系统中的基站(nodeB,NB),还可以是长期演进(long term evolution,LTE)系统中的演进型基站(evolutional nodeB,eNB或eNodeB),还可以是云无线接入网络(cloud radio access network,CRAN)场景下的无线控制器。或者,该网络设备还可以是中继站、接入点、车载设备、可穿戴设备以及未来5G网络中的网络设备等,本申请实施例不作限定。

[0058] 图1中的网络设备与终端设备之间采用无线技术进行通信。当网络设备发送信号时,其为发送端,当网络设备接收信号时,其为接收端。终端设备也是一样的,当终端设备发送信号时,其为发送端,当终端设备接收信号时,其为接收端。

[0059] 图2是采用无线技术进行通信的基本流程图。发送端的信源依次经过信源编码、信道编码、速率匹配和调制后在信道上发出。接收端收到信号后依次经过解调、解速率匹配、信道解码和信源解码后获得信宿。

[0060] 信道编解码是无线通信领域的核心技术之一,其性能的改进将直接提升网络覆盖及用户传输速率。目前,极化码(polar codes)是可理论证明达到香农极限,并且具有可实用的线性复杂度编译码能力的信道编码技术。Polar码是一种线性块码,其编码矩阵(也称为生成矩阵)为 F_N ,编码过程可以由下式表示:

$$[0061] \quad x_1^N = \mu_1^N \cdot F_N \quad (1)$$

[0062] 其中, $\mu_1^N = (\mu_1, \mu_2, \dots, \mu_N)$ 是一个二进制的行矢量(也即, 信息比特序列), 长度为N, 且 $N = 2^n$, n为正整数。 F_N 是一个 $N \times N$ 的矩阵, $F_N = F_2^{\otimes(\log_2 N)}$ 。 $F_2^{\otimes(\log_2 N)}$ 定义为 $\log_2 N$ 个矩阵 F_2 的克罗内克(Kronecker)乘积, $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 。以上各式中涉及到的加法、乘法操作均为二进制伽罗华域上的加法、乘法操作。

[0063] 通过该方法生成的编码, 通过逐比特消除(successive cancellation, SC)译码方法, 会产生极化现象。即, u中的一部分比特经过一个等效的高可靠信道并以高概率会被译对, 剩下的比特经过一个等效的低可靠度信道并以低概率被译对。由此, 人们可以将高可靠信道用于信息传输, 而将低可靠度信道对应的比特置零(也即, 冻结), 不用于传输数据, 或者传输通信双方已知的数据。

[0064] 参见图3, 图3是polar极化码编码示意图。如图3所示, 符号“ \oplus ”代表二进制相加, 其输入为左侧和下侧, 输出为右侧。图3中每条实线代表1比特。我们将 $\{u_1, u_2, u_3, u_5\}$ 设置为冻结比特, 将 $\{u_4, u_6, u_7, u_8\}$ 共4位信息比特进行polar编码, 得到8位编码比特。编码之后, 再将这8位编码比特进行调制后经过噪声信道发送。

[0065] 从polar码的编码过程可以看到, 从信息比特开始, 就以 $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 网络进行极化。

其中, F_2 极化网络的输入、输出关系可以参见图4所示。

[0066] 参见图4, 图4是 F_2 极化网络的输入输出示意图。将图4中所示的输入、输出关系用公式描述, 可以表示为:

$$[0067] \quad [x_0 x_1] = [u_0 u_1] \times F_2 \quad (2)$$

[0068] 其中, $[x_0 x_1]$ 和 $[u_0, u_1]$ 都是二进制向量, 所有的运算也都是在二元域进行。

[0069] 根据上述polar编码原理, polar码的译码采用SCL译码算法。采用SCL译码算法进行译码时, 译码器是逐比特进行判决和输出的, 译码时延较大。

[0070] 为此, 本申请提供一种级联编码的方法, 可以降低译码时延, 提升极化码的译码性能。

[0071] 为了便于理解, 首先对级联编码进行简单介绍。

[0072] 在将信道编码技术应用于实际中时, 常常需要考虑很多实际的因素, 例如, 效率、性能和时延等。由信道编码理论可知, 随着码长N的增加, 译码错误概率以指数方式趋近于零。因此, 为提高纠错码的有效性, 就必须使用长码。但码长增加, 码率会相应下降, 译码器的复杂性与计算量也相应增加。级联码正是为了解决这个矛盾而提出, 它将编码过程分为几级完成, 可以满足信道纠错对编码长度的要求, 获得和长码接近甚至相同的纠错能力和高编码增益。而且, 随之增加的编译码复杂度并不是很大。换句话说, 如果一个系统包括多次(至少两次)编码, 这多次编码就认为是级联编码。级联编码包括外码编码和内码编码。其中, 外码编码的输入是待编码的信息比特序列, 外码的输出作为内码的输入。内码编码的输出即是完成级联编码后的码字。应理解, 外码和内码是一个相对的概念。以一个系统包括三次编码为例, 第一次编码相对于第二次编码是外码编码, 第二次编码相对于第一次编码是内码编码。第一次编码完成之后, 第二次编码相对于第三次编码是外码编码, 第三次编码相

对于第二次编码是内码编码。再以一个系统包括两次编码为例,先进行的是外码编码,后进行的是内码编码。外码编码的输出作为内码编码的输入。

[0073] 在本申请提供的技术方案中,级联编码涉及两次编码。其中,级联编码的外码采用分组编码,内码编码采用polar编码。

[0074] 参见图5,图5是本申请提供的级联编码的方200的示意性流程图。方法200可以由发送端执行。

[0075] 210、对信息比特序列进行分组编码,得到码长为B的多个第一码字。

[0076] 其中, $B \geq 1$ 且为整数。

[0077] 在步骤210中,编码器获取待编码的信息比特序列,并对信息比特序列进行分组编码,得到多个第一码字。

[0078] 这里,第一码字的长度B是预设的。应理解,步骤210是一个分组编码的过程。分组编码是将待编码的信息比特序列划分为多个组,并对每个组进行编码,得到码长均为B的多个第一码字。关于如何对信息比特序列进行分组可以参考现有技术,本申请中不作详述。

[0079] 分组码的码长B与译码的复杂度和时延有关。分组码的码长B可以考虑复杂度和时延的折中而设定。

[0080] 220、对该多个第一码字进行n级的极化编码,得到长度为 $B \times 2^n$ 的第二码字。

[0081] 其中, $n \geq 1$ 且为整数。

[0082] 在步骤220中,发送端对步骤210中进行分组编码得到的多个第一码字,进行n级的极化编码,得到长度为 $B \times 2^n$ 的第二码字。

[0083] 如果第一码字的长度为B,且在步骤220中,发送端对第一码字进行了n级的极化编码(也可以说,经过n次极化),则得到的级联码的长度为 $B \times 2^n$ 。

[0084] 由于 $B \geq 1$ 且为整数, 2^n 为2的整数次幂,因此,级联码的长度 $B \times 2^n$ 将可以为任意大小。也就是说,根据本申请提供的级联编码的方法,可以生成任意码长的级联码。

[0085] 本申请的技术方案中,级联编码的外码编码采用分组编码,内码编码采用polar编码。具体地,外码编码将信息比特序列划分为多个组分别进行编码,得到的多个第一码字作为polar编码的输入。由于每个第一码字包括多个比特,因此内码编码实际上是以包括多个比特的块(即,第一码字)为单位进行polar编码的。从而在译码时,不再需要像现有的SCL译码算法那样,以比特为单位进行判决和译码,而是以块为单位进行译码。从而可以降低译码时延。

[0086] 上述步骤210中,对信息比特序列进行分组编码,得到码长为B的多个第一码字,包括:

[0087] 获取第二码字的目标码长N和第一码字的码长B, $N = B \times 2^n$,N为整数;

[0088] 根据第二码字的目标码长N和第一码字的码长B,对信息比特序列进行分组,得到多个子序列;

[0089] 根据该多个子序列中每个子序列包括的比特数目,确定对每个子序列进行分组编码所需的生成矩阵;

[0090] 使用与该多个子序列中每个子序列对应的生成矩阵,对该多个子序列进行分组编码,得到码长为B的多个第一码字。

[0091] 应理解,在进行编码时,通常需要设定一个期望的编码后的码长N(也即,目标码

长)。而在本申请中,目标码长 N 即是编码器最终输出的级联码(即,第二码字)的码长。因此,即, $N=B \times 2^n$ 。

[0092] 上文已经介绍过,分组编码时,分组码的码长也预先设定的。而分组码指的是分组编码的输出,也即本申请中的第一码字。即是说,在进行级联编码之前,首先获取预设的目标码长 N 和分组码的码长 B 。根据目标码长和分组码的码长 B ,确定将待编码的信息比特序列具体划分为几个组。这里,分组编码中涉及的对信息比特序列进行分组的过程可以参考现有技术,这里不作详述。

[0093] 将信息比特序列进行分组之后,得到多个子序列,每个子序列中包括一个或多个比特,或者,有些子序列中也可以不包括比特。接下来,根据该多个子序列中每个子序列对应的生成矩阵,确定对每个子序列进行分组编码所需的生成矩阵。

[0094] 这里,将信息比特序列进行分组之后,得到的多个子序列,也可以认为是信息比特序列的多个子块。也即,每个子序列是信息比特序列的一个子块,或者称作子码块。

[0095] 应理解,将信息比特序列划分为多个子序列之后,每个子序列将会编码成为长度为 B 的第一码字。而这多个子序列中包括的比特的数目不尽相同,因此,需要根据每个子序列中包括的比特数目,确定对该子序列进行编码所需的生成矩阵。即是说,该多个子序列中的每一个子序列都对应各自的生成矩阵。使用该多个生成矩阵对该多个子序列进行编码,得到多个第一码字,每个码字的码长均为 B 。

[0096] 根据上文的描述可以知道 N 和 B 之间满足 $N=B \times 2^n$,其中, n 是步骤220中所说的极化次数。而 N 和 B 通常又是根据编码需要设定的,那么可能存在一种情况,即目标码长 N 和第一码字的码长 B 设定之后,却不存在一个正整数 R ,使得 $R=2^n$ 。例如,目标码长 $N=20$,第一码字的长度 $B=3$ 。此时,可以先选择一个正整数 L ,使得 $L=2^m$, $m>n$,并对码长为 B 的多个第一码字进行 m 级的极化编码,得到码长为 $B \times 2^m$ 的第三码字。接下来,对第三码字进行速率匹配,最终得到码长为 $B \times 2^n$ 的第二码字。例如, $N=20$, $B=3$ 时,选择 $2^m=8$ (即, $m=3$)。也就是说,经过步骤210,先将信息比特序列进行分组编码,得到码长为3的多个第一码字,接下来,在步骤220,对该码长为3的多个码字进行3级polar编码,得到长度为 3×2^3 的码字(记作,第三码字)。最后,对码长为24的第三码字进行速率匹配(例如,通过打孔的方式,打掉4个比特),最终得到长度为20的第二码字。

[0097] 根据本申请的技术方案,在目标码长 N 和分组码(即,第一码字)的码长 B 设定的情况下,如果存在正整数 $R=2^n$ 满足 $N=B \times R$,则级联编码之后可以直接得到目标码长的码字。与polar编码只能生成2的整数次幂的码长相比,不需要进行速率匹配。

[0098] 进一步地,如果在目标码长 N 和分组码(即,第一码字)的码长 B 设定的情况下,不存在正整数 $R=2^n$ 满足 $N=B \times R$,则先根据本申请的级联编码的方法生成一个与目标码长接近的码字,再对该码字进行少量速率匹配,也可以得到目标码长的码字。

[0099] 可选地,在选择 L 时,通常是选择满足 $L=2^m$,同时使得 $B \times L > N$ 且与 N 最接近。这样,可以减少后续需要进行速率匹配的比特数目。例如, $N=20$, $B=3$,选择 $L=2^m=8$,既满足 L 为2的次幂,又满足 $B \times L$ 与20最接近。

[0100] 当然,也可以选择 L 只满足 $L=2^m$,但是 $B \times L$ 不一定是最近 N 的。本申请不作限定。

[0101] 230、发送第二码字。

[0102] 经过步骤210和步骤220,编码器完成级联编码。完成级联编码后,发送将该第二码

字发送给接收端。

[0103] 应理解,在发送第二码字之前,可能还需要经过上文所说的少量的速率匹配,调制.资源映射等.这些过程都可以参考现有技术,这里不作赘述。

[0104] 在方法200中,步骤210和步骤230可以由发送端的编码器执行.步骤230可以由发送端的收发器执行.具体地,编码器在完成步骤210和步骤220之后,可以将第二码字输出给收发器,以由收发器将第二码字发送.或者,编码器还可以对第二码字经过速率匹配、调制映射等处理后发送给收发器,再将经过速率匹配和调制映射处理后的第二码字发送给收发器,由收发器将其发送给接收端。

[0105] 可选地,作为一种实现方式,执行方法200的步骤210和步骤220的编码器可以包括外码编码器和内码编码器。

[0106] 具体地,外码编码器获取信息比特序列,并对信息比特序列进行分组编码,得到码长为B的多个第一码字,完成级联编码的外码编码.外码编码完成之后,外码编码器将该多个第一码字输入给内码编码器.内码编码器从外码编码器接收该多个第一码字,对该多个第一码字进行n级的polar编码,得到第二码字,完成内码编码.内码编码完成之后,内码编码器将第二码字输出。

[0107] 可选地,外码编码器输出第一比特序列之后,在输入内码编码器之前,还可以对第一比特序列进行比特交织,再将交织后的比特序列输入到内码编码器进行内码编码。

[0108] 进一步地,为了获得较好的译码性能,在步骤210中进行外码编码时,可以考虑如下因素,选择作为外码的分组码。

[0109] (1) 选择可以支持并行译码的分组码。

[0110] (2) 规避一些中间码率。

[0111] (3) 考虑更大的最小码距和更好的码距谱。

[0112] (4) 对于各种外码码率,可以选择最优的分组码。

[0113] 考虑这些因素来选择一些较好的码距谱特性、较高的译码并行度的分组码作为外码.最后,多个分组码拼接后,由 F_N 极化网络进行极化.这样可以提高译码并行度,降低时延.同时,由于外码分组码的码长无需为2的整数次幂,因此,最终级联码的码长也具有更多的选择,可以省去速率匹配的流程,或者仅需要少量的速率匹配。

[0114] 下面给出 $B=3$ 和 $B=16$ 的两个示例,来说明上述级联编码的过程。

[0115] 1、第一码字的长度 $B=3$ 。

[0116] 参见图6,图6是 $B=3$ 的分组码的极化过程的示意图.如图6所示,假定信息比特序列为 $[u_0u_1u_2u_3u_4u_5]$,并假定信息比特序列划分为如下4个子序列: $\emptyset, [u_0], [u_1u_2], [u_3u_4u_5]$.其中, \emptyset 表示该子序列中不包含比特.每个子序列中包含的比特数目,也可以称作该子序列的信息长度.根据每个子序列的信息长度,其对应的生成矩阵分别可以表示为:

[0117] 信息长度为0时,生成矩阵可以表示为 $G_0 = \emptyset$;

[0118] 信息长度为1时,生成矩阵可以表示为 $G_1 = [111]$;

[0119] 信息长度为2时,生成矩阵可以表示为 $G_2 = \begin{bmatrix} 110 \\ 101 \end{bmatrix}$;

[0120] 信息长度为3时,生成矩阵可以表示为 $G_3 = \begin{bmatrix} 100 \\ 010 \\ 001 \end{bmatrix}$ 。

[0121] 这里,信息长度为0,可以理解为无信息输入。

[0122] (1) 外码编码。

[0123] 在本申请中,外码编码采用分组编码。

[0124] 针对上述信息长度分别为0,1,2和3,外码编码的过程可以表示为:

$$[0125] \quad [o_0 \ o_1 \ o_2] = [0 \ 0 \ 0]$$

$$[0126] \quad [o_3 \ o_4 \ o_5] = [u_0] \times [1 \ 1 \ 1]$$

$$[0127] \quad [o_6 \ o_7 \ o_8] = [u_1 \ u_2] \times \begin{bmatrix} 110 \\ 101 \end{bmatrix}$$

$$[0128] \quad [o_6 \ o_7 \ o_8] = [u_1 \ u_2] \times \begin{bmatrix} 110 \\ 101 \end{bmatrix}$$

[0129] 对信息比特序列 $[u_0 \ u_1 \ u_2 \ u_3 \ u_4 \ u_5]$ 经过外码编码,最终输出4个码字,分别为 $[o_0 \ o_1 \ o_2]$ 、 $[o_3 \ o_4 \ o_5]$ 、 $[o_6 \ o_7 \ o_8]$ 和 $[o_6 \ o_7 \ o_8]$,每一个码字的码长为3。这里的每一个码字,即是本申请中所说的第一码字。

[0130] (2) 内码编码。

[0131] 在本申请中,内码编码为极化编码。

[0132] 继续参见图5,外码码字的极化过程可以表示为:

$$[0133] \quad [x_0 \ x_3 \ x_6 \ x_9] = [o_0 \ o_3 \ o_6 \ o_9] \times F_4$$

$$[0134] \quad [x_1 \ x_4 \ x_7 \ x_{10}] = [o_1 \ o_4 \ o_7 \ o_{10}] \times F_4$$

$$[0135] \quad [x_2 \ x_5 \ x_8 \ x_{11}] = [o_2 \ o_5 \ o_8 \ o_{11}] \times F_4$$

[0136] 实际上也可以认为,是将上述4个第一码字进行拼接,得到 $o = [o_0, o_1, \dots, o_{11}]$,对拼接后的码字进行polar编码。采用polar码进行内码编码之后,最终输出的级联码为 $x = [x_0, x_1, \dots, x_{11}]$ 。也即,本申请中所说的第二码字。

[0137] 根据本申请提供级联编码的方法,假设进行外码编码时,分组码的总的信息长度为K,分组码的第i个子码块的信息长度为 K_i ,则满足:

$$[0138] \quad K = \sum_{i=1}^N K_i \quad (3)$$

[0139] 如果将上述级联编码的过程可以写成通式,可以表示为:

[0140] 外码编码时,对于 $i \in \{1, 2, \dots, N\}$,执行

$$[0141] \quad [o_1^i \ o_2^i \ \dots \ o_B^i] = [u_1^i \ u_2^i \ \dots \ u_{K_i}^i] \times G_{K_i} \quad (4)$$

[0142] 在公式(4)中, $[u_1^i \ u_2^i \ \dots \ u_{K_i}^i]$ 为分组码的第i个子码块在编码前的 K_i 个信息比特, $[o_1^i \ o_2^i \ \dots \ o_B^i]$ 为第i个子码块编码后的B个码字比特。 G_{K_i} 为第i个子码块的生成矩阵,大小为 $K_i \times B$ 。

[0143] 内码编码时,对于 $j \in \{1, 2, \dots, B\}$

$$[0144] \quad [x_j^1 \ x_j^2 \ \dots \ x_j^B] = [o_j^1 \ o_j^2 \ \dots \ o_j^B] \times F_N \quad (5)$$

[0145] 在公式(5)中, $[o_j^1 o_j^2 \dots o_j^B]$ 为各个子码块的第j个码字比特组成的N个待极化编码的比特, $[x_j^1 x_j^2 \dots x_j^B]$ 为极化编码后比特。

[0146] 以上对本申请提供的外码采用分组码, 内码采用极化码的级联编码的过程作了详细说明。下面结合表1再给出一个混合分组码的示例,

[0147] 2、第一码字的码长 $B=16$ 。

[0148] 为了描述上的简洁, 首先将信息比特序列进行分组之后, 子序列的信息长度记作 K , K 为整数。应理解, $K \leq B$ 。

[0149] 表1

[0150]	信息长度	描述	生成矩阵或校验矩阵
--------	------	----	-----------

[0151]

(比特)		
1	重复码	$G_1 = [1111111111111111]$
2	基于 simplex 码重复码	$S_2 = \begin{bmatrix} 110 \\ 101 \end{bmatrix}, G_2 = \begin{bmatrix} S_2 & S_2 & S_2 & S_2 & S_2 & 1 \\ & & & & & 1 \end{bmatrix}$
3		$S_3 = \begin{bmatrix} 1111000 \\ 1100110 \\ 1010101 \end{bmatrix}, G_3 = \begin{bmatrix} & & & 11 \\ S_3 & S_3 & & 11 \\ & & & 10 \end{bmatrix}$
4		$S_4 = \begin{bmatrix} 111111110000000 \\ 111100001111000 \\ 110011001100110 \\ 101010101010101 \end{bmatrix}, G_4 = \begin{bmatrix} & & & & & & & 1 \\ & & & & & & & 1 \\ & & & & & & & 1 \\ & & & & & & & 1 \end{bmatrix}$
5		Polar 码
6	eBCH 码	$G_6 = \begin{bmatrix} 0010010011101000 \\ 1111111100000000 \\ 1111000011110000 \\ 1100110011001100 \\ 1010101010101010 \\ 1111111111111111 \end{bmatrix}$
7		$G_7 = \begin{bmatrix} 0111001000101000 \\ 0010010011101000 \\ 1111111100000000 \\ 1111000011110000 \\ 1100110011001100 \\ 1010101010101010 \\ 1111111111111111 \end{bmatrix}$
8	Polar 码	-
9	eBCH 码的对偶码	$H_9 = G_7$
10	eBCH 码的对偶码	$H_{10} = G_6$
11	Polar 码	-
12	基于 simplex 码重复码的对偶码	$H_{12} = G_4$
13		$H_{13} = G_3$
14		$H_{14} = G_2$
15	单比特奇偶校验码	G_1
16	不需编码	-

[0152] 应理解,表1的第一列表示子序列的信息长度。表1的第二列表示级联编码时选择何种码作为外码。其中,表1的第二列与第一列的子序列的信息长度是对应的。例如,如果对信息比特序列进行分组后,得到的某个子序列的信息长度为1,则选择重复码作为外码执行

上述步骤210的外码编码。又例如,如果某个子序列的信息长度为6,则选择eBCH码作为外码执行上述步骤210的外码编码。其它信息长度类似,不再一一说明。表1中的第三列表示进行外码编码时采用的生成矩阵。其中,表1的第三列分别于第二列和第一列也是一一对应的。例如,子序列的信息长度为1时,采用重复码进行外码编码,外码编码时使用的生成矩阵为 G_1 。又例如,子序列的信息长度为3时,采用单纯形码simplex码的重复码进行外码编码,外码编码使用的生成矩阵为 G_3 。

[0153] 需要说明的是,表1中第3列中的 G 为生成矩阵,矩阵 S 是为了简化表示生成矩阵 G 而列出的。矩阵 H 为一些编码对应的校验矩阵,根据校验矩阵 H 可以确定生成矩阵。根据对偶码的定义,如果码 A 是码 B 的对偶码,则码 B 的生成矩阵与码 A 的生成矩阵相同。例如,子序列的信息长度为9时,采用eBCH码的对偶码对该子序列进行外码编码,因此,eBCH码的对偶码的校验矩阵 H_9 等于eBCH的生成矩阵。

[0154] 表1中涉及如下几种分组码:

[0155] (1) 重复码。

[0156] 重复码是将每个要发送的比特重复发送,或者说,是将每一个信源比特编码成为多个相同的比特。例如,(3,1)这个二元重复码,是将一个二进制比特序列中的每个0编码成000,将每个1编码成111。因此,在信息序列长度为1时,重复码的生成矩阵是一个16位的全1矩阵。

[0157] (2) simplex码。

[0158] 对于子序列的信息长度较短的码来说,单纯型码具有较大的码距。可通过对其进行重复获得所需的码长。

[0159] (3) eBCH码。

[0160] BCH码取自Bose、Ray-Chaudhuri与Hocquenghem的缩写,是编码理论尤其是纠错码中研究得比较多的一种编码方法。扩展的BCH码(extended BCH,eBCH)是在BCH码的基础上扩展得到的,在已知码中具有构造简便,码距较大的特点。

[0161] (4) 对偶码。

[0162] 以线性分组码的一致校验矩阵作为生成矩阵产生的线性分组码,称为原线性分组码的对偶编码。由此可以理解,在信息序列的长度为9或10时,以eBCH码的一致校验矩阵作为生成矩阵产生的线性分组码即为eBCH的对偶码。

[0163] (5) 奇偶校验码。

[0164] 奇偶校验码是一种通过在码字中增加冗余比特,使得码字中“1”的个数恒为奇数或者恒为偶数的编码方法。其中,单比特奇偶校验码是指只有1个奇偶校验位的码。

[0165] 在 $B=16$ 的情况下,对信息比特序列进行分组之后得到多个子序,根据每个子序列的信息长度,从表2中选择对应的外码和生成矩阵对该子序列进行外码编码,得到多个第一码字。最后,再对所有子序列经过外码编码得到的多个第一码字进行内码编码,得到级联码。

[0166] 需要说明的是,polar码本身可以看作polar外码和polar内码的级联编码。如果使用表2中所示的 $B=16$ 的分组码替换polar外码,可以获得更好的译码性能和译码时延。

[0167] 应理解,这里所说的适用分组码替换polar编码的外码,即是说polar码的外码编码使用本申请中所述的分组编码。对分组编码之后输出的第一码字,继续进行polar内码的

编码。

[0168] 如果使用分组码作为polar码的外码,与polar码的外码和内码编码均采用polar码相比,码距谱的对比可以参见表2

[0169] 表2

[0170]

Code	码重 K	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Polar	2	0	0	0	0	0	0	0	2	0	0	0	0	0	0	0	1
Simplex	2	0	0	0	0	0	0	0	0	0	1	2	0	0	0	0	0
Polar	3	0	0	0	0	0	0	0	6	0	0	0	0	0	0	0	1
Simplex	3	0	0	0	0	0	0	0	1	4	2	0	0	0	0	0	0
Polar	4	0	0	0	0	0	0	0	14	0	0	0	0	0	0	0	1
Simplex	4	0	0	0	0	0	0	0	7	8	0	0	0	0	0	0	0
Polar	5	0	0	0	0	0	0	0	30	0	0	0	0	0	0	0	1
Polar	6	0	0	0	4	0	0	0	54	0	0	0	4	0	0	0	1
eBCH	6	0	0	0	0	0	16	0	30	0	16	0	0	0	0	0	1
Polar	7	0	0	0	12	0	0	0	102	0	0	0	12	0	0	0	1
eBCH	7	0	0	0	0	0	48	0	30	0	48	0	0	0	0	0	1
Polar	8	0	0	0	28	0	0	0	198	0	0	0	28	0	0	0	1
Polar	9	0	0	0	44	0	64	0	294	0	64	0	44	0	0	0	1
Dual of eBCH	9	0	0	0	20	0	160	0	150	0	160	0	20	0	0	0	1
Polar	10	0	0	0	76	0	192	0	486	0	192	0	76	0	0	0	1
Dual of eBCH	10	0	0	0	60	0	256	0	390	0	256	0	60	0	0	0	1
Polar	11	0	0	0	140	0	448	0	870	0	448	0	140	0	0	0	1
Polar	12	0	8	0	252	0	952	0	1670	0	952	0	252	0	8	0	1
Dual of Simplex	12	0	1	42	133	252	469	750	835	680	483	294	119	28	7	2	0
Polar	13	0	24	0	476	0	1960	0	3270	0	1960	0	476	0	24	0	1
Dual of Simplex	13	0	11	82	233	516	1003	1470	1595	1400	1017	558	219	68	17	2	0
Polar	14	0	56	0	924	0	3976	0	6470	0	3976	0	924	0	56	0	1
Dual of Simplex	14	0	35	150	425	1100	2051	2810	3195	2920	1985	1066	475	140	25	6	0
Polar	15	0	120	0	1820	0	8008	0	12870	0	8008	0	1820	0	120	0	1

[0171] 在 $B=16$ 的情况下, K 的取值为 $0-16$ 。其中, $K=0$ 时,可以认为无信息比特输入,表2中未列出。 $K=1$ 时,采用重复码,具体是将子块中的信息比特重复16次得到,表2中也未列出,可以参考表1。 $K=16$ 时,可以认为输入的需要进行外码编码的子块包括16个比特,完成外码编码后输出的码字也包含16个比特,因此无需编码,表2中也未列出,可以参考表1。对于 K 的其它取值可以参考表2。

[0172] 如表2所示,表2的第一行表示码重,即为码字中1的个数,其对应的列中的数字表示具有该码重的码字的数量;对一个码来说,其所有码字的码重分布(如表2中的一行,非第一行)即为该码的码距谱。表2的第一列表示polar码的外码采用的编码方法。表2的第二列表示一个子块(也即上文所说的子序列)的信息长度 K 。例如,信息比特序列为 $[u_0 u_1 u_2 u_3 u_4 u_5]$,分为 $[u_0]$ 、 $[u_1 u_2]$ 和 $[u_3 u_4 u_5]$ 三个子块。第一个子块 $[u_0]$ 的信息长度等于1,则选择 $K=1$ 对应的重复码进行外码编码,外码编码使用的生成矩阵为 G_1 (可以参见表1)。第二个子块 $[u_1 u_2]$ 的信息长度等于2,则从表2中选择 $K=2$ 对应的simplex编码进行外码编码,外码编码使用的生成矩阵为 G_2 。第三个子块 $[u_3 u_4 u_5]$ 的信息长度等于3,则从表2中选择 $K=3$ 对应的simplex编码进行外码编码,外码编码使用的生成矩阵为 G_3 。由于 B 设定为16,因此这三个

子块经过第一级的外码编码之后,对应输出三个码长为16的第一码字。后续,对该码长为16的第一码字拼接后进行n级的polar编码,输出第二码字,也即级联码字,码长为 $B \times 2^n = 16 \times 2^n$ 。

[0173] 给定K的取值,从表2中可以找到相应的两行,其中一行是外码和内码均采用polar码时对应的码距谱,另一行是外码采用分组码且内码采用polar码时对应的码距谱。在这两行中,第一个非零元素的数值表示该非零元素所在列的码重的个数。其中,非零元素在所在行出现的位置越靠后,对应的码重越大,表示性能越好。同时,对于同一个码重,其对应的非零元素越小,表明该码重的数量越少,发生误码的可能性越小,表示性能越好。下面举例说明。

[0174] 例如,K=2时,polar编码对应的行,出现的第一个非零元素为2,对应码重为8,表明有2个码重为8的行。Simplex编码对应的行,出现的第一个非零元素为1,对应的码重为10,表明有1个码重为10的行。根据上述判断译码性能好坏的原则,第一个非零元素对应的码重越大,性能越好。进一步地,第一个非零元素的取值越小越好。由此可以看出,K=2时,采用simplex编码,性能优于采用polar编码。

[0175] 又例如,K=3时,polar编码对应的行,出现的第一个非零元素为6,对应码重为8,表明有6个码重为8的行。Simplex编码对应的行,出现的第一个非零元素为1,对应的码重也为8,表明有1个码重为8的行。在这个示例中,两行出现第一个非零元素的位置相同,再看非零元素的大小。显然,有6个码重为8的行,相比于只有一个码重为8的行,发生误码的概率要高一些。因此,K=3时,采用simplex编码,性能也优于采用polar编码。

[0176] 再例如,K=6时,polar编码对应的行,出现的第一个非零元素为4,对应码重为4。eBCH编码对应的行,出现的第一个非零元素为16,对应的码重为6。首先考虑第一个非零元素对应的码重较小者,性能更优。因此,采用eBCH编码,性能优于采用polar编码。

[0177] 再例如,K=10时,polar编码对应的行,出现的第一个非零元素为76,对应码重为4。采用eBCH码的对偶码(Dual of eBCH)编码对应的行,出现的第一个非零元素为60,对应的码重为4。在第一个非零元素出现的位置相同(也即,第一个非零元素对应的码重相同)时,考虑第一个非零元素的数值越小,性能更优。因此,采用eBCH码的对偶码进行编码,性能优于采用polar编码。

[0178] 以上对表1中性能比较进行了举例说明,K取其它数值时,性能比较的原则是相同的,这里不再赘述。

[0179] 此外,在K=5,8,11的情况下,由于级联编码的外码采用polar码时,与采用分组编码相比,其性能已经较优,因此可以不用替换为其它编码。因此,K=5,8,11时,表1中仅列出了polar编码对应的行。

[0180] 另外,表1中,Dual of eBCH表示eBCH码的对偶码。Dual of Simplex表示单纯形码的对偶码。

[0181] 从表1中可以看出,除了K=5,8,11的情况,用表2中所示的分组码替换polar外码,相对于没有替换的polar码,各个信息长度对应的子块的码距谱都有明显的提升。

[0182] 以上B=3和B=16是本申请提供的级联编码的方法的两个示例。理论上,B可以设定为任意的正整数。上文已经介绍过,B的设定与译码复杂度和译码时延的要求有关,通常是两者的折中。因此,为了与通信系统中的硬件条件相适应,根据本申请提供的级联编码的

思路,本领域技术人员也可能设计出B设定为其它取值时的一些具体实现,例如,B=8,32,64等,但是设计思路都与本申请中B=3和B=16时的设计思路是相同的,这里不再进行列举。

[0183] 根据本申请提供的级联编码的方法,给定一个级联码长和目标码率,可以通过现有技术递归地获得极化前的码率分配,直至获得每个外码(分组码)码率,并选取相应的分组码来进行外码编码。

[0184] 例如,可以使用现有的“极化权重”的方法,获得原polar码在各个子块上的码率分配结果,再使用该分配结果作为级联码各个子块的码率分配方案。

[0185] 又或者,在使用本申请的级联编码的方法时,也可以不遵循上述码率分配方案,可以通过规避某些特定码率的方法,降低译码复杂度。例如,可以使用“完全展开算法”和“症状列表”,使级联码的码率避免中间码率。其中,完全展开算法适用于低码率的子块,症状列表法适用于高码率的子块,是一种并行译码方法。

[0186] 下面以症状列表法作为示例,对本申请的译码方法300进行说明。本申请实施例的译码方法300可以包括如下步骤301-306。

[0187] 301、获取待译码的比特序列,待译码的比特序列的长度为N,N为正整数。

[0188] 302、对待译码的比特序列执行SCL译码,得到N/B个子码块。

[0189] 应理解,在编码侧,N是完成级联编码后的码字的长度。B是信息比特序列划分成的每个子块的长度。在译码侧,N是待译码的比特序列的长度。B与编码侧的含义相同。

[0190] 具体地,本领域技术人员公知,根据SCL译码方法,待译码的比特序列的每个比特关联一个对数似然比(likelihood rate,LLR)。那么,长度为N的待译码的比特序列包括的N个比特一一关联N个LLR。在根据SCL译码算法译码时,对该N个LLR按照层级执行F运算或G运算,进行递归运算。当执行到外码的子码块所在的层级时,执行步骤303。

[0191] 这里,F运算和G运算是SCL译码算法中对LLR进行递归运算的公知概念。外码的子码块与上述级联编码的方法200中描述的外码的子码块的含义相同,均不再赘述。

[0192] 303、对所述N/B个子码块中的每个子码块中的比特进行硬判决,得到每个子码块的硬判决结果。

[0193] 304、对每个子码块的硬判决结果查询症状诊断表,得到每个子码块的多个候选码字。

[0194] 这里,一个子码块的多个候选码字即就是该子码块的多个候选译码路径。

[0195] 关于症状诊断表请参考现有技术的说明。

[0196] 305、计算每个子码块的多个候选码字的路径度量值,并根据每个子码块的多个候选码字的路径度量值,确定每个子码块的译码路径。

[0197] 这里,路径度量值(path metric,PM)可用于衡量译码路径的优劣。一般地,一个PM值越小,表明该候选译码路径越好。计算得到每个子码块的每个候选码字的PM之后,根据PM的大小,选出每个子码块的最优路径,作为该子码块的译码路径。

[0198] 306、将该多个子码块对应的多个译码路径依序输出,作为译码结果。

[0199] 以上是对译码过程的说明。

[0200] 应理解,上述步骤301-306仅是为了便于说明译码过程而划分的几个步骤。实际实现时,译码过程可以在步骤301-306的基础上,设计更多的步骤。或者,也可以将上述步骤

301-306中的一些步骤合并在一起,将译码方法300描述为更少的步骤。本申请不作限定。

[0201] 从这个译码过程可以看出,采用本申请提供的级联编码的方法200对信息比特序列进行外码编码和内码编码,且外码采用分组码,内码采用polar码,可以使得接收端在译码过程中可以按“块”译码,从而可以一次输出每个子块的译码结果。相比于现有的SCL译码方法中按“比特”译码,可以降低译码时延。

[0202] 进一步地,与现有的polar编码方法相比,采用本申请提供的级联编码的方法200,除了可以降低译码时延,大量的实验结果表明,其译码性能也有较大的提升。

[0203] 下面给出两个本申请的级联编码方法200和现有的polar编码的性能对比图。图7-图8中,N表示码长,K表示信息序列的长度。其中,图7和图8中的K均包含了16位的循环冗余校验(cyclic redundancy check,CRC)比特。

[0204] 参见图7,图7是 $N=256$, $K=124$ 的级联码与polar码的性能对比图。

[0205] 参见图8,图8是 $N=1024$, $K=512$ 的级联码与polar码的性能对比图。

[0206] 其中,在图7和图8中,SCL表示串行抵消列表(successive cancellation list)译码算法,polar SCL对应的曲线表示采用polar编码,并采用SCL译码算法进行译码。混合极化编码(hybrid polar)表示采用本申请提供的级联编码方法,在进行外码编码时,对信息比特序列划分得到的多个子序列,根据其信息长度从表2中选择对应的编码方法。对于信息比特序列来说,多个子序列对应的编码方法不尽相同,因此称为混合编码。Hybrid polar FSL是指一种对外码子码采取“按块”方式,而非“逐比特”方式的译码方法,具有更低的译码时延。

[0207] 图7和图8中的纵坐标BLER表示误块率(block error ratio),横坐标 E_s/N_0 表示信噪比。其中,图7和图8中所示的性能曲线均是在加性高斯白噪声(additive white gaussian noise,AWGN)的信道条件下进行仿真得到的。

[0208] 可以看出,图7和图8中,在信噪比相同的条件下,Hybrid polar FSL对应的曲线的误块率总是低于polar SCL对应的曲线的误块率。由此可见,采用本申请提供的技术方案,对polar码的外码采用分组编码,内码采用polar编码,译码性能得到了提升。

[0209] 以上结合图1至图8,对本申请提供的级联编码的方法作了详细说明。对于接收端(或者称为译码端)从发送端接收到待译码的比特序列,以“块”为单位进行译码的过程可以参考现有技术。应理解,本申请提供一种级联编码的方法,使得接收端能够以块为单位进行译码,而不是以比特为单位进行译码,并且,大量仿真结果表明译码性能得到了提升。例如,译码时延降低,误码率降低。但是,接收端以块为单位进行译码的过程可以参考现有技术,本文不作详述。

[0210] 下面结合图9-图14,说明本申请提供的通信装置、编码装置、网络设备和终端设备。

[0211] 参见图9,图9是本申请提供的通信装置500的示意性框图。如图9所示,装置500包括处理单元510和通信单元520。

[0212] 处理单元510,用于对信息比特序列进行分组编码,得到码长为 B 的多个第一码字, $B \geq 0$ 且为整数;对该多个第一码字进行 n 级的极化编码,得到长度为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;

[0213] 通信单元520,用于发送处理单元510生成的第二码字。

[0214] 参见图10,图10为本申请提供的通信装置600的示意性结构图。通信装置600用于实现编码的功能,该通信装置600包括:

[0215] 处理装置601,用于获取待编码的信息比特序列,并对信息比特序列进行分组编码,得到码长为 B 的多个第一码字, $B \geq 0$ 且为整数;对该多个第一码字进行 n 级的极化编码,得到长度为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;

[0216] 收发器602,用于发送该第二码字。

[0217] 可选地,收发器与天线603相连接。

[0218] 在具体实现时,处理装置601可以处理器、芯片或者集成电路。

[0219] 本申请还提供了一种处理装置601,用于实现上述方法实施例的级联编码方法。本申请实施例的级联编码方法200的部分或全部流程可以通过硬件来实现,或者也可以通过软件来实现。当通过硬件实现时,上述处理装置601可以为处理器。

[0220] 可选地,当本申请的级联编码方法200的全部或部分流程通过硬件实现时,上述处理装置601还可以如图11所示。参见图11,图11为处理装置601的内部结构示意图。该处理装置601包括:

[0221] 输入接口电路6011,用于获取输入的信息比特序列;

[0222] 逻辑电路6012,用于并对信息比特序列进行分组编码,得到码长为 B 的多个第一码字, $B \geq 0$ 且为整数;对该多个第一码字进行 n 级的极化编码,得到长度为 $B \times 2^n$ 的第二码字, $n \geq 1$ 且为整数;

[0223] 输出接口电路6013,用于输出第二码字。

[0224] 上述逻辑电路6012可以用于执行本申请各实施例中所描述的级联编码方法。详细流程参见上文方法实施例中的描述,此处不再赘述。

[0225] 可选地,本申请提供的级联编码的方法200的部分或全部流程也可以通过软件来实现。此种情况下,处理装置601可以为处理器,处理器用于执行存储器中存储的计算机程序,当所述计算机程序被执行时,处理器执行上述方法实施例中的级联编码方法。

[0226] 这里,存储器可以是物理上独立的单元。或者,存储器也可以与处理器集成在一起,本申请不作限定。

[0227] 在另一种可选的实施例中,处理装置601可以只包括处理器。处理器通过电路/电线与存储器连接,用于读取并执行存储器中存储的计算机程序。可选地,处理装置601还包括存储器。

[0228] 可选地,处理装置601为芯片时,所述芯片还可以包括输入接口和输出接口。输入接口用于接收输入的待编码的信息比特序列。输出接口用于输出所述第二码字。

[0229] 基于本申请提供的级联编码方法200,本申请还提供一种通信装置700。通信装置700用于执行上述方法300。

[0230] 参见图12,图12是本申请提供的通信装置700的示意性框图。通信装置700包括通信单元701和处理单元702。

[0231] 通信单元701,用于从发送端接收待译码的比特序列;

[0232] 处理单元702,用于执行上述译码方法300,对所述待译码的比特序列进行译码,得到译码结果。

[0233] 参见图13,图13为本申请提供的通信装置800的示意性结构图。通信装置800用于

实现译码的功能,该译码装置800包括:

[0234] 收发器801,用于从发送端接收待译码的比特序列;

[0235] 处理装置802,用于获取待译码的比特序列,并执行上述方法300的译码方法,对所述待译码的比特序列进行译码,得到译码结果。

[0236] 可选地,收发器801与天线803相连接。

[0237] 在具体实现时,处理装置802可以处理器、芯片或者集成电路。

[0238] 本申请还提供了一种处理装置802,用于实现上述译码方法300。本申请实施例的译码方法300的部分或全部流程可以通过硬件来实现,或者也可以通过软件来实现。

[0239] 可选地,当通过硬件实现时,上述处理装置802可以为处理器。

[0240] 可选地,当本申请实施例的译码的方法300的全部或部分流程通过硬件实现时,上述处理装置802还可以如图14所示。

[0241] 参见图14,图14为处理装置802的内部结构示意图。该处理装置601包括:

[0242] 输入接口电路8021,用于获取待译码的比特序列;

[0243] 逻辑电路8022,用于执行上述译码方法300,对所述待译码的比特序列进行译码,得到译码结果;

[0244] 输出接口电路8023,用于输出译码结果。

[0245] 可选地,处理装置802可以为处理器,处理器用于执行存储器中存储的计算机程序,当所述计算机程序被执行时,处理器执行上述译码方法300。

[0246] 这里,存储器可以是物理上独立的单元。或者,存储器也可以与处理器集成在一起,本申请不作限定。

[0247] 在另一种可选的实施例中,处理装置802只包括处理器。处理器通过电路/电线与存储器连接,用于读取并执行存储器中存储的计算机程序。可选地,处理装置802还包括存储器。

[0248] 可选地,处理装置802为芯片时,所述芯片还可以包括输入接口和输出接口。输入接口用于接收输入的待译码的比特序列。输出接口用于输出译码结果。

[0249] 应理解,本申请提供的级联编码的方法200可以由发送端执行。例如图1所示的无线通信系统,当网络设备101发送信号时,网络设备101为发送端。当终端设备102或103发送信号时,终端设备102或103为发送端。由此,下面本申请再提供一种网络设备和终端设备,该网络设备和终端设备具有实现上述级联编码的方法的功能。

[0250] 参见图15,图15是本申请提供的网络设备3000的示意性结构图。如图15所示,网络设备3000可以应用于上述图1所示的无线通信系统中,具有执行本申请的提供的级联编码的方法的功能。网络设备3000例如可以是基站。

[0251] 网络设备3000可以包括一个或多个射频单元,如远端射频单元(remote radio unit,RRU) 3100和一个或多个基带单元(baseband unit,BBU)。基带单元也可以称为数字单元(digital unit,DU) 3200。所述RRU 3100可以称为收发单元,与图9中的通信单元520对应。可选地,该收发单元3100还可以称为收发机、收发电路、或者收发器等等,其可以包括至少一个天线3101和射频单元3102。可选地,收发单元3100可以包括接收单元和发送单元,接收单元可以对应于接收器(或称接收机、接收电路),发送单元可以对应于发射器(或称发射机、发射电路)。所述RRU 3100部分主要用于射频信号的收发以及射频信号与基带信号的转

换,例如,用于向终端设备发送第一随机接入资源的配置信息。所述BBU 3200部分主要用于进行基带处理,对基站进行控制等。所述RRU 3100与BBU 3200可以是物理上设置在一起,也可以物理上分离设置的,即分布式基站。

[0252] 所述BBU 3200为网络设备3000的控制中心,也可以称为处理单元,可以与图9中的处理单元510对应,主要用于完成基带处理功能,如信道编码,速率匹配(可选地)、比特交织、调制等。例如,所述BBU(处理单元)可以用于控制基站执行上述级联编码的方法200。具体地,对待编码的信息比特序列进行分组编码,得到码长为B的多个第一码字;对该多个第一码字进行n级的极化编码,得到长度为 $B \times 2^n$ 的第二码字。

[0253] 在一个示例中,所述BBU 3200可以由一个或多个单板构成,多个单板可以共同支持单一接入制式的无线接入网(例如,LTE网),也可以分别支持不同接入制式的无线接入网(例如,LTE网、5G网或其它网)。所述BBU 3200还包括存储器3201和处理器3202。所述存储器3201用以存储必要的指令和数据。所述处理器3202用于控制网络设备3000进行必要的动作,例如,用于控制网络设备3000执行上述方法实施例由网络设备执行的操作流程。所述存储器3201和处理器3202可以服务于一个或多个单板。也就是说,可以每个单板上单独设置存储器和处理器。也可以是多个单板共用相同的存储器和处理器。此外每个单板上还可以设置有必要的电路。

[0254] 应理解,图15所示的网络设备3000能够实现极化编码的方法。网络设备3000中的各个单元的操作和/或功能,分别为了实现级联编码的方法200实施例中的相应流程。为避免重复,此处适当省略详述描述。

[0255] 上述BBU 3200可以用于执行前面方法实施例中描述的由网络设备内部实现的动作,例如,对信息比特序列进行级联编码。而RRU 3100可以用于执行前面方法实施例中描述的网络设备向终端设备发送或从终端设备接收的动作。例如,向终端设备发送第二码字。

[0256] 在图1所示的无线通信系统中进行上行传输时,终端设备102或103为发送端。下面对本申请提供的终端设备进行说明。

[0257] 参见图16,图16是本申请提供的终端设备900的示意性结构图。如图16所示,如图16所示,终端设备900包括:一个或多个处理器901,一个或多个存储器902,一个或多个收发器903。处理器901用于控制收发器903收发信号,存储器902用于存储计算机程序,处理器901用于从存储器902中调用并运行该计算机程序,以执行本申请提供的级联编码的方法200的相应流程。为了简洁,此处不再赘述。

[0258] 例如,终端设备700可以是图1所示的无线通信系统中的终端设备102或103。处理器901可以对应图9中的处理单元510,收发器903可以对应图9中所示的通信单元520。

[0259] 此外,本申请提供一种计算机可读存储介质,该计算机可读存储介质中存储有计算机指令,当该计算机指令在计算机上运行时,使得计算机执行本申请实施例的级联编码的方法200的相应操作和/或流程。

[0260] 本申请还提供一种计算机程序产品,该计算机程序产品包括计算机程序代码,当该计算机程序代码在计算机上运行时,使得计算机执行本申请实施例的级联编码的方法200的相应操作和/或流程。

[0261] 本申请还提供一种芯片,包括处理器。处理器用于读取并执行存储器中存储的计算机程序,以执行本申请提供的级联编码的方法200的相应操作和/或流程。

[0262] 可选地,该芯片还包括存储器,该存储器与该处理器通过电路或电线与存储器连接。进一步可选地,该芯片还包括通信接口,处理器与该通信接口连接。通信接口用于接收待编码的比特序列,处理器从通信接口获取该信息比特序列,并采用本申请实施例的级联编码方法200,对该信息比特序列进行级联编码;通信接口输出编码后的比特序列。该通信接口可以是输入输出接口。

[0263] 本申请提供一种计算机可读存储介质,该计算机可读存储介质中存储有计算机指令,当该计算机指令在计算机上运行时,使得计算机执行本申请实施例的译码方法300的相应操作和/或流程。

[0264] 本申请还提供一种计算机程序产品,该计算机程序产品包括计算机程序代码,当该计算机程序代码在计算机上运行时,使得计算机执行本申请实施例的译码方法300的相应操作和/或流程。

[0265] 本申请还提供一种芯片,包括处理器。处理器用于读取并执行存储器中存储的计算机程序,以执行申请提供的译码方法300的相应操作和/或流程。

[0266] 可选地,该芯片还包括存储器,该存储器与该处理器通过电路或电线与存储器连接。进一步可选地,该芯片还包括通信接口,处理器与该通信接口连接。通信接口用于接收待译码的比特序列,处理器从通信接口获取该待译码的比特序列,并采用本申请实施例中的译码方法300,对该待译码的比特序列进行译码,得到译码结果;通信接口用于输出译码结果。该通信接口可以是输入输出接口。在实现过程中,上述方法的各步骤可以通过处理器中的硬件的集成逻辑电路或者软件形式的指令完成。上述方法实施例的步骤可以直接体现为硬件处理器执行完成,或者用处理器中的硬件及软件模块组合执行完成。软件模块可以位于随机存储器,闪存、只读存储器,可编程只读存储器或者电可擦写可编程存储器、寄存器等本领域成熟的存储介质中。该存储介质位于存储器,处理器读取存储器中的信息,结合其硬件完成上述方法的步骤。

[0267] 本申请实施例中所述的芯片,可以是现场可编程门阵列(field-programmable gate array,FPGA)、专用集成芯片(application specific integrated circuit,ASIC)、系统芯片(system on chip,SoC)、中央处理器(central processor unit,CPU)、网络处理器(Network Processor,NP)、数字信号处理电路(digital signal processor,DSP),还可以是微控制器(micro controller unit,MCU)、可编程控制器(programmable logic device,PLD)或其它集成芯片。

[0268] 本申请实施例中的处理器可以是一种集成电路芯片,具有信号的处理能力。在实现过程中,上述方法实施例的各步骤可以通过处理器中的硬件的集成逻辑电路或者软件形式的指令完成。处理器可以是通用处理器、DSP、ASIC、FPGA或其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件。通用处理器可以是微处理器或者该处理器也可以是任何常规的处理器等。本申请实施例公开的方法的步骤可以直接体现为硬件编码处理器执行完成,或者用编码处理器中的硬件及软件模块组合执行完成。软件模块可以位于随机存储器,闪存、只读存储器,可编程只读存储器或者电可擦写可编程存储器、寄存器等本领域成熟的存储介质中。该存储介质位于存储器,处理器读取存储器中的信息,结合其硬件完成上述方法的步骤。

[0269] 本申请实施例中的存储器可以是易失性存储器或非易失性存储器,或可包括易失

性和非易失性存储器两者。其中,非易失性存储器可以是只读存储器(read-only memory, ROM)、可编程只读存储器(programmable ROM,PROM)、可擦除可编程只读存储器(erasable PROM,EPROM)、电可擦除可编程只读存储器(electrically EPROM,EEPROM)或闪存。易失性存储器可以是随机存取存储器(random access memory, RAM),其用作外部高速缓存。通过示例性但不是限制性说明,许多形式的RAM可用,例如静态随机存取存储器(static RAM, SRAM)、动态随机存取存储器(dynamic RAM, DRAM)、同步动态随机存取存储器(synchronous DRAM, SDRAM)、双倍数据速率同步动态随机存取存储器(double data rate SDRAM, DDR SDRAM)、增强型同步动态随机存取存储器(enhanced SDRAM, ESDRAM)、同步连接动态随机存取存储器(synchlink DRAM, SLDRAM)和直接内存总线随机存取存储器(direct rambus RAM, DRAM)。应注意,本文描述的系统和方法的存储器旨在包括但不限于这些和任意其它适合类型的存储器。

[0270] 本领域普通技术人员可以意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、或者计算机软件和电子硬件的结合来实现,具体取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本申请的范围。

[0271] 在本申请以上所描述的装置实施例仅仅是示意性的,例如,所述单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式。例如,多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以通过一些接口,装置或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0272] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本申请实施例的目的。

[0273] 另外,在本申请各个实施例中的各功能单元可以集成在一个处理单元中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个单元中。

[0274] 所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用,可以存储在一个计算机可读取存储介质中。基于这样的理解,本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质中,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本申请各个实施例所述方法的全部或部分步骤。

[0275] 以上所述,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以所述权利要求的保护范围为准。

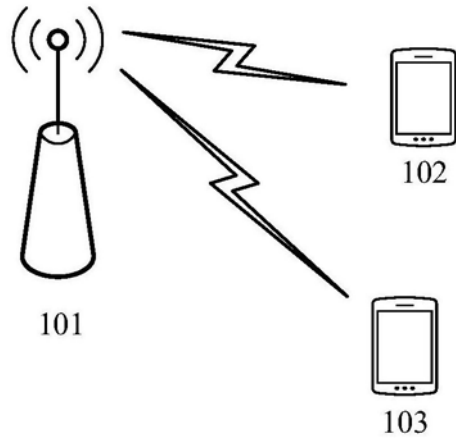


图1

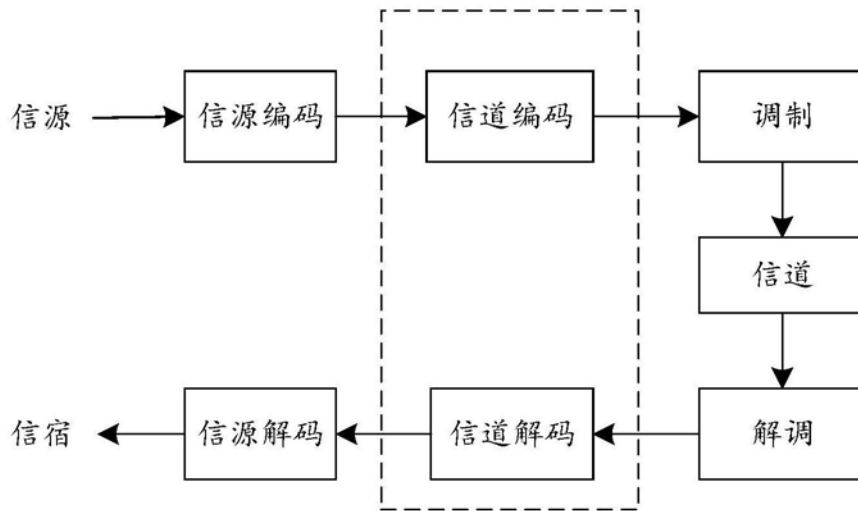


图2

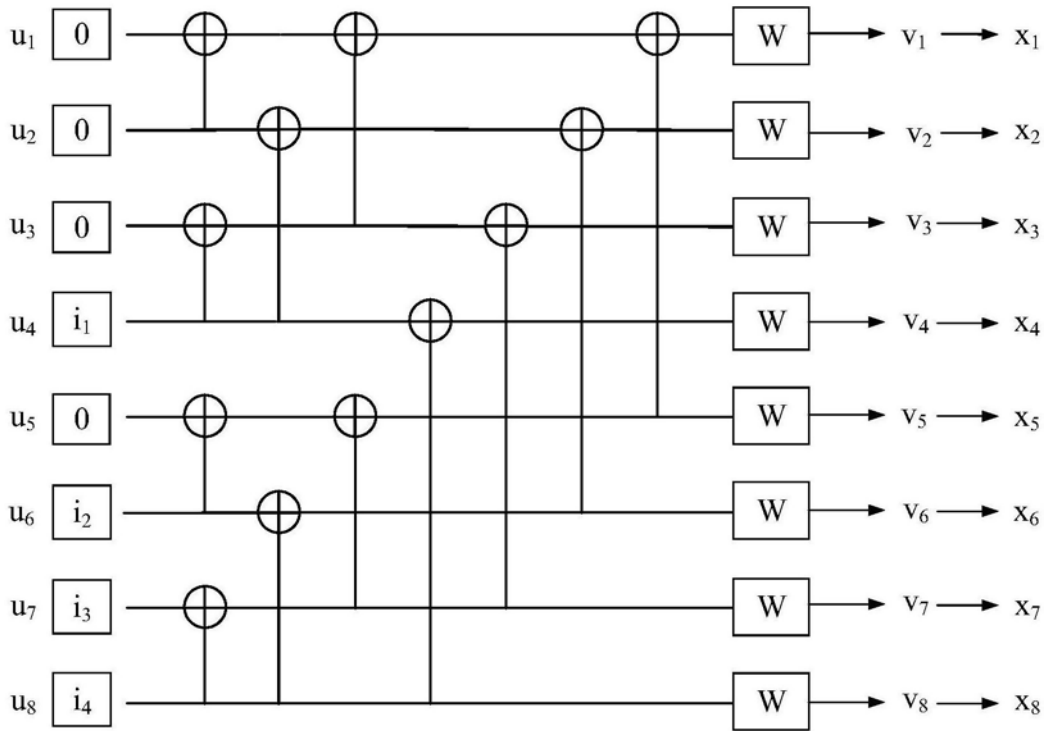


图3

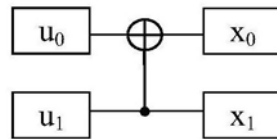


图4



图5

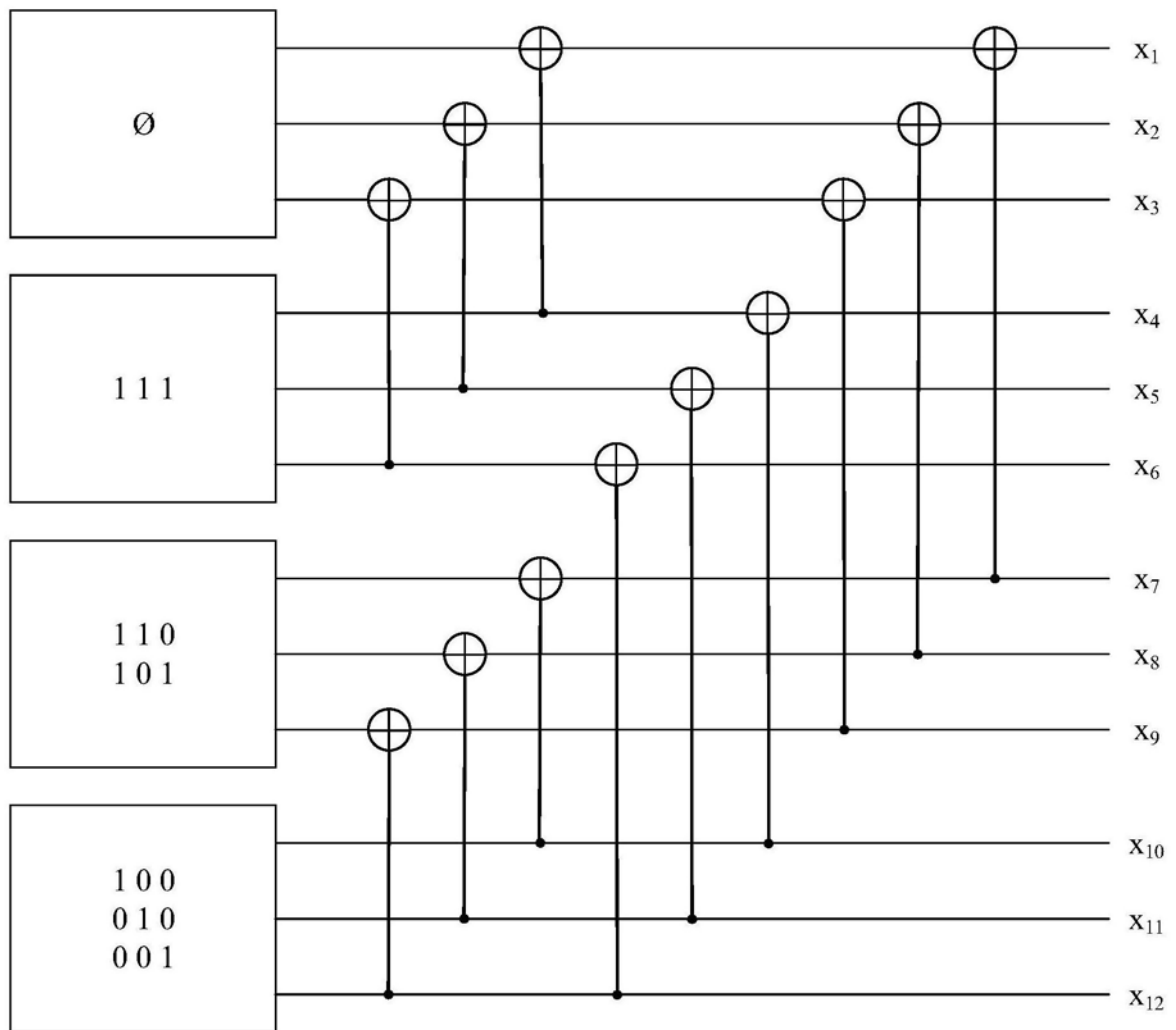


图6

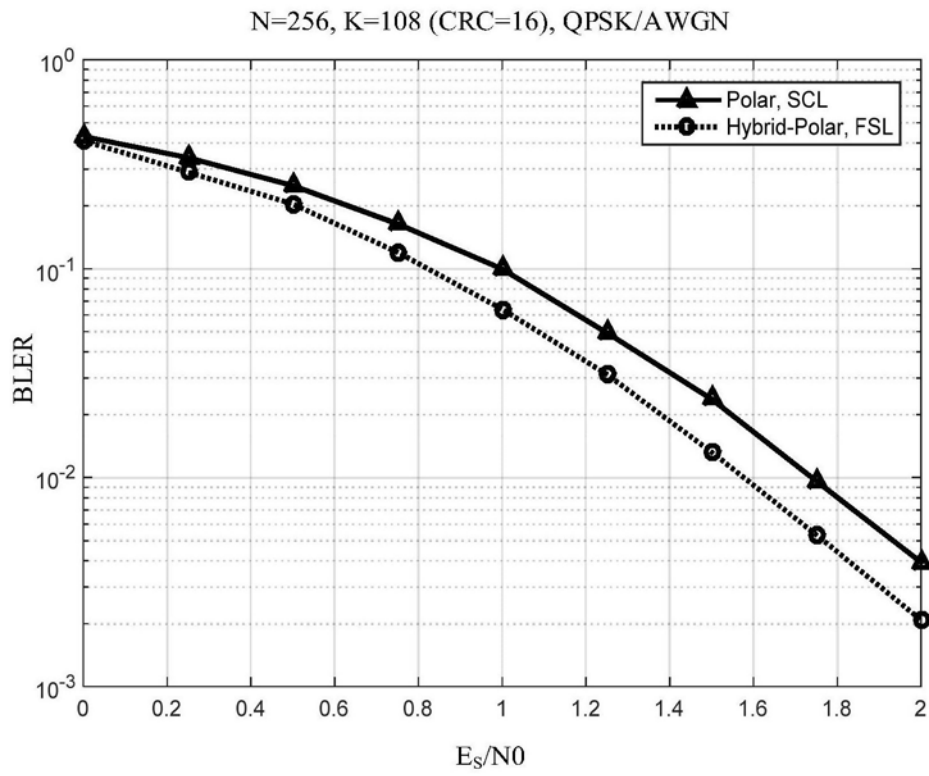


图7

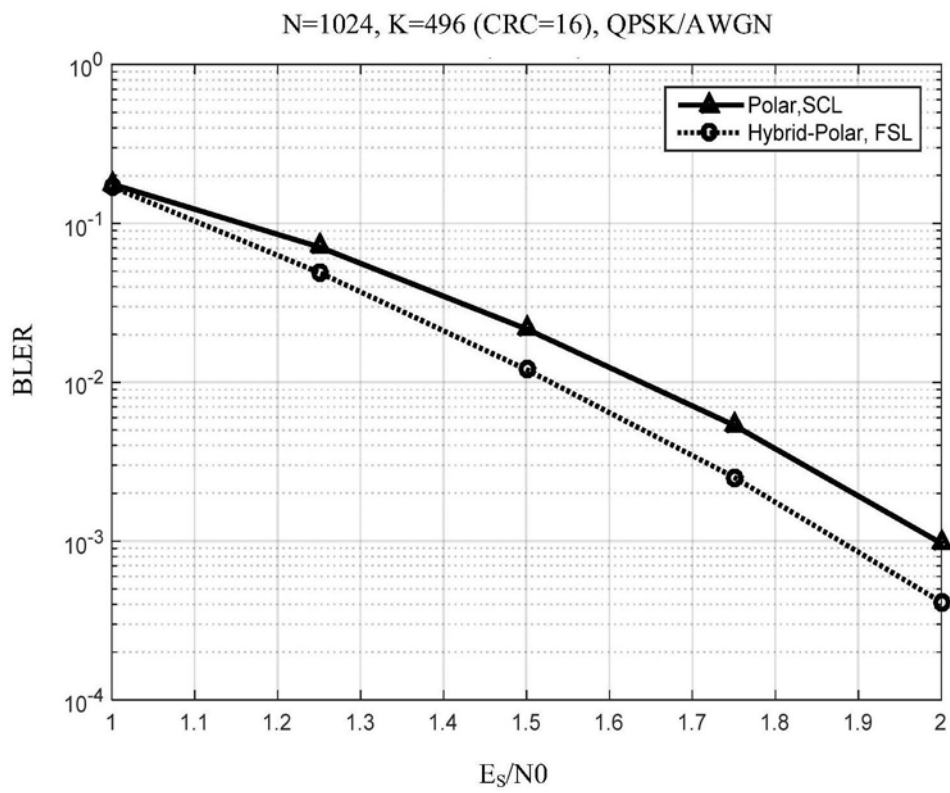


图8

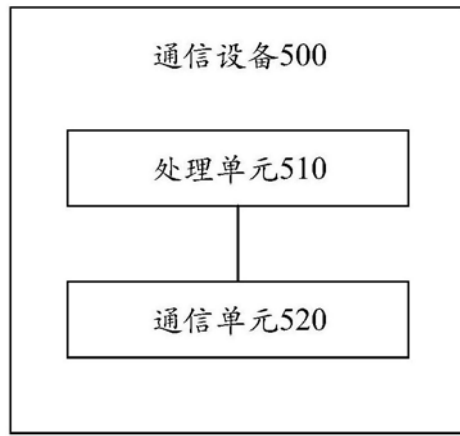


图9

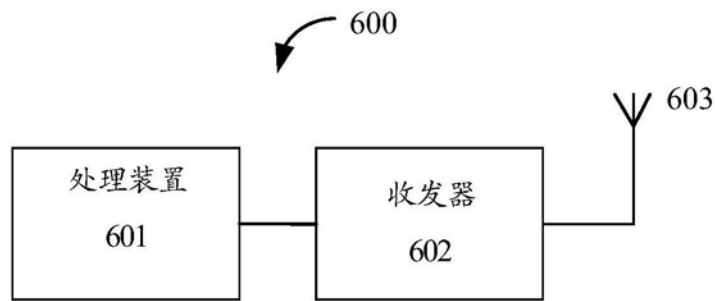


图10

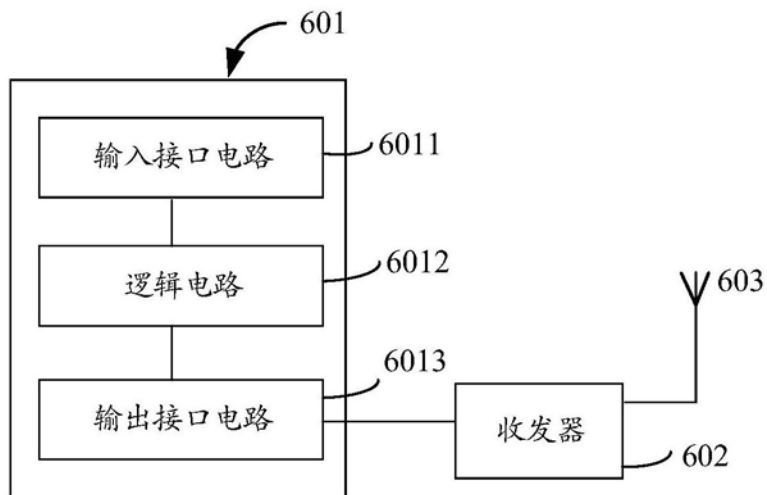


图11

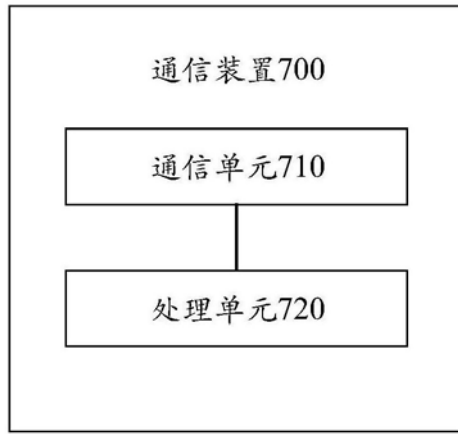


图12

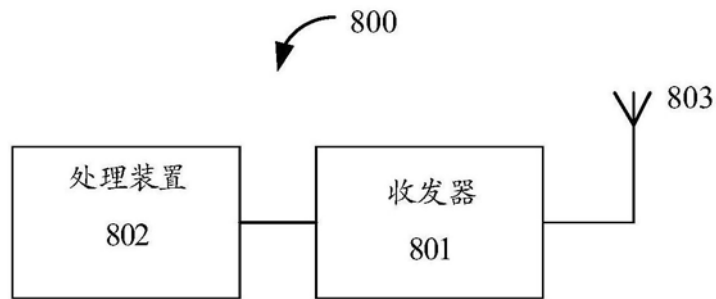


图13

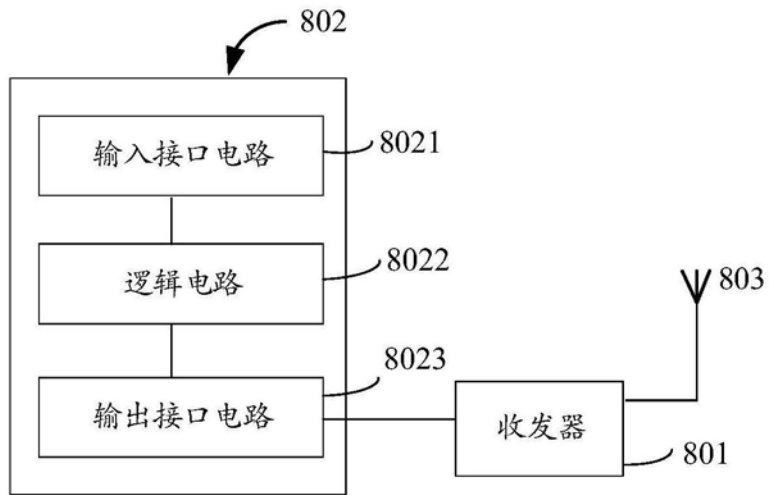


图14

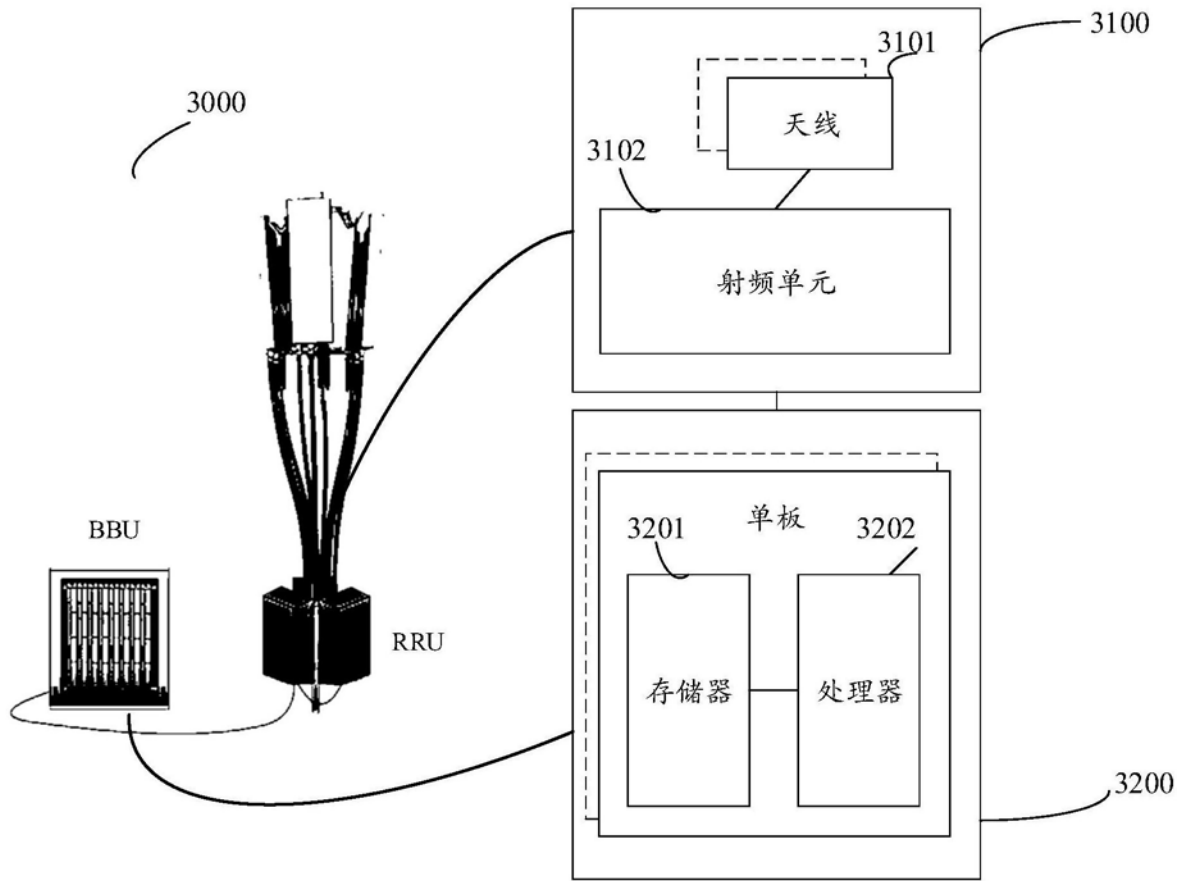


图15

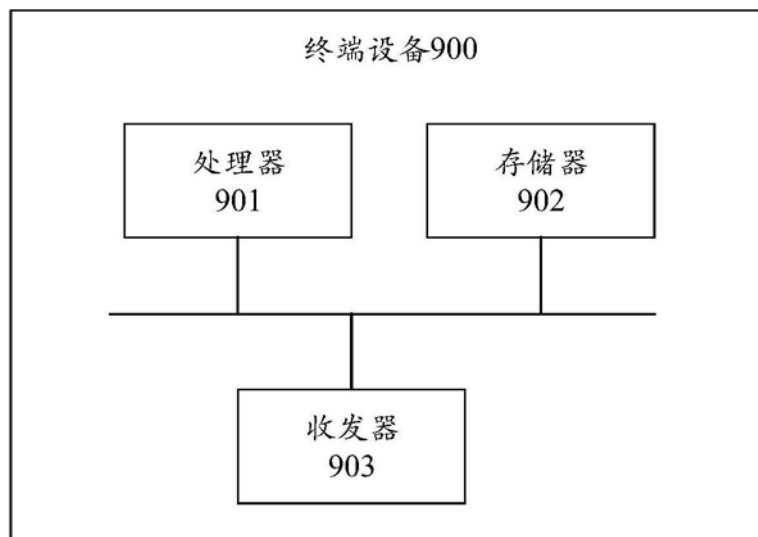


图16