



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2016년01월13일  
(11) 등록번호 10-1584785  
(24) 등록일자 2016년01월06일

(51) 국제특허분류(Int. Cl.)  
H03M 1/12 (2006.01) H03M 1/16 (2006.01)  
(21) 출원번호 10-2009-0004944  
(22) 출원일자 2009년01월21일  
심사청구일자 2014년01월21일  
(65) 공개번호 10-2010-0085572  
(43) 공개일자 2010년07월29일  
(56) 선행기술조사문헌  
KR1020020010973 A  
KR1020020072627 A  
KR1020070109856 A  
KR1020020022159 A

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
신은석  
경기 화성시 동탄반석로 42, 607동 2303호 (반송동, 한화우림아파트)  
송민규  
경기도 성남시 분당구 중앙공원로 54, 시범단지 221동 1005호 (서현동, 우성아파트)  
(뒷면에 계속)  
(74) 대리인  
한지희, 윤재석, 권영규

전체 청구항 수 : 총 10 항

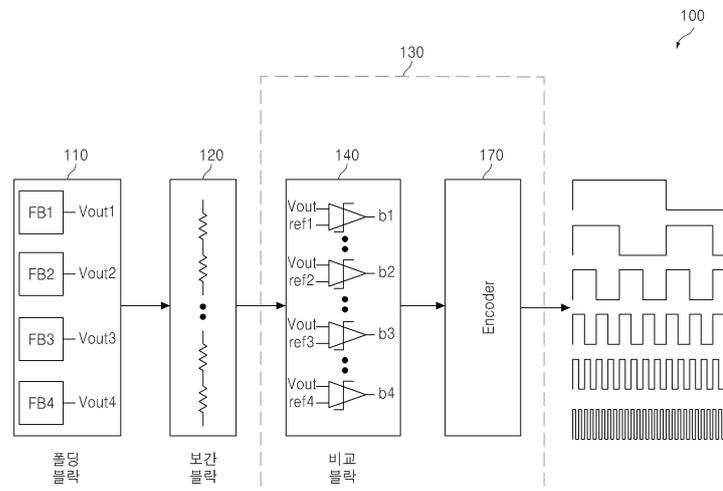
심사관 : 조춘근

(54) 발명의 명칭 **아날로그-디지털 컨버터 및 이를 포함하는 전자 시스템**

(57) 요약

본 발명의 실시예에 따른 아날로그-디지털 컨버터는 폴딩 구조를 이용하는 아날로그-디지털 컨버터에 필요한 스위칭 블록을 제거함으로써 고속의 데이터 처리를 안정적으로 수행할 수 있고, 저전력 구동, 및 소면적 특성을 갖는다.

대표도 - 도1



(72) 발명자

**문준호**

서울특별시 동대문구 답십리로60길 38, 101동 606호 (답십리동, 대림아파트)

**송재원**

경기도 부천시 오정구 원종로 70-4, 나동 302호 (원종동, 신한카사빌)

**여승진**

인천광역시 서구 원적로124번길 33, 102동 1103호 (가좌동, 범양아파트)

**명세서**

**청구범위**

**청구항 1**

수신되는 아날로그 신호에 기초하여 발생하는 다수의 온도계 코드들 및 다수의 역 온도계 코드들을 수신하고, 상기 수신된 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 논리 값의 천이 위치에 기초하여 동일한 반복성을 갖는 다수의 제1 디지털 코드들을 발생하는 제1 로직; 및

상기 다수의 제1 디지털 코드들을 수신하고, 상기 다수의 제1 디지털 코드들의 다수의 비트들 중 상응하는 다수의 비트들의 논리 값에 기초하여 다수의 제2 디지털 코드들을 발생하는 제2 로직을 포함하는 아날로그-디지털 컨버터.

**청구항 2**

제1항에 있어서, 상기 제1 로직은

각각이 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 인접한 비트 쌍들 중 상응하는 비트 쌍에 대한 배타적 논리 합 연산을 수행하는 다수의 배타적 논리 합 게이트들을 포함하는 아날로그-디지털 컨버터.

**청구항 3**

제2항에 있어서, 상기 제1 로직은

상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 최상위 비트와 제1 논리 값 또는 제2 논리 값에 대한 배타적 논리 합 연산을 수행하는 배타적 논리 합 게이트를 더 포함하는 아날로그-디지털 컨버터.

**청구항 4**

제2항에 있어서, 상기 제1 로직은

상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 최하위 비트와 제1 논리 값 또는 제2 논리 값에 대한 배타적 논리 합 연산을 수행하는 배타적 논리 합 게이트를 더 포함하는 아날로그-디지털 컨버터.

**청구항 5**

제1항에 있어서, 상기 제2 로직은

각각이 상기 제1 디지털 코드의 상응하는 다수의 비트들의 논리 값과 제1 논리 값에 대한 논리 합 연산을 수행하는 다수의 논리 합 게이트들을 포함하는 아날로그-디지털 컨버터.

**청구항 6**

제1항에 있어서, 상기 제2 로직은

각각이 상기 제1 디지털 코드의 상응하는 다수의 비트들의 논리 값과 제2 논리 값에 대한 논리 곱 연산을 수행하는 다수의 논리 곱 게이트들을 포함하는 아날로그-디지털 컨버터.

**청구항 7**

아날로그 신호를 수신하고, 상기 수신된 아날로그 신호에 응답하여 증가 및 감소를 규칙적으로 반복하는 폴딩 파형들을 발생하는 폴딩 블록;

각각이 상기 폴딩 파형들 중 상응하는 하나의 파형과 기준 전압을 비교하고 비교 결과에 기초하여 온도계 코드를 발생하는 다수의 비교기들;

상기 온도계 코드를 수신하여 제1 디지털 코드를 발생하는 제1 로직; 및

상기 제1 디지털 코드의 다수의 비트들의 논리 값에 기초하여 제2 디지털 코드를 발생하는 제2 로직을 포함하며,

상기 제1 로직은

상기 온도계 코드의 인접한 비트 쌍들 중 상응하는 비트 쌍에 대한 배타적 논리 합 연산을 수행하는 다수의 배타적 논리 합 게이트들; 및

상기 온도계 코드의 최상위 비트와 제1 논리 값 또는 제2 논리 값에 대한 배타적 논리 합 연산을 수행하거나, 상기 온도계 코드의 최하위 비트와 상기 제1 논리 값 또는 상기 제2 논리 값에 대한 배타적 논리 합 연산을 수행하는 배타적 논리 합 게이트를 포함하는 아날로그-디지털 컨버터.

**청구항 8**

제7항에 있어서, 상기 제2 로직은

각각이 상기 제1 디지털 코드의 다수의 비트들 중 하나의 비트와 미리 설정된 논리 값을 수신하는 복수의 논리 합 게이트들을 포함하는 아날로그-디지털 컨버터.

**청구항 9**

제8항에 있어서, 상기 복수의 비교기들의 수는 상기 폴딩 파형들의 수에 상응하고, 상기 온도계 코드는 상기 비교기들의 수에 상응하는 비트들을 가지며,

상기 미리 설정된 논리 값은 '0'인 아날로그-디지털 컨버터.

**청구항 10**

제7항에 있어서, 상기 아날로그-디지털 컨버터는

상기 폴딩 파형들을 수신하고, 상기 수신된 폴딩 파형들 중에서 상응하는 폴딩 파형들 사이를 보간하여 발생하는 보간 폴딩 파형들을 발생하는 보간 블록을 더 포함하는 아날로그-디지털 컨버터.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 데이터 처리 기술에 관한 것으로, 보다 상세하게는 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 컨버터 및 이를 포함하는 전자 시스템에 관한 것이다.

**배경 기술**

[0002] 수백 MHz 이상의 고속 변환 속도를 갖는 아날로그-디지털 컨버터는 일반적으로 플래쉬(Flash) 구조를 갖는데, 이러한 플래쉬 구조의 아날로그-디지털 컨버터는 고전력 소모 및 대면적 특성 때문에 SoC(System on Chip) 구현을 제약하는 요인이 된다.

[0003] 이에 최근에는 저전력 소모 및 소면적 특성을 갖는 폴딩 구조의 아날로그-디지털 컨버터에 대한 연구가 활발히 진행되고 있다. 이러한 폴딩 구조의 아날로그-디지털 컨버터는 인코딩 과정에서 역 온도계 코드를 반전시키지 위한 스위칭 블록을 필요로 한다.

[0004] 고속 데이터 변환 과정에서 스위칭 블록의 오동작은 아날로그-디지털 컨버터 전체의 성능 저하 및 에러 코드 발생을 유발하는 가장 큰 요인으로 작용한다. 또한 특히 고해상도의 데이터 변환을 수행하는 폴딩 구조의 아날로그-디지털 컨버터에서 기하급수적으로 증가하는 스위칭 소자의 수는 칩 면적의 증가 및 전력 소모를 증가시키는 단점을 갖는다.

**발명의 내용**

**해결 하고자하는 과제**

[0005] 따라서 본 발명이 이루고자 하는 기술적인 과제는 인코딩 과정에서 요구되는 스위칭 동작에 기초하여 발생하는 오동작을 제거할 수 있고 저전력 소면적 특성을 갖는 아날로그-디지털 컨버터 및 이를 포함하는 전자 시스템을

제공하는 것이다.

**과제 해결수단**

- [0006] 상기 기술적 과제를 달성하기 위한 아날로그-디지털 컨버터는 제1 로직 및 제2 로직을 포함할 수 있다. 제1 로직은 수신되는 아날로그 신호에 기초하여 발생하는 다수의 온도계 코드들 및 다수의 역 온도계 코드들을 수신하고, 상기 수신된 다수의 온도계 코드들 또는 다수의 역 온도계 코드들 각각의 논리 값의 천이 위치에 기초하여 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 동일한 반복성을 갖는 다수의 제1 디지털 코드들로 변환하여 출력할 수 있다.
- [0007] 제2 로직은 상기 다수의 제1 디지털 코드들을 수신하고, 상기 다수의 제1 디지털 코드들의 다수의 비트들 중 상응하는 다수의 비트들의 논리 값에 기초하여 다수의 제2 디지털 코드들을 발생한다.
- [0008] 상기 제1 로직은 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 인접한 비트 쌍들에 대한 논리 연산 결과에 기초하여 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 논리 값의 천이 위치를 결정할 수 있으며, 각각이 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 인접한 비트 쌍들 중 상응하는 비트 쌍에 대한 배타적 논리 합 연산을 수행하는 다수의 배타적 논리 합 게이트들로 구현될 수 있다.
- [0009] 상기 제1 로직은 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 최상위 비트와 제1 논리 값 또는 제2 논리 값에 대한 배타적 논리 합 연산을 수행하는 배타적 논리 합 게이트를 더 포함할 수 있다. 또한 상기 제1 로직은 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들 각각의 최하위 비트와 제1 논리 값 또는 제2 논리 값에 대한 배타적 논리 합 연산을 수행하는 배타적 논리 합 게이트를 더 포함할 수 있다.
- [0010] 상기 제2 로직은 상기 제1 디지털 코드의 상응하는 다수의 비트들의 논리 값들 각각을 상기 제2 디지털 코드의 다수의 비트들 중에서 상응하는 비트의 값으로 출력할 수 있다. 상기 제2 로직은 각각이 상기 제1 디지털 코드의 상응하는 다수의 비트들의 논리 값과 제1 논리 값에 대한 논리 합 연산을 수행하는 다수의 논리 합 게이트들을 포함할 수 있다. 상기 제2 로직은 각각이 상기 제1 디지털 코드의 상응하는 다수의 비트들의 논리 값과 제2 논리 값에 대한 논리 곱 연산을 수행하는 다수의 논리 곱 게이트들을 포함할 수 있다.
- [0011] 상기 아날로그-디지털 컨버터는 아날로그 신호를 수신하고, 상기 수신된 아날로그 신호에 응답하여 증가 및 감소를 규칙적으로 반복하는 폴딩 파형들을 생성하여 출력하는 폴딩 블록 및 상기 폴딩 파형들을 수신하고, 상기 수신된 폴딩 파형들과 다수의 기준 전압 값들에 대한 비교 결과에 기초하여 상기 다수의 온도계 코드들 및 상기 다수의 역 온도계 코드들을 발생하는 비교 블록을 더 포함할 수 있다.
- [0012] 상기 아날로그-디지털 컨버터는 상기 폴딩 파형들을 수신하고, 상기 수신된 폴딩 파형들 중에서 상응하는 폴딩 파형들 사이를 보간하여 발생하는 보간 폴딩 파형들을 상기 비교 블록으로 출력하는 보간 블록을 더 포함할 수 있다.

**효과**

- [0013] 상술한 바와 같이 본 발명의 실시예에 따른 아날로그-디지털 컨버터는 역 온도계 코드의 반전에 필요한 스위칭 로직이 불필요하므로 소모 전력을 줄일 수 있고, 칩의 면적을 줄일 수 있으며, 특히, 스위칭 로직의 오동작에 의한 아날로그-디지털 컨버터의 성능 저하를 막을 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- [0014] 본 발명과 본 발명의 동작상의 이점 및 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0015] 본 명세서에 있어서는 어느 하나의 구성요소가 다른 구성요소로 데이터 또는 신호를 '전송'하는 경우에는 상기 구성요소는 상기 다른 구성요소로 직접 상기 데이터 또는 신호를 전송할 수 있고, 적어도 하나의 또 다른 구성요소를 통하여 상기 데이터 또는 신호를 상기 다른 구성요소로 전송할 수 있음을 의미한다.
- [0016] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0017] 도 1은 본 발명의 실시예에 따른 아날로그-디지털 컨버터(Analog to Digital Converter, 이하 'ADC'라 함, 100)의 블록도이다. 도 1을 참조하면, ADC(100)는 폴딩(folding) 블록(110), 보간 블록(120), 및 디지털 신호

프로세서(Digital Signal Processor, 이하 'DSP'라 함, 130)를 포함한다.

- [0018] 폴딩 블록(110)은 아날로그 신호를 수신하고, 상기 수신된 아날로그 신호에 응답하여 증가 및 감소를 규칙적으로 반복하는 폴딩 파형들을 생성하여 출력한다. 폴딩 블록(110)은 각각이 수신되는 아날로그 신호에 기초하여 폴딩 파형(Vout1, Vout2, Vout3, 및 Vout4)을 발생하는 다수의 폴딩 블록(FB1, FB2, FB3, 및 FB4)을 포함할 수 있다. 도 1에서 폴딩 블록(110)은 4 개의 폴딩 블록들을 포함하나 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0019] 보간 블록(120)은 폴딩 파형들을 수신하고, 수신된 폴딩 파형들 중에서 상응하는 폴딩 파형들 사이를 보간하여 보간된 폴딩 파형들을 발생한다. 보간 블록(120)은 본 발명의 실시예에 따른 ADC(100)에 있어서 선택적 구성 요소일 수 있다. 도 1을 참조하면, 보간 블록(120)은 선형 보간을 위한 저항 스트링으로 구현될 수 있음을 알 수 있으나, 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0020] DSP(130)는 폴딩 파형들(Vout1, Vout2, Vout3, 및 Vout4)에 기초하여 디지털 코드들을 발생한다. DSP(130)는 비교 블록(140) 및 인코더(170)를 포함한다. 비교 블록(140)은 폴딩 파형들(Vout1, Vout2, Vout3, 및 Vout4)을 수신하고, 수신된 폴딩 파형들(Vout1, Vout2, Vout3, 및 Vout4)과 다수의 기준 전압 값들(ref1, ref2, ref3, 및 ref4)에 대한 비교 결과에 기초하여 다수의 온도계 코드들 및 다수의 역 온도계 코드들을 발생하는 다수의 비교기들(140a, 140b, 140c, 및 140d)을 포함할 수 있다. 도 1에서 비교 블록(140)은 4 개의 비트들(b1b2b3b4)을 포함하는 온도계 코드들 및 역 온도계 코드들을 발생하기 위한 4 개의 비교기들(140a, 140b, 140c, 및 140d)을 포함하는 것으로 도시되었으나 본 발명의 범위가 이에 한정되는 것은 아니다. 인코더(170)는 다수의 온도계 코드들 및 다수의 역 온도계 코드들을 인코딩하여 일정한 주기로 동일한 반복성을 갖는 디지털 코드를 발생한다.
- [0021] 도 2는 도 1에 도시된 제1 내지 제4 폴딩 블록(FB1, FB2, FB3, 및 FB4)을 포함하는 폴딩 블록(110)의 출력 신호들(Vout1, Vout2, Vout3, 및 Vout4) 및 그에 대한 처리의 일 예를 나타낸다. 도 1 및 도 2를 참조하면, 비교 블록(140)은 폴딩 블록(110)의 출력 신호들(Vout1, Vout2, Vout3, 및 Vout4)에 기초하여 일정한 간격으로 증감을 반복하는 4 개의 비트들(b1b2b3b4)을 포함하는 온도계 코드들 및 역 온도계 코드들을 발생함을 알 수 있다.
- [0022] 인코더(170)는 온도계 코드들 및 역 온도계 코드들에 대한 인코딩 결과 최상위 비트들(MSBs)과 최하위 비트들(LSBs)을 포함하는 디지털 코드를 발생한다. 도 2를 참조하면 폴딩 ADC가 갖는 구조적인 특성에 의하여 부가적인 신호 처리를 통하여 역 온도계 코드에 상응하는 최하위 비트(LSB)는 반전되어야 한다. 본 발명의 실시예에 따른 ADC(100)는 인코딩 과정에 있어서, 일반적인 ADC와 달리 역 온도계 코드들의 반전에 필요한 스위칭 블록과 컨트롤 블록을 필요로 하지 않는다. 그 이유는 이하 도 3 내지 도 6을 참조하여 설명한다.
- [0023] 본 발명의 실시예에 따른 ADC(100), DSP(130), 인코더(170) 각각은 하나의 칩으로 구현될 수 있으며, 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명의 실시예에 따른 ADC(100), DSP(130), 인코더(170) 각각은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0024] 도 3은 도 1에 도시된 DSP(130)의 블록도이다. 도 3을 참조하면, DSP(130)에 포함된 인코더(170)는 제1 로직(180) 및 제2 로직(190)을 포함한다.
- [0025] 제1 로직(180)은 다수의 온도계 코드들 및 다수의 역 온도계 코드들을 수신하고, 상기 수신된 다수의 온도계 코드들 또는 다수의 역 온도계 코드들 각각의 논리 값의 천이 위치에 기초하여 상기 다수의 온도계 코드들 및 다수의 역 온도계 코드들을 동일한 반복성을 갖는 다수의 제1 디지털 코드들로 변환하여 출력한다.
- [0026] 제1 로직(180)은 상기 다수의 온도계 코드들 또는 다수의 역 온도계 코드들 각각의 인접한 비트 쌍들에 대한 논리 연산 결과에 기초하여 상기 다수의 온도계 코드들 또는 다수의 역 온도계 코드들 각각의 논리 값의 천이 위치를 결정할 수 있다.
- [0027] 도 4는 도 1에 도시된 비교 블록(140)의 출력 신호의 일 예를 나타낸다. 도 5a는 도 3에 도시된 제1 로직(180)의 회로도를 나타낸다. 도 6은 도 4에 도시된 비교 블록(140)의 출력 신호에 대한 도 5에 도시된 제1 로직(180)

0)의 출력 신호를 나타낸다.

- [0028] 도 5a를 참조하면, 제1 로직(180)은 각각이 상기 다수의 온도계 코드들 또는 다수의 역 온도계 코드들(b1b2b3b4) 각각의 인접한 비트 쌍들(b1 및 b2, b2 및 b3, b3 및 b4) 중 상응하는 비트 쌍에 대한 배타적 논리 합 연산을 수행하는 다수의 배타적 논리 합 게이트들(180a, 180b, 및 180c)을 포함할 수 있다. 또한, 제1 로직(180)은 상기 다수의 온도계 코드들 또는 다수의 역 온도계 코드들(b1b2b3b4) 각각의 최하위 비트(b4)와 제1 논리 값('0') 또는 제2 논리 값('1')에 대한 배타적 논리 합 연산을 수행하는 배타적 논리 합 게이트(180d)를 더 포함한다.
- [0029] 도 6을 참조하면, 도 4에 도시된 비교 블록(140)의 출력 신호에 대한 도 5에 도시된 제1 로직(180)의 출력 신호(b1'b2'b3'b4')는 '0001', '0010', '0100', '1000'이 규칙적으로 반복되는 것을 알 수 있다. 이는 일반적인 ADC에서 스위칭 블록이 수행하는 역 온도계 코드에 대한 반전이 제1 로직(180)에 의하여 이루어진 것을 의미한다.
- [0030] 예컨대, 역온도계 코드 '0000'에 대한 제1 로직(180)의 인코딩 동작을 살펴보면, 제1 논리적 배타 합 게이트(180a)는 역온도계 코드 '0000'의 최상위 비트(b1)와 제2 비트(b2)에 대한 배타적 논리합 결과인 '0'을 출력하고, 제2 논리적 배타 합 게이트(180b)는 역온도계 코드 '0000'의 제2 비트(b2)와 제3 비트(b3)에 대한 배타적 논리합 결과인 '0'을 출력하고, 제2 논리적 배타 합 게이트(180c)는 역온도계 코드 '0000'의 제3 비트(b3)와 최하위 비트(b4)에 대한 배타적 논리합 결과인 '0'을 출력하고, 제4 논리적 배타 합 게이트(180d)는 역온도계 코드 '0000'의 최하위 비트(b4)와 제2 논리 값('1')에 대한 배타적 논리합 결과인 '1'을 출력한다. 그러므로 역온도계 코드 '0000'에 대한 제1 로직(180)의 인코딩 결과는 '0001'이 된다.
- [0031] 온도계 코드 '1111'에 대한 제1 로직(180)의 인코딩 동작을 살펴본다. 제1 논리적 배타 합 게이트(180a)는 온도계 코드 '1111'의 최상위 비트(b1)와 제2 비트(b2)에 대한 배타적 논리합 결과인 '0'을 출력하고, 제2 논리적 배타 합 게이트(180b)는 온도계 코드 '1111'의 제2 비트(b2)와 제3 비트(b3)에 대한 배타적 논리합 결과인 '0'을 출력하고, 제2 논리적 배타 합 게이트(180c)는 온도계 코드 '1111'의 제3 비트(b3)와 최하위 비트(b4)에 대한 배타적 논리합 결과인 '0'을 출력하고, 제4 논리적 배타 합 게이트(180d)는 온도계 코드 '1111'의 최하위 비트(b4)와 제1 논리 값('0')에 대한 배타적 논리합 결과인 '1'을 출력한다. 그러므로 온도계 코드 '1111'에 대한 제1 로직(180)의 인코딩 결과는 '0001'으로 온도계 코드 '0000'에 대한 제1 로직(180)의 인코딩 결과와 동일함을 알 수 있다.
- [0032] 도 5b는 다른 실시예에 따른 제1 로직(180')의 회로도를 나타낸다. 도 5b에 도시된 제1 로직(180')도 각각이 상기 다수의 온도계 코드들 또는 다수의 역 온도계 코드들(b1b2b3b4) 각각의 인접한 비트 쌍들(b1 및 b2, b2 및 b3, b3 및 b4) 중 상응하는 비트 쌍에 대한 배타적 논리 합 연산을 수행하는 다수의 배타적 논리 합 게이트들(180a, 180b, 및 180c)을 포함한다.
- [0033] 그러나 도 5a에 도시된 제1 로직(180)과 달리, 도 5b에 도시된 제1 로직(180')은 상기 다수의 온도계 코드들 또는 다수의 역 온도계 코드들(b1b2b3b4) 각각의 최상위 비트(b1)와 제1 논리 값('0') 또는 제2 논리 값('1')에 대한 배타적 논리 합 연산을 수행하는 배타적 논리 합 게이트(180d')를 포함할 수도 있다.
- [0034] 제2 로직(190)은 제1 로직(180)으로부터 다수의 제1 디지털 코드들을 수신하고, 상기 다수의 제1 디지털 코드들의 다수의 비트들 중 상응하는 다수의 비트들의 논리 값에 기초하여 다수의 제2 디지털 코드들을 발생한다. 제2 로직(190)은 제1 디지털 코드의 상응하는 다수의 비트들의 논리 값들 각각을 상기 제2 디지털 코드의 다수의 비트들 중에서 상응하는 비트의 값으로 출력할 수 있다.
- [0035] 예컨대, 제2 로직(190)은 각각이 상기 제1 디지털 코드의 상응하는 다수의 비트들의 논리 값과 제1 논리 값에 대한 논리 합 연산을 수행하는 다수의 논리 합 게이트들로 구현될 수 있다.
- [0036] 도 7a는 7비트의 제1 디지털 코드에 대하여 3 비트의 제2 디지털 코드를 발생하는 제2 로직(190)의 회로도를 나타낸다. 도 7a를 참조하면, 제2 로직(190)은 각각이 제1 디지털 코드의 다수의 비트들 중에서 어느 하나의 비트(bx')과 제1 논리 값('0')에 대한 논리 합 연산을 수행함으로써 제2 디지털 코드의 다수의 비트들(b1"b2"b3") 중에서 상응하는 비트 값을 발생하는 다수의 논리 합 게이트들(190a, 190b, 및 190c)을 포함하는 것을 알 수 있다. 이때, 다수의 논리 합 게이트들 각각이 수신하는 제1 디지털 코드의 비트는 제1 디지털 코드에 따라서 동일 비트일 수도 있고, 서로 다를 비트일 수도 있다.
- [0037] 제2 로직(190)은 인코딩 방법의 차이에 따라서 각각이 상기 제1 디지털 코드의 상응하는 다수의 비트들의 논리

값과 제2 논리 값에 대한 논리 곱 연산을 수행하는 다수의 논리 곱 게이트들(미도시)로 구현될 수도 있다.

- [0038] 도 7b 내지 도 7d는 제1 로직(180)의 출력 신호로부터 제2 로직(190)의 출력 신호의 각각의 비트가 결정되는 과정을 나타내는 도표이다. 도 7b 내지 도 7d는 7비트의 제1 디지털 코드가 3 비트의 제2 디지털 코드로 인코딩하는 과정을 나타낸다.
- [0039] 먼저, 도 7b는 제2 로직(190)에 의하여 제2 디지털 코드들 각각의 최상위 비트(b1")가 결정되는 과정을 나타낸다. 제2 로직(190)은 제1 디지털 코드들 '0000000' 내지 '0000100'에 대해서는 b1' 내지 b4' 중 어느 하나의 비트의 논리 값('0')을 제2 디지털 코드의 최상위 비트(b1")로 선택하며, 제1 디지털 코드 '0001000' 내지 '1000000' 각각에 대해서는 b4', b3', b2', b1' 각각의 논리 값('1')을 최상위 비트(b1")로 선택한다. 도 7a 및 도 7b를 참조하면, 제2 로직(190)에서 제2 디지털 코드의 최상위 비트(b1")를 결정하는 부분은 제1 디지털 코드의 비트들(b4', b3', b2', b1') 중에서 하나의 비트의 논리 값과 논리 값 '0'에 대한 논리 합을 수행하는 논리 합 게이트(190a)로 구현될 수 있다.
- [0040] 도 7c는 제2 로직(190)에 의하여 제2 디지털 코드들 각각의 제2 비트(b2")가 결정되는 과정을 나타낸다. 제2 로직(190)은 제1 디지털 코드들 '0000000' 및 '0000001'에 대해서는 b1', b2', b5', b6' 중 어느 하나의 비트의 논리 값('0')을 제2 디지털 코드의 제2 비트(b2")로 선택한다. 도 7a 및 도 7c를 참조하면, 제2 로직(190)에서 제2 디지털 코드의 제2 비트(b2")를 결정하는 부분은 제1 디지털 코드의 비트들(b6', b5', b2', b1') 중에서 하나의 비트의 논리 값과 논리 값 '0'에 대한 논리 합을 수행하는 논리 합 게이트(190b)로 구현될 수 있다.
- [0041] 도 7d는 제2 로직(190)에 의하여 제2 디지털 코드들 각각의 최하위 비트(b3")가 결정되는 과정을 나타낸다. 예컨대, 제2 로직(190)은 제1 디지털 코드들 '0000000' 및 '0000001'에 대해서는 b1', b3', b5', b7' 중 어느 하나의 비트의 논리 값('0' 또는 '1')을 제2 디지털 코드의 최하위 비트(b3")로 선택한다. 도 7a 및 도 7d를 참조하면, 제1 디지털 코드들 '0000000' 및 '0000001'에 대해서 제2 로직(190)에서 제2 디지털 코드의 최하위 비트(b3")를 결정하는 부분은 제1 디지털 코드의 비트들(b1', b3', b5', b7') 중에서 하나의 비트의 논리 값과 논리 값 '0'에 대한 논리 합을 수행하는 논리 합 게이트(190c)로 구현될 수 있다.
- [0042] 상술한 바와 같이, 본 발명의 실시예에 따른 ADC(100)는 인코딩 과정에서 제1 로직(180)은 배타적 논리 합 게이트로 구현되고 제2 로직(190)은 논리 합 게이트로 구현될 수 있다. 즉, 본 발명의 실시예에 따른 ADC(100)는 동일한 경로를 갖는 논리 연산 게이트들을 이용함으로써 기존의 ADC보다 고속 동작에 더 유리하다. 또한 본 발명의 실시예에 따른 ADC(100)는 인코딩된 디지털 신호의 다수의 비트들 각각이 동일한 지연(delay)을 가지므로 인코딩 과정에서의 에러 발생 확률이 낮아지는 장점을 갖는다.
- [0043] 도 8은 본 발명의 실시예에 따른 ADC(100)의 출력 신호에 대한 시뮬레이션 결과를 나타내는 그래프이다. 도 8의 ADC(100)는 6 비트의 인코더(170)를 포함하며, 그 동작 주파수는 4 GHz이다.
- [0044] 도 8을 참조하면, 특히, 점선 부분의 확대도를 참조하면, 본 발명의 실시예에 따른 ADC(100)는 4 GHz의 높은 데이터 인코딩 환경에서도 각각의 비트들이 거의 동일한 지연 특성을 갖는 디지털 코드들 발생할 수 있음을 알 수 있다.
- [0045] 또한 본 발명의 실시예에 따른 인코더(170)는 인코딩을 위한 스위칭 소자들을 필요로 하지 않기 때문에 기존의 인코더에 비하여 높은 인코딩 주파수 하에서도 거의 동일한 수준의 소자들(예컨대, 트랜지스터들)로 저전력 소모 및 소면적 특성을 할 수 있다.
- [0046] 도 9는 본 발명의 실시예에 따른 전자 시스템(200)의 블록도이다. 도 9를 참조하면, 전자 시스템(200)은 입력 회로(210), ADC(100), DSP(220), 디지털-아날로그 컨버터(Digital to Analog Converter, 이하 'DAC'라 함, 230), 및 구동 소자(240)를 포함한다.
- [0047] 입력 회로(210)는 구동 소자(240)를 구동하기 위한 아날로그 신호(DATA)를 수신하여 출력한다. ADC(100)는 입력 회로(210)를 통하여 수신되는 아날로그 신호를 디지털 신호로 변환하여 출력한다. ADC(100)에 대해서는 도 1 내지 도 8을 참조하여 설명하였으므로 그에 대한 상세한 설명은 생략한다.
- [0048] DSP(220)는 ADC(100)로부터 디지털 신호를 수신하고, 수신된 디지털 신호에 대한 신호 처리를 수행한다. DAC(230)는 DSP(220)로부터 출력되는 디지털 신호를 구동 소자(240)를 구동시키기 위한 아날로그 신호로 변환하여 출력한다. 구동 소자(240)는 DAC(230)으로부터 출력되는 아날로그 신호에 응답하여 구동된다.
- [0049] 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본

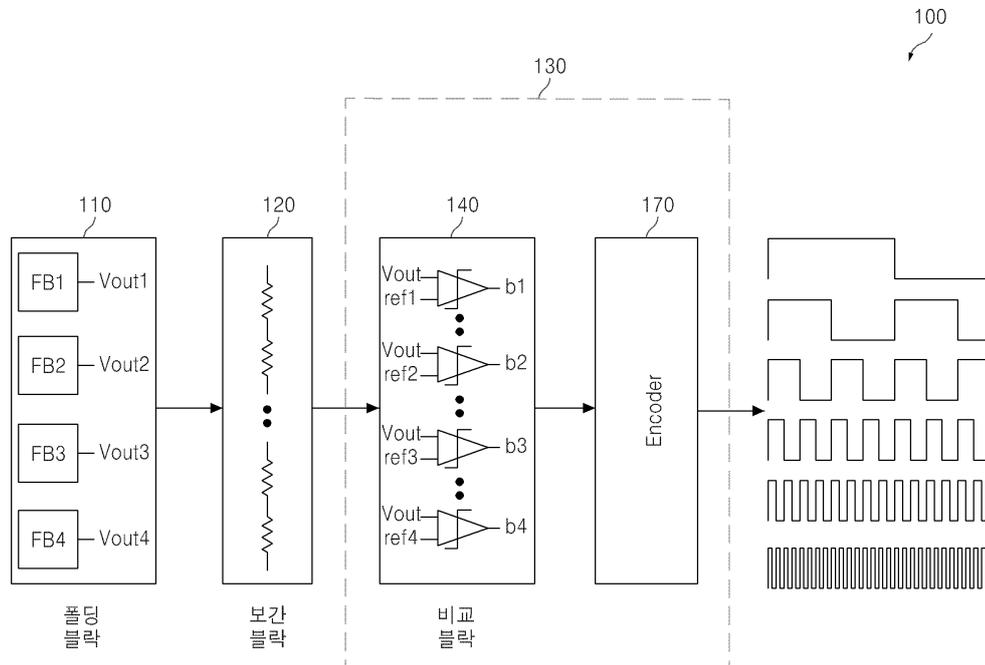
발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**도면의 간단한 설명**

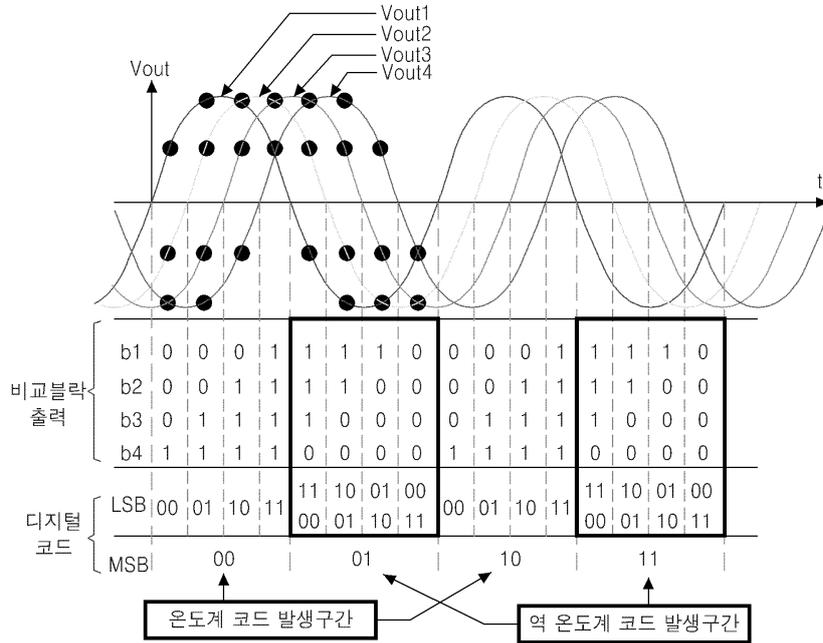
- [0050] 도 1은 본 발명의 실시예에 따른 아날로그-디지털 컨버터의 블록도이다.
- [0051] 도 2는 도 1에 도시된 풀딩 블록의 출력 신호 및 그 처리의 일 예를 나타낸다.
- [0052] 도 3은 도 1에 도시된 디지털 신호 처리기의 블록도이다.
- [0053] 도 4는 도 1에 도시된 비교 블록의 출력 신호의 일 예를 나타낸다.
- [0054] 도 5a는 도 3에 도시된 제1 로직의 회로도를 나타낸다.
- [0055] 도 5b는 다른 실시예에 따른 제1 로직의 회로도를 나타낸다.
- [0056] 도 6은 도 4에 도시된 비교 블록의 출력 신호에 대한 도 5에 도시된 제1 로직의 출력 신호를 나타낸다.
- [0057] 도 7a는 도 3에 도시된 제2 로직의 회로도를 나타낸다.
- [0058] 도 7b 내지 도 7d는 제1 로직의 출력 신호로부터 제2 로직의 출력 신호의 각각의 비트가 결정되는 과정을 나타내는 도표이다.
- [0059] 도 8은 본 발명의 실시예에 따른 아날로그-디지털 컨버터의 출력 신호에 대한 시뮬레이션 결과를 나타내는 그래프이다.
- [0060] 도 9는 본 발명의 실시예에 따른 전자 시스템의 블록도이다.

**도면**

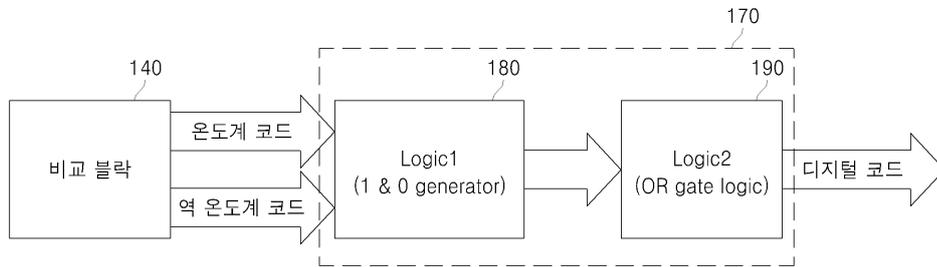
**도면1**



도면2



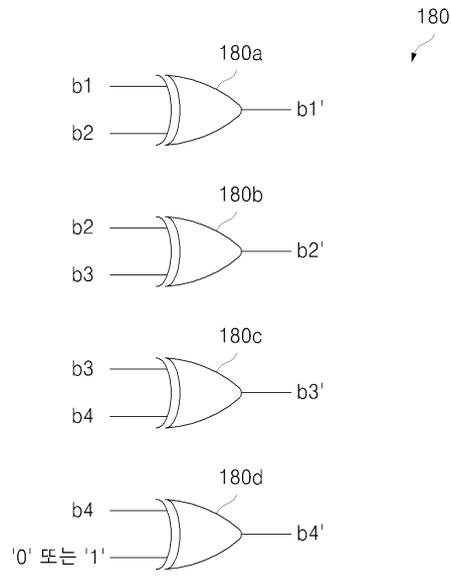
도면3



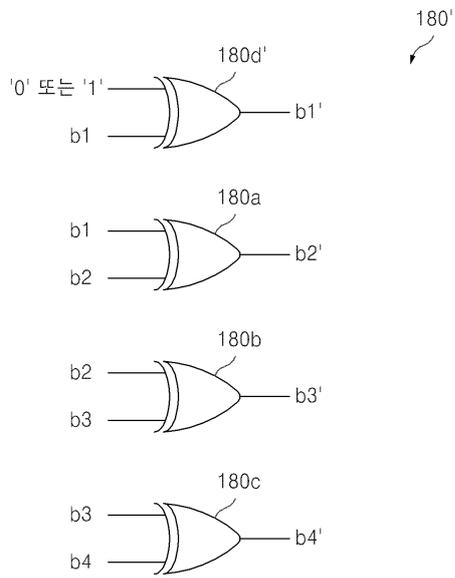
도면4

비교블락 출력	b1	0	0	0	0	1	1	1	1	0	0	0	0	1
	b2	0	0	0	1	1	1	1	0	0	0	0	1	1
	b3	0	0	1	1	1	1	0	0	0	0	1	1	1
	b4	0	1	1	1	1	0	0	0	0	1	1	1	1

도면5a



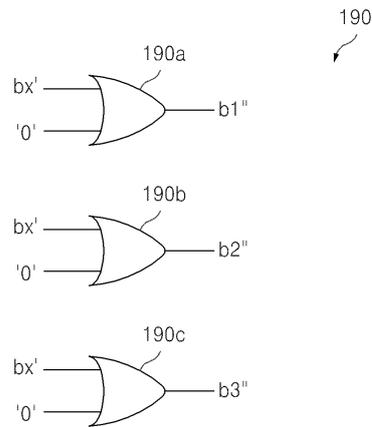
도면5b



도면6

제1 로직 출력	b1'	0	0	0	1	0	0	0	1	0	0	0	1	0
	b2'	0	0	1	0	0	0	1	0	0	0	1	0	0
	b3'	0	1	0	0	0	1	0	0	0	1	0	0	0
	b4'	1	0	0	0	1	0	0	0	1	0	0	0	1

도면7a



도면7b

제1 로직 출력							제2 로직 출력		
b1'	b2'	b3'	b4'	b5'	b6'	b7'	b1''	b2''	b3''
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	0	0	1	0
0	0	0	0	1	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0
0	0	1	0	0	0	0	1	0	1
0	1	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	1	1	1

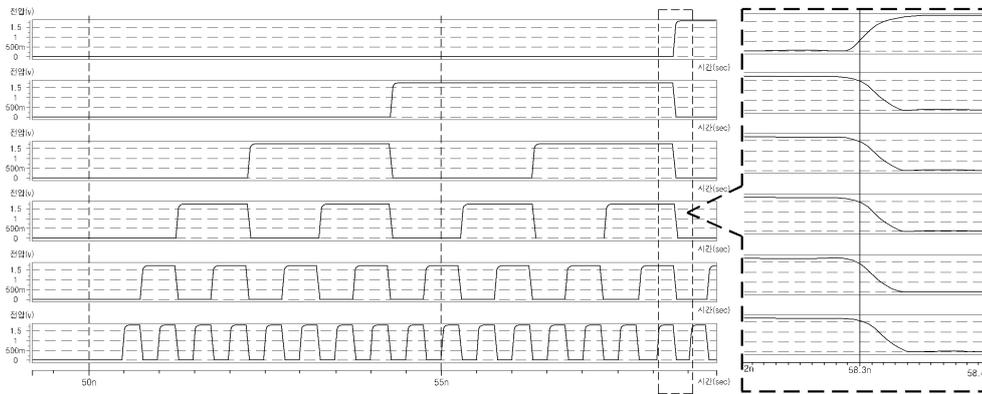
도면7c

제1 로직 출력							제2 로직 출력		
b1'	b2'	b3'	b4'	b5'	b6'	b7'	b1''	b2''	b3''
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	0	0	1	0
0	0	0	0	1	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0
0	0	1	0	0	0	0	1	0	1
0	1	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	1	1	1

도면7d

제1 로직 출력							제2 로직 출력		
b1'	b2'	b3'	b4'	b5'	b6'	b7'	b1''	b2''	b3''
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	0	0	1	0
0	0	0	0	1	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0
0	0	1	0	0	0	0	1	0	1
0	1	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	1	1	1

도면8



도면9

