



(12) 发明专利申请

(10) 申请公布号 CN 114284228 A

(43) 申请公布日 2022. 04. 05

(21) 申请号 202111143334.0

H01L 21/60 (2006.01)

(22) 申请日 2021.09.28

(30) 优先权数据

20198813.6 2020.09.28 EP

(71) 申请人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫西门子大街2号

(72) 发明人 T·比尔 D·霍尔兹

R·奥特姆巴 K·希斯

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 张凌苗 周学斌

(51) Int. Cl.

H01L 23/495 (2006.01)

H01L 25/16 (2006.01)

H01L 21/56 (2006.01)

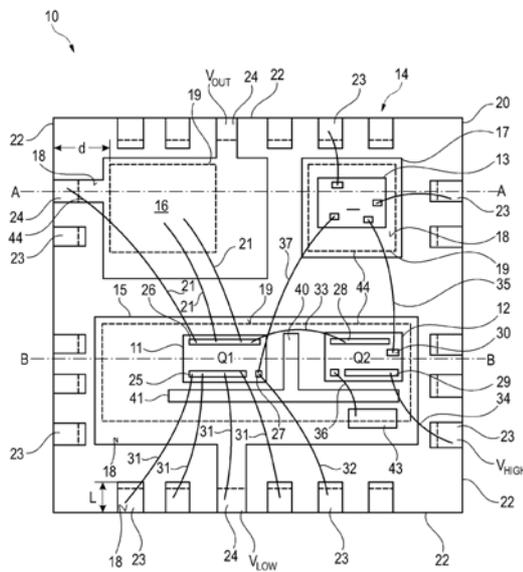
权利要求书2页 说明书12页 附图8页

(54) 发明名称

半导体封装和制造半导体封装的方法

(57) 摘要

半导体封装和制造半导体封装的方法。在实施例中,提供一种半导体封装,其包括包括第一、第二和第三管芯焊盘以及多个引线的引线框,其中第一、第二和第三管芯焊盘中的每个具有上表面和下表面并彼此横向间隔开,第一功率半导体器件、第二功率半导体器件、控制半导体器件和模制化合物。第一、第二和第三管芯焊盘的上表面布置在模制化合物内并且第二管芯焊盘的下表面与半导体封装的侧面间隔开大于个体引线的长度的距离。第一功率半导体器件安装在第一管芯焊盘的上表面上并且通过在第一功率器件和第二管芯焊盘的上表面之间延伸的一个或多个第一连接器电耦合到第二管芯焊盘。第二管芯焊盘的上表面被一个或多个连接器占据或与模制化合物直接接触。



1. 一种半导体封装,包括:

引线框,包括第一、第二和第三管芯焊盘以及多个引线,其中,第一、第二和第三管芯焊盘中的每个具有上表面和下表面且彼此横向间隔开;

模制化合物,其中,第一、第二和第三管芯焊盘的上表面被布置在模制化合物内,并且第二管芯焊盘的下表面与半导体封装的侧面间隔开大于个体引线的长度的距离;

第一功率半导体器件;

第二功率半导体器件;

控制半导体器件;

其中,第一功率半导体器件安装在第一管芯焊盘的上表面上,并通过在第一功率器件和第二管芯焊盘的上表面之间延伸的一个或多个第一连接器电耦合到第二管芯焊盘,以及其中,第二管芯焊盘的上表面被一个或多个连接器占据或与模制化合物直接接触。

2. 根据权利要求1所述的半导体封装,其中,一个或多个第一连接器与第二管芯焊盘的上表面接触。

3. 根据权利要求1或权利要求2所述的半导体封装,其中,第二管芯焊盘的上表面延伸到至少一个引线的上表面中,并且至少一个引线的下表面通过模制化合物与第二管芯焊盘的下表面间隔开。

4. 根据权利要求1至3之一所述的半导体封装,其中,第一和第二功率半导体器件安装在第一管芯焊盘上,并且控制器件安装在第三管芯焊盘上。

5. 根据权利要求4所述的半导体封装,其中,第一管芯焊盘连接到地电位,并且第一功率半导体器件的源极和第二功率半导体器件的接地连接耦合到第一管芯焊盘。

6. 根据权利要求4或权利要求5所述的半导体封装,其中,第一管芯焊盘的上表面延伸到引线中,并且第一功率半导体器件的源极通过第二连接器耦合到引线。

7. 根据权利要求1至6之一所述的半导体封装,其中,第一功率半导体器件是在其上表面上具有源极、漏极和栅极接触的横向晶体管器件,其中,漏极接触通过一个或多个第一连接器耦合到第二管芯焊盘。

8. 根据权利要求1至7之一所述的半导体封装,其中,第二功率半导体器件是在其上表面上具有源极、漏极和栅极接触的横向晶体管器件,并且第二功率器件的源极接触耦合到第二管芯焊盘。

9. 根据权利要求1至8之一所述的半导体封装,其中,第一和第二功率半导体器件耦合以形成半桥配置或共源共栅配置。

10. 根据权利要求1至9之一所述的半导体封装,还包括布置在第一管芯焊盘的上表面上或中以及第一功率半导体器件与第二功率半导体器件之间的阻焊结构。

11. 根据权利要求10所述的半导体封装,其中,阻焊结构是形成在第一管芯焊盘的上表面中的沟槽和/或抗焊的结构化区。

12. 根据权利要求11所述的半导体封装,其中,第一、第二和第三管芯焊盘中的每个的上表面具有 4mm^2 或更大的面积以及 1.5 mm 的最小横向尺寸,并且引线具有具有 3 mm^2 的最大面积的下表面。

13. 一种制造半导体封装的方法,所述半导体封装包括第一功率半导体器件、第二功率半导体器件和控制半导体器件,所述方法包括:

提供引线框,所述引线框包括第一、第二和第三管芯焊盘以及多个引线,其中,第一、第二和第三管芯焊盘中的每个具有上表面和下表面且彼此间隔开;

将第一功率半导体器件安装在第一管芯焊盘的上表面上;

通过在第一功率器件和第二管芯焊盘的上表面之间延伸的一个或多个第一连接器电耦合到第二管芯焊盘,其中,第二管芯焊盘的下表面与半导体封装的侧面间隔开大于个体引线的长度的距离;

施加模制化合物,使得第一、第二和第三管芯焊盘的上表面被布置在模制化合物内,并且第二管芯焊盘的上表面被一个或多个连接器占据或与模制化合物直接接触。

14. 根据权利要求13所述的方法,其中,第二功率半导体器件被安装在第一管芯焊盘的上表面上,与第一功率半导体器件相邻,控制器件被安装在第三管芯焊盘上,并且第二管芯焊盘保持不被半导体管芯占据。

15. 根据权利要求14所述的方法,其中,第一管芯焊盘的上表面包括阻焊结构,并且第一和第二功率半导体器件安装在管芯焊盘的上表面上,使得阻焊结构横向布置在第一和第二功率半导体器件之间。

半导体封装和制造半导体封装的方法

背景技术

[0001] 迄今为止,用在功率电子应用中的晶体管器件通常用硅(Si)半导体材料制造。用于功率应用的常见晶体管器件包括Si CoolMOS[®]、Si功率MOSFET和Si绝缘栅双极晶体管(IGBT)。最近,已经考虑了碳化硅(SiC)功率器件。现在,诸如氮化镓(GaN)器件之类的基于III族氮化物的半导体器件正作为承载大电流、支持高电压以及提供非常低的导通电阻(on-resistance)和快速切换时间的有吸引力的候选而出现。

[0002] 半导体器件通常以半导体封装的形式来提供。封装可以包括衬底或引线框(leadframe),半导体器件安装在其上并且其包括用于将封装安装在诸如印刷电路板之类的重分布(redistribution)板上的外部接触。封装还包括从半导体器件到衬底或引线框的内部电连接。封装可以包括覆盖半导体器件和内部电连接的塑料模制化合物(mold compound)。

[0003] 包括若干半导体器件的封装可用于通过保持电路部件紧密接近来简化电路设计并提供更大的效率以及改进性能。公开的专利申请EP 2775520 A2公开了一种功率四方扁平(quad flat)无引线(PQFN)封装,其包括位于封装的引线框上的U相、V相和W相功率开关和驱动器IC。然而,为了进一步改进封装的电和热性能,对包括两个或更多半导体器件的封装的进一步的改进是期望的。

发明内容

[0004] 根据本发明,提供一种半导体封装,其包括引线框,该引线框包括第一、第二和第三管芯焊盘以及多个引线,其中,第一、第二和第三管芯焊盘中的每个都具有上表面和下表面并且彼此横向地间隔开。半导体封装还包括第一功率半导体器件、第二功率半导体器件、控制半导体器件和模制化合物。第一、第二和第三管芯焊盘的上表面被布置在模制化合物内,并且第二管芯焊盘的下表面与半导体封装的侧面间隔开大于多个引线中的个体引线的长度的距离。第一功率半导体器件通过在第一功率器件和第二管芯焊盘的上表面之间延伸的一个或多个第一连接器电耦合到第二管芯焊盘并且安装在第一管芯焊盘的上表面上。第二管芯焊盘的上表面被一个或多个连接器占据或与模制化合物直接接触。

[0005] 在替代实施例中,提供一种半导体封装,其包括引线框,引线框包括至少一个管芯焊盘和多个引线,其中,管芯焊盘具有上表面和下表面并且彼此横向地间隔开。半导体封装还包括至少第一功率半导体器件和第二功率半导体器件。第一和第二功率半导体器件安装在公共管芯焊盘的上表面上。阻焊(solder stop)结构布置在第一管芯焊盘的上表面上或上表面内。阻焊结构可以布置在第一功率半导体器件和第二功率半导体器件之间。在一些实施例中,阻焊结构是抗焊(solder resist)的结构化区和/或第一管芯焊盘的上表面中形成的沟槽。

[0006] 在一些实施例中,一个或多个第一连接器与第二管芯焊盘的上表面接触。例如,一个或多个第一连接器可以与第二管芯焊盘的上表面直接接触,例如接合线(bond wire)连接,或者通过诸如导电粘合剂或软焊料的居间(intervening)材料连接到第二管芯焊盘的上表面。

[0007] 在一些实施例中,第一连接器是接合到管芯焊盘的上表面的接合线。在一些实施例中,第一连接器是通过焊料连接连接到第二管芯焊盘的上表面的接触夹(clip)。在一些实施例中,第一连接器是通过焊料连接连接到第二管芯焊盘的上表面的带(ribbon)。

[0008] 在一些实施例中,多个引线包括至少一个引线,其与管芯焊盘和其他引线间隔开并且被表示为个体引线。在一些实施例中,多个引线包括从第一、第二和第三管芯焊盘之一延伸的至少一个引线。

[0009] 在一些实施例中,第二管芯焊盘的上表面延伸到至少一个引线的上表面中,并且至少一个引线的下表面通过模制化合物与第二管芯焊盘的下表面间隔开。

[0010] 在一些实施例中,第一和第二功率半导体器件安装在第一管芯焊盘上并且控制器件安装在第三管芯焊盘上。

[0011] 在一些实施例中,第一管芯焊盘连接到地电位。在一些实施例中,第一功率半导体器件是晶体管器件,并且第一功率半导体器件的源极耦合到第一管芯焊盘。在一些实施例中,第二功率半导体器件包括耦合到第一管芯焊盘的接地焊盘,第一管芯焊盘耦合到地电位。

[0012] 在一些实施例中,第一管芯焊盘的上表面延伸到引线中,并且第一功率半导体器件的源极通过第二连接器耦合到引线。第二连接器可以在第一功率半导体器件的源极和第一管芯焊盘之间和/或在第一功率半导体器件的源极和引线之间延伸。

[0013] 在一些实施例中,第一功率半导体器件是在其上表面上具有源极、漏极和栅极接触焊盘的横向晶体管器件。在一些实施例中,漏极接触焊盘通过一个或多个第一连接器耦合到第二管芯焊盘。

[0014] 在一些实施例中,第二功率半导体器件是在其上表面上具有源极、漏极和栅极接触焊盘的横向晶体管器件。在一些实施例中,第二功率器件的源极接触焊盘耦合到第二管芯焊盘。

[0015] 在一些实施例中,第一和第二功率半导体器件被耦合以形成半桥配置或共源共栅(cascode)配置。

[0016] 在一些实施例中,半导体封装还包括布置在第一管芯焊盘的上表面上或第一管芯焊盘的上表面中的阻焊结构。阻焊结构可以被布置在第一功率半导体器件和第二功率半导体器件之间。

[0017] 在一些实施例中,阻焊结构具有抗焊的结构化区和/或第一管芯焊盘的上表面中形成的沟槽的形式。

[0018] 在一些实施例中,第一、第二和第三管芯焊盘中的每个的上表面具有 4 mm^2 或更大的面积以及 1.5 mm 的最小横向尺寸,并且引线具有下表面,该下表面具有 3 mm^2 的最大面积。第一、第二和第三管芯焊盘中的每个的上表面可以是正方形或基本上是矩形。例如,管芯焊盘的上表面的横向尺寸可以是上表面的宽度或幅面(breadth)。

[0019] 根据本发明,提供一种制造半导体封装的方法,半导体封装包括第一功率半导体器件、第二功率半导体器件和控制半导体器件。方法包括提供引线框,引线框包括第一、第二和第三管芯焊盘以及多个引线,其中,第一、第二和第三管芯焊盘中的每个都具有上表面和下表面并且彼此间隔开,并且其中,第二管芯焊盘的下表面与半导体封装的侧面间隔开大于个体引线的长度的距离。方法还包括将第一功率半导体器件安装在第一管芯焊盘的上

表面上,通过在第一功率器件和第二管芯焊盘的上表面之间延伸的一个或多个第一连接器将第一功率半导体器件电耦合到第二管芯焊盘,以及施加模制化合物,使得第一、第二和第三管芯焊盘的上表面布置在模制化合物内,并且第二管芯焊盘的上表面由一个或多个连接器占据或与模制化合物直接接触。

[0020] 在一些实施例中,第二功率半导体器件与第一功率半导体器件相邻地安装在第一管芯焊盘的上表面上,并且控制器件被安装在第三管芯焊盘上。第二管芯焊盘保持未被半导体管芯或半导体器件占据。

[0021] 在一些实施例中,第一管芯焊盘的上表面包括阻焊结构,并且第一和第二功率半导体器件被安装在管芯焊盘的上表面上,使得阻焊结构被横向布置在第一和第二功率半导体器件之间。

[0022] 本领域技术人员在阅读以下详细描述时并在查看附图时将认识到附加特征和优势。

[0023] 附图描述

附图中的元素不一定相对于彼此成比例。相同的附图标记表示相应的类似部分。各种所示实施例的特征可以组合,除非它们彼此排斥。在附图中描绘了示例性实施例并且在随后的描述中详细描述了示例性实施例。

[0024] 图1A示出了根据实施例的半导体封装的平面图。

[0025] 图1B示出了由图1A的封装提供的半桥配置的电路图。

[0026] 图1C示出了沿图1A中所示的线A-A的截面图。

[0027] 图1D示出了图1A和1B的半导体封装的下表面和占用区 (footprint) 的视图。

[0028] 图1E示出了沿图1A中所示的线B-B的截面图。

[0029] 图1F示出了替代的阻焊结构的截面图。

[0030] 图2示出了根据实施例的半导体封装的平面图。

[0031] 图3示出了根据实施例的半导体封装的平面图。

[0032] 图4A示出了根据实施例的半导体封装的平面图。

[0033] 图4B示出了由图4A的封装提供的共源共栅配置的电路图。

[0034] 图5示出了制造半导体封装的方法的流程图。

具体实施方式

[0035] 在以下详细描述中,参考了附图,附图形成其一部分,并且在附图中通过图示的方式示出了可以实践本发明的具体实施例。在这点上,参考所描述的(一个或多个)附图的取向使用诸如“顶部”、“底部”、“前部”、“后部”、“前面(leading)”、“后面(trailing)”等之类的方向术语。因为实施例的部件可以以多个不同的取向定位,所以方向术语用于说明的目的并且绝不是限制。应该理解,可以利用其他实施例,并且在不脱离本发明的范围的情况下,可以进行结构或逻辑改变。其下面的详细描述不应以限制意义理解,并且本发明的范围由所附权利要求书限定。

[0036] 下面将解释多个示例性实施例。在该情况下,在附图中,相同的结构特征由相同或相似的附图标记标识。在本说明书的上下文中,“横向”或“横向方向”应当被理解为意味着大致平行于半导体材料或半导体载体(carrier)的横向范围伸展的方向或范围。因此,横向

方向大致平行于这些表面或侧面延伸。与此相对,术语“竖直”或“竖直方向”被理解为意味着大致垂直于这些表面或侧面并因此垂直于横向方向伸展的方向。因此,竖直方向在半导体材料或半导体载体的厚度方向上伸展。

[0037] 如在本说明书中所采用的,当诸如层、区或衬底之类的元素被称为在另一元素“上”或延伸“到”另一元素“上”时,其可以直接在其他元素上或直接延伸到其他元素上,或者居间元素也可以存在。相对地,当元素被称为“直接在”另一元素“上”或“直接”延伸“到”另一元素“上”时,无居间元素存在。

[0038] 如在本说明书中所采用的,当元素被称为“连接”或“耦合”到另一元素时,它可以直接连接或耦合到其他元素,或者居间元素可以存在。相对地,当元素被称为“直接连接”或“直接耦合”到另一元素时,无居间元素存在。

[0039] 诸如高电压耗尽模式(depletion-mode)晶体管之类的耗尽模式器件具有负阈值电压,这意味着它可以在零栅极电压处传导电流。这些器件通常是导通的(on)。诸如低电压增强模式晶体管之类的增强模式器件具有正阈值电压,这意味着它在零栅极电压处不能传导电流并且通常是截止的(off)。增强模式器件不限于低电压并且也可以是高电压器件。

[0040] 如本文中使用的,诸如高电压耗尽模式晶体管之类的“高电压器件”是针对高电压开关应用而优化的电子器件。也就是说,当晶体管截止时,它能够阻塞高电压,诸如大约300 V或更高、大约600 V或更高、或者大约1200 V或更高,并且当晶体管导通时,它具有对于它在其中使用的应用足够低的导通电阻(RON),即,当相当大的电流通过器件时它经历足够低的传导损耗。高电压器件至少可以能够阻塞等于高电压电源或它针对其使用的电路中的最大电压的电压。高电压器件可能能够阻塞300 V、600 V、1200 V或应用所需的其他合适的阻塞电压。

[0041] 如本文中使用的,短语“III族氮化物”指的是化合物(compound)半导体,其包括氮(N)和至少一个III族元素,包括铝(Al)、镓(Ga)、铟(In)和硼(B),并且包括但不限于其合金中的任何合金,例如诸如氮化铝镓($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)、氮化铟镓($\text{In}_y\text{Ga}_{(1-y)}\text{N}$)、氮化铝铟镓(aluminum indium gallium nitride) ($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$)、磷砷化镓氮化物(gallium arsenide phosphide nitride) ($\text{GaAs}_a\text{P}_b\text{N}_{(1-a-b)}$)和磷砷化铝铟镓氮化物(aluminum indium gallium arsenide phosphide nitride) ($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{As}_a\text{P}_b\text{N}_{(1-a-b)}$)。氮化铝镓和AlGaN是指由式 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 描述的合金,其中 $0 < x < 1$ 。

[0042] 希望在单个封装中包括两个或更多功率器件和用于功率器件的至少一个控制器件。功率器件可以用于开关电功率的源。功率器件可以是例如晶体管器件或二极管。控制器件可以用于控制功率器件的开关。控制器件可包括栅极驱动器电路,并且还可包括附加的感测电路,诸如电流感测或温度感测电路。

[0043] 还期望封装具有标准封装外形(outline)或占用区,使得封装可以更容易地集成到应用和电路中。然而,在单个封装中包括若干半导体器件导致热性能方面的挑战,因为在操作中每个器件都生成必须从封装耗散的热。此外,增加功率器件的功率需求,例如通过使用诸如III族氮化物器件之类的高电压器件来代替低压器件,在提供内部重新布线(rewiring)结构方面也具有挑战,该结构可以支持更高的电流而不导致器件和封装的过热,因为差的热耗散可以降低或甚至限制封装的电性能。

[0044] 根据本文描述的实施例,通过仅将管芯焊盘用作封装的内部电重分布结构的部分

而不是作为半导体器件的支撑结构来解决这些挑战。因此,可以提供具有更大截面面积并且因此具有减少的电阻的电连接,这导致发热减少,因此改进了封装的热和电性能。在一些实施例中,例如在半导体封装具有标准外形和/或标准占用区的实施例中,通常将安装在该管芯焊盘上的半导体器件替代地安装在与另外的半导体器件相同的管芯焊盘上。

[0045] 包括图1A至1F的图1示出了半导体封装10。图1A示出了半导体封装10的平面图,半导体封装10包括第一功率半导体器件11、第二功率半导体器件12和控制半导体器件13。半导体封装10还包括引线框14,其包括第一管芯焊盘15、第二管芯焊盘16、第三管芯焊盘17。第一、第二和第三管芯焊盘15、16、17中的每个都具有上表面18和与上表面18相对的下表面19,第一、第二和第三管芯焊盘15、16、17彼此横向间隔开。

[0046] 引线框14还包括多个引线23、24。在本实施例中,引线23、24布置在半导体封装10的四个侧面22的外围边缘处。在其他实施例中,多个引线23、24可布置在半导体封装10的单个侧面22、两个相对侧面22或三个侧面22的外围处。多个引线中的一些引线是分离的,个体引线23与管芯焊盘15、16和17以及彼此间隔开。多个引线中的一些引线24从管芯焊盘之一延伸并与之集成。

[0047] 个体引线23中的每个具有长度L,该长度L被定义为基本上垂直于半导体封装10的侧面22延伸的引线23的上表面18的尺寸。个体引线23中的每个与引线框的其他部分间隔开,包括其他个体引线23并且与第一、第二和第三管芯焊盘15、16、17间隔开。因此从管芯焊盘之一延伸并与其集成的引线24可与具有长度L的个体引线23区分开。

[0048] 半导体封装10还包括模制化合物20。第一、第二和第三管芯焊盘15、16、17的上表面18被布置在模制化合物20内,如图1C的截面视图中可以看到的。第一、第二和第三管芯焊盘15、16、17的上表面18和引线23、24的上表面18可以基本上共面。如图1C的截面视图中还可以看到的,两种类型的引线23、24的下表面19基本上共面并且未被模制化合物20覆盖。两种类型的引线23、24的下表面19提供半导体器件10的外接触表面44。外接触表面44提供半导体封装10的占用区45。图1D示出了半导体封装10的下表面的平面图,并且因此示出了占用区45和外接触表面44的下表面的平面图。在该实施例中,外接触表面44基本上共面并且主要布置在由模制化合物20覆盖的区域内以及如由模制化合物20的侧面22限定的轮廓(contour)内。

[0049] 在一些实施例中,第一、第二和第三管芯焊盘15、16、17中的一个或多个的下表面19未被模制化合物20覆盖,并且还提供外接触表面44和/或冷却表面(cooling surface)。例如,这种冷却表面可以安装在外部散热器上,以进一步改进从安装在远离封装的该管芯焊盘上的半导体器件的热耗散。

[0050] 第一功率半导体器件11安装在第一管芯焊盘15的上表面18上。第一功率半导体器件11通过第一功率半导体器件11和第二管芯焊盘16的上表面18之间延伸的一个或多个第一连接器21电耦合到第二管芯焊盘16。如图1C的截面图中可见的,第二管芯焊盘16的下表面19与半导体封装10的侧面22间隔开距离d,该距离d大于引线框14的个体引线23的长度L。

[0051] 第二管芯焊盘16的上表面18被耦合到第一功率半导体器件11的连接器21中的一个或多个占据,或者与模制化合物20直接接触。第二管芯焊盘16不用于支撑半导体器件并且仅用作从第一功率半导体器件11到提供半导体封装10的外接触表面44的引线23、24的内

部导电重分布结构的部分。例如,连接器21可以在接合线的情况下直接接合到第二管芯焊盘16的上表面18,或者可以与充当粘合剂的附加材料接触,粘合剂例如是基于聚合物的粘合剂,诸如导电环氧树脂或焊料,例如软焊料,其用于将第一连接器21电和机械地连接到第二管芯焊盘16的上表面18。如果连接器21是例如接触夹或带,则可以使用焊料或粘合剂连接。因此,第二管芯焊盘16的上表面18被第一连接器占据或者与模制化合物20接触。

[0052] 图1C示出了沿图1A中所示的线A-A的截面图并示出了从第二管芯焊盘16延伸的引线24的截面图。引线24的下表面19通过模制化合物20的一部分与第二管芯焊盘16的下表面19间隔开,而引线24的上表面18延伸到第二管芯焊盘16的上表面18中并与之集成。提供内部重分布结构,其位于模制化合物20内并从管芯焊盘16延伸到引线24的下表面19上的外接触区44。

[0053] 参考图1A的平面图和图1C的截面图,在一些实施例中,第二管芯焊盘16的上表面18具有比第二管芯焊盘16的相对下表面19更大的横向面积。第一和第三管芯焊盘15、17的上表面18的大小和形状也可以不同于下表面19的大小和形状。另外,与管芯焊盘15、16、17中的一个或多个集成的引线24的上表面以及个体引线23的上表面18也可以大于从模制化合物20暴露并且形成封装的外接触区域44和封装占用区45的相应引线23、24的下表面19。该布置可以用于增加可用于在(一个或多个)管芯焊盘上安装(一个或多个)半导体器件和用于将连接器附接或接合到引线23、24的上表面18的面积,同时提供封装10的外接触区域44的引线23、24的下表面19具有基本上相同的面积和半导体器件10的占用区45中的预定义位置。该结构可以通过去除一部分,例如通过半蚀刻引线框14的下表面来实现。

[0054] 如本文所定义的,管芯焊盘具有上表面,上表面具有至少是 4 mm^2 的面积。因此,从管芯焊盘的定义排除了其中若干相邻引脚通过引线框的连接网状物(web)部分在上表面处电连接例如以形成适于接受接触夹连接器的区域的布置,因为首先,这样的布置在横向上没有足够大到支撑半导体器件或管芯,其次,具有小于 4 mm^2 的横向面积。

[0055] 在一些实施例中,第一、第二和第三管芯焊盘15、16、17中每个的上表面具有 4 mm^2 或更大的面积以及 1.5 mm 的最小横向尺寸。该横向尺寸可以是管芯焊盘15、16、17的上表面18的宽度或幅面。与管芯焊盘之一集成的引线24以及个体引线23中的每个具有带有 3 mm^2 的最大面积的下表面。因此,参考图1,第二管芯焊盘16的上表面18具有 4 mm^2 或更大的面积及 1.5 mm 的最小横向尺寸,并且可与具有具有 3 mm^2 的最大面积的下表面的引线框14的个体引线23或集成引线24区分开。

[0056] 在图1A中所示的半导体封装10中,第二管芯焊盘16位于半导体封装10的第一角(corner),并且第三管芯焊盘17位于半导体封装10的第二角以及与第二管芯焊盘16横向相邻。第一管芯焊盘15基本上跨封装10的整个宽度延伸,使得第二管芯焊盘16和第三管芯焊盘17与第一管芯焊盘15的公共侧面相邻定位并且与之间隔开。然而,可以使用三个或更多管芯焊盘的其他布置,由此管芯焊盘中的至少一个在最终模制封装中没有半导体器件并且仅用作半导体器件中的一个或多个与半导体封装10的一个或多个外接触表面44之间的内部导电重分布结构的一部分,所述外接触表面例如是封装的引线23、24的下表面19或者管芯焊盘15、16、17中的一个的下表面。

[0057] 两个或多个功率半导体器件安装在单个的管芯焊盘上。在图1A中所示的实施例中,第一功率半导体器件11和第二功率半导体器件12两者都彼此横向相邻地安装在第一管

芯焊盘15的上表面18上。控制半导体器件13安装在与第一和第二功率半导体器件11、12不同的管芯焊盘上,并且在该实施例中,安装在第三管芯焊盘17的上表面18上。

[0058] 取决于第一和第二功率半导体器件11、12以及内部重分布结构,可以由半导体封装10提供并且形成各种类型的电路。在一些实施例中,半导体封装10提供半桥电路或共源共栅电路。

[0059] 图1A中所示的半导体封装10提供半桥电路。图1B示出了该半桥电路的电路图。在该实施例中,第一功率半导体器件11是晶体管器件,并且第二功率电子器件12也是晶体管器件。第一功率半导体器件11提供半桥电路的低侧开关Q1并且第二功率半导体器件12提供半桥电路的高侧开关Q2。控制器件13包括用于驱动低侧开关Q1和高侧开关Q2的栅极的栅极驱动器电路。

[0060] 第一和第二功率半导体器件11、12两者都安装在第一管芯焊盘15的上表面18上,并且彼此相邻且间隔开。在半导体封装10中,第一功率半导体器件11由横向晶体管器件Q1来提供,其包括在其上表面上的源极焊盘25、漏极焊盘26和栅极焊盘27。类似地,第二功率半导体器件12由横向晶体管器件Q2提供,其包括在其上表面上的源极焊盘28、漏极焊盘29和栅极焊盘30。第一和第二功率半导体器件11、12可以是高电压晶体管器件和/或基于III族氮化物的晶体管器件,例如基于III族氮化物的HEMT(高电子迁移率晶体管)。

[0061] 在半导体封装10中,低侧开关Q1的漏极焊盘26通过一个或多个连接器21电耦合到第二管芯焊盘16。在该实施例中,低侧开关Q1的漏极焊盘26和第二管芯焊盘16之间的电连接由沿着伸长(elongate)漏极焊盘26以行布置的多个接合线21来提供。一个或多个接合线21也可以连接到与第二管芯焊盘16集成的一个或多个引线24的上表面18或一个或多个个体引线23。第二管芯焊盘16和引线24的上表面18的增加的面积被用于使能比如果连接器21仅被连接到封装10的个体引线23的上表面19则将可能的漏极焊盘26和管芯焊盘16的上表面之间的更大数量的接合线连接。因此,低侧开关Q1的漏极焊盘26与第二管芯焊盘16之间的连接的电阻由于电连接的增加的截面积而减小。电连接的该增加的截面积可以有助于减少连接中的热的生成并且有助于改进半导体封装10的热和电性能。

[0062] 晶体管器件Q1的源极焊盘25通过一个或多个连接器31电连接到一个或多个个体引线23。连接器31可以是如图1A中所示的实施例中的接合线,或者可以是接触夹或带。在图1中所示的实施例中,一个或多个引线24与第一管芯焊盘15集成。一个或多个连接器31也可以被布置成以便在源极焊盘25和集成的引线24上表面18之间延伸。因此,第一管芯焊盘15电连接到半桥电路的低侧开关Q1的源极电位。源极电位可以是地电位。栅极焊盘27通过一个或多个连接器32电连接到与第一管芯焊盘15间隔开的个体引线23。控制芯片13还通过一个或多个连接器37电连接到晶体管器件Q1的栅极焊盘27。

[0063] 提供半桥电路的高侧开关Q2的第二功率半导体器件12包括通过一个或多个连接器33电耦合到第一功率半导体器件11的漏极焊盘26的源极焊盘28、通过一个或多个连接器34电连接到一个或多个引线23的漏极焊盘29以及通过一个或多个连接器35电连接到控制芯片13的栅极焊盘30以形成半桥电路。第二功率半导体器件12还可以通过一个或多个连接器36电耦合到第一管芯焊盘15以提供接地连接。

[0064] 在该实施例中,第二管芯焊盘16的和与第二管芯焊盘16集成的引线24的下表面19提供半桥电路的 V_{out} 端子。通过连接器31耦合到低侧开关Q1的源极焊盘的引线和第一管芯

焊盘15提供半桥电路的 V_{low} 端子。通过连接器34耦合到高侧开关Q2的漏极焊盘29的引线提供半桥电路的 V_{high} 端子。

[0065] 两个功率半导体器件11、12中的每个都通过可以在图1E的截面图中看到的焊料连接46安装在公共管芯焊盘15的上表面18上。在一些实施例中,半导体封装10还包括阻焊结构40,其布置在第一管芯焊盘15的上表面18上或中并且横向地布置在第一功率半导体器件11和第二功率半导体器件12之间。

[0066] 在一些实施例中,阻焊结构40可以由形成在第一管芯焊盘15的上表面18中的沟槽41来提供,如在图1E的沿着图1A的线B-B的截面图中所示。在其他实施例中,诸如图1F中所示的其他示例中,阻焊结构40由形成在第一管芯焊盘15的上表面18上的抗焊42的结构化区形成。

[0067] 沟槽41可被用来收集在焊料回流(reflow)过程期间熔化的过量焊料材料,例如以避免其横向流入其不被需要的区中。例如,可以使用抗焊结构来在功率半导体器件周围的区中包含焊料材料。

[0068] 在一些实施例中,可以使用这些方法的组合,使得沟槽41形成在横向地位于第一和第二功率半导体器件11、12之间的位置处的第一管芯焊盘15的上表面18中,并且被抗焊材料42涂覆或填充。

[0069] 在一些实施例中,阻焊结构40沿着第一和第二功率半导体器件11、12的面对的侧面之间的基本上整个长度延伸。在一些实施例中,阻焊结构40被布置在第一或第二功率半导体器件和与第一管芯焊盘15的一侧或多侧相邻布置的个体引线23之间,个体引线23例如是第一功率半导体器件11通过(一个或多个)附加连接器31连接到的个体引线。阻焊结构也可以不间断地围绕每个功率半导体器件。

[0070] 在一个或多个连接器被提供在第一和第二功率半导体器件11、12中的一个或多个与第一管芯焊盘15的上表面18之间的实施例中,例如,为高侧开关Q2提供接地连接连接器36,阻焊结构40也可以被定位在功率半导体器件12的侧面与第一管芯焊盘15的上表面18上的连接器36的接合焊盘或区域43之间,以便停止焊料到接合焊盘或区域43上的扩散。

[0071] 图2示出了根据实施例的半导体封装50。半导体封装50包括安装在第一管芯焊盘15的上表面18上的第一功率半导体器件11和第二功率半导体器件12、安装在第三管芯焊盘17的上表面18上的控制半导体器件13、以及保持未被半导体器件并且还有半导体材料占据的第二管芯焊盘16,类似于参考图1描述的实施例。在半导体封装50中,第二管芯焊盘16用作第一和第二功率半导体器件11、12与半导体封装50的外接触区域44之间的导电重分布结构的部分。

[0072] 在该实施例中,第一和第二功率半导体器件11、12由晶体管器件Q1、Q2来提供,晶体管器件Q1、Q2可以是例如基于III族氮化物的横向晶体管器件。这些基于III族氮化物的横向晶体管器件通常具有较小的横向面积,这使得它们更适于安装在公共管芯焊盘上,例如第一管芯焊盘15上,以便能够使标准封装外形的管芯焊盘中的至少一个,在该实施例中是第二管芯焊盘16,空闲(free)并且不被半导体器件占据。因此,第二管芯焊盘16能够仅充当功率半导体器件11、12与电连接到第二管芯焊盘16的下表面或由其形成的封装10的外接触区域44之间的电重分布结构的一部分。

[0073] 半导体器件50提供半桥电路,其中,第一功率半导体器件11提供低侧开关Q1并且

第二功率半导体器件12提供高侧开关Q2。第一功率半导体器件11包括在上表面上具有源极焊盘25、漏极焊盘26和栅极焊盘27的横向晶体管。第二功率半导体器件12提供高侧开关Q2并且并且包括在上表面上具有源极焊盘28、漏极焊盘29和栅极焊盘30的横向晶体管器件。低侧开关Q1的漏极焊盘26和第二管芯焊盘16之间的电连接由一个或多个导电连接器21来提供,如参考图1描述的实施例中那样。

[0074] 第一管芯焊盘15电耦合到源极电位。在图2中所示的实施例中,该电连接由连接器31来提供,其从低侧开关Q1的源极焊盘25延伸到与管芯焊盘15集成的引线24。低侧开关Q1的栅极焊盘27通过例如接合线之类的连接器32电连接到控制器件13。

[0075] 在图2中所示的实施例中,来自高侧开关Q2的源极焊盘28的一个或多个导电连接器33延伸到第二管芯焊盘16,而不是直接在第一和第二功率半导体器件11、12之间并且特别地如图1中所示的实施例中那样在高侧开关Q2的源极焊盘28和低侧开关Q1的漏极焊盘26之间延伸。在该实施例中,第二管芯焊盘16提供半桥电路的节点或 V_{out} 端子。 V_{out} 端子也可被称为 V_{switch} 或 V_{SW} 端子。

[0076] 半导体封装50还提供从多个引线23'形成的结构51的示例,所述多个引线23'通过连接条或网状物52彼此电连接以提供较大的接合区域。较大的接合区域可被用于容纳多个接合线或接触夹。在图2中所示的实施例中,多个接合线34从高侧开关Q2的漏极焊盘29延伸到结构51并延伸到位于结构51的下表面上的半导体器件50的外接触表面44。然而,该结构51的上表面18的横向面积小于 4 mm^2 ,并且因此可与第二管芯焊盘16区分开。高侧开关Q2的栅极焊盘35通过连接器35连接到控制器件13。

[0077] 在一些实施例中,网状物部分52的下表面由模制材料20覆盖,使得半导体封装50的占用区45包括多个外接触表面44,所述多个外接触表面44彼此间隔开并且具有对应于由个体引线23和集成引线24提供的外接触表面44的大小、形状和位置。该布置可以通过半蚀刻引线框下表面来形成。在一些实施例中,网状物52的下表面与引线23'的下表面19基本上共面且从半导体封装50的下表面中的模制材料20暴露出来。

[0078] 图2还示出了被布置在第一和第二功率半导体器件11、12之间的第一管芯焊盘15的上表面18上或中没有阻焊结构的半导体封装50的示例。

[0079] 在一些实施例中,半导体封装10、50的占用区符合标准JEDEC占用区。管芯焊盘15、16、17的上表面18和引线23、24中的一个或多个可以具有大于提供占用区的外接触区域44的引线23、24和管芯焊盘15、16、17下表面的面积的面积,并且可以具有不同于半导体封装的占用区的轮廓。这在以下内容中可以是有益的:允许针对上表面18的增加的面积以在例如第一管芯焊盘15之类的管芯焊盘的公共一个上容纳两个功率半导体器件11、12而不影响半导体封装的标准占用区。这允许封装10、50的使用中的更大灵活性,而不需要封装10、50将安装在其上的较高级电路板上的接触面积的改变和占用区45的改变。标准占用区的使用简化了封装到现有应用和电路中的集成,因为电路板或应用不需要适于接受具有改进的电和热性能的封装10、50。

[0080] 图3示出了半导体封装60,其包括三个管芯焊盘15、16、17、第一功率半导体器件11和第二功率半导体器件12,布置在第一管芯焊盘15的上表面18上以及布置在第三管芯焊盘17的上表面18上的控制器件13。第二管芯焊盘16保持未被半导体器件占据,并且仅用于提供半导体封装60的内部导电重分布结构的一部分。第一和第二功率半导体器件11、12分别

包括电耦合以形成半桥电路的第一和第二晶体管器件Q1、Q2。控制器件13可包括用于驱动晶体管器件Q1和Q2的栅极的栅极驱动器电路。

[0081] 在参考图3描述的实施例中，第一功率半导体器件11是具有竖直漂移路径的例如基于硅的MOSFET器件之类的竖直晶体管器件，并且包括上表面61上的源极焊盘25和栅极焊盘27。漏极焊盘26在第一功率半导体器件11的下表面上，并且安装在第一管芯焊盘15上并与其电耦合。源极焊盘25通过一个或多个接合线31电耦合到引线框14的一个或多个个体引线23并且栅极焊盘27通过接合线37电耦合到控制器件13。

[0082] 第二功率半导体器件12也由具有竖直漂移路径的例如基于硅的MOSFET器件之类的竖直晶体管器件提供。在该实施例中，竖直晶体管器件12包括在其上表面62上的漏极焊盘30和栅极焊盘29以及在其下表面上的源极焊盘28。源极焊盘28安装在第一管芯焊盘15的上表面18上并与其电连接，并且电耦合到也安装在第一管芯焊盘15上并与其电连接的第一功率半导体器件11的漏极焊盘26。在该实施例中，漏极焊盘15和与第一管芯焊盘15集成的引线24提供半桥电路的节点和封装60的 V_{out} 端子。

[0083] 在引线框14中，与第一管芯焊盘15集成的引线24'形成结构54，其中，引线24'通过基本上垂直于第一管芯焊盘15的侧部延伸的网状物部分52连接。网状物部分52通过基本上垂直于网状物部分52延伸的另外的网状物部分53连接到第一管芯焊盘15。网状物部分52的下表面可以与引线24'的下表面19基本上共面并且从模制材料30暴露出来以形成半导体封装60的外接触表面44。在其他实施例中，网状物部分52的下表面从引线24'的下表面19凹陷并且被模制材料20覆盖，使得结构54提供在模制化合物20的侧面22处彼此间隔开的多个外接触表面44。

[0084] 提供高侧开关Q2的第二功率半导体器件12的漏极焊盘30通过一个或多个连接器34电耦合到第二管芯焊盘16。在该实施例中，第二管芯焊盘16和与第二管芯焊盘16集成的引线24提供半桥电路的高电压端子 V_{high} 。高侧开关Q2的栅极焊盘29通过导电连接器35电耦合到控制器件13。由于两个半导体器件11、12的漏极焊盘26和源极焊盘28电连接到它们安装在其上的公共管芯焊盘15，所以在该实施例中省略了第一管芯焊盘15上或中的阻焊结构。

[0085] 图4A示出了半导体封装70，其包括第一、第二和第三管芯焊盘15、16、17以及第一和第二功率半导体器件11、12，其电耦合以提供共源共栅电路。半导体封装70还包括安装在第三管芯焊盘17上的控制器件13。图4B示出了由半导体封装70提供的共源共栅电路的电路图。共源共栅电路和半导体封装70提供包括复合(composite)漏极D、复合源极S和复合栅极G的复合开关。

[0086] 第一功率半导体器件11由增强模式晶体管器件Q1来提供，在该实施例中，其是竖直MOSFET器件。第一功率半导体器件11包括在其上表面61上的源极焊盘25和栅极焊盘27以及在其下表面上的漏极焊盘26。漏极焊盘26安装在第一管芯焊盘15的上表面18上并电连接到第一管芯焊盘15。源极焊盘25通过一个或多个连接器31电连接到一个或多个引线23，一个或多个引线23与第一管芯焊盘15间隔开，以提供共源共栅电路的复合源极端子S。栅极焊盘27通过连接器37电耦合到控制芯片13。

[0087] 第二功率半导体器件12是由横向晶体管器件Q2来提供的，横向晶体管器件Q2是耗尽模式器件。第二功率半导体器件12可以是基于III族氮化物的晶体管器件。由于第二功率

半导体器件12是横向器件,所以其包括其上表面61上的源极焊盘28、漏极焊盘29和栅极焊盘30。源极焊盘28通过在源极焊盘28和管芯焊盘15的上表面18之间延伸的一个或多个导电导线33电耦合到第一管芯焊盘15。晶体管器件Q2的源极焊盘28通过第一管芯焊盘15耦合到晶体管器件Q1的漏极焊盘26。晶体管器件Q2的漏极焊盘29通过一个或多个电连接器31电连接到第二管芯焊盘16。

[0088] 从第二管芯焊盘16和第二管芯焊盘16的下表面19延伸的引线24的外接触表面44,如果其从模制材料20暴露出来,则提供共源共栅电路的复合漏极端子D。第二功率半导体器件12的栅极焊盘30通过连接器71电连接到第一功率半导体器件的源极焊盘25,以形成共源共栅电路。

[0089] 图5示出了制造半导体封装的方法的流程图100,该半导体封装包括第一功率半导体器件、第二功率半导体器件和控制半导体器件。在框101中,提供包括第一、第二和第三管芯焊盘和多个引线的引线框。第一、第二和第三管芯焊盘中的每个都具有上表面和下表面,并且彼此横向地间隔开。第二管芯焊盘的下表面与半导体封装的侧面间隔开大于多个引线中的个体引线的长度的距离。在框102中,第一功率半导体器件被安装在第一管芯焊盘的上表面上。在框103中,第一功率半导体器件通过在第一功率半导体器件和第二管芯焊盘的上表面之间延伸的一个或多个第一连接器电耦合到第二管芯焊盘。在框104中,施加模制化合物,使得第一、第二和第三管芯焊盘的上表面被布置在模制化合物内,并且第二管芯焊盘的上表面被一个或多个连接器占据或与模制化合物直接接触。

[0090] 在另外的实施例中,第二功率半导体器件被安装在第一管芯焊盘的上表面上,与第一功率半导体器件相邻,并且控制器件被安装在第三管芯焊盘上,并且第二管芯焊盘保持不被半导体管芯占据。第二功率半导体器件安装在第一管芯焊盘的上表面上,与第一功率半导体器件相邻,并且在施加模制化合物之前,控制器件安装在第三管芯焊盘上。然而,第二功率半导体器件可以安装在第一管芯焊盘的上表面上,和/或控制器件可以在第一功率半导体器件安装在第一管芯焊盘上之前或之后安装在第三管芯焊盘上。

[0091] 在一些实施例中,第一管芯焊盘的上表面包括阻焊结构,并且第一和第二功率半导体器件被安装在管芯焊盘的上表面上,使得阻焊结构被横向布置在第一和第二功率半导体器件之间。

[0092] 阻焊结构可以具有形成在第一管芯焊盘的上表面中的沟槽的形式。例如,可以通过蚀刻引线框的上表面来形成沟槽。例如,沟槽可以用于收集在焊料回流过程期间熔化的过量焊料材料。阻焊结构可以具有抗焊材料的结构化区的形式。抗焊材料可沉积在第一管芯焊盘的上表面上并且然后被结构化以在第一管芯焊盘的上表面上以图案形成。抗焊结构可用于在功率半导体器件周围的区中包含焊料材料。在一些实施例中,在管芯焊盘的上表面中形成沟槽,该沟槽衬有或填充有抗焊材料。

[0093] 电连接可以形成在第一和第二功率半导体器件之间,以便形成半桥配置或共源共栅配置。可以形成电连接,使得第二管芯焊盘形成半桥配置的 V_{out} 端子,例如如参考图1和2描述的实施例中那样,或者形成半桥配置的 V_{high} 端子,如参考图3描述的实施例中那样,形成共源共栅电路的复合漏极端子,如图4A中所示的实施例中那样。可以形成电连接,使得第一管芯焊盘耦合到地电位或者形成半桥电路的 V_{low} 端子,如图1和2中所示的实施例中那样,或者使得第一管芯焊盘形成半桥配置的 V_{out} 端子,如图3中所示的实施例中那样。

[0094] 提供包括两个或更多管芯焊盘和两个或更多半导体器件的半导体封装,由此至少一个管芯焊盘仅用作封装的内部电重分布结构的部分而不是用作半导体器件的支撑结构。因此,具有较大横截面积并且因此具有减小的电阻的电连接可以通过将安装在不同管芯焊盘上的一个或多个半导体功率器件连接到该未占据的管芯焊盘来提供。例如,安装在不同管芯焊盘上的一个或多个半导体功率器件中的一个或多个电极可以通过具有总体增加的横截面积的电连接电连接到该未占据的管芯焊盘。可以通过使用更大数量的连接器,例如更大数量的接合线,和/或更大的连接器,例如更大直径的接合线或接触夹,来提供横截面积的增加。连接的横截面积的增加有助于减少由该连接中承载的电流产生的热,因此改进封装的热和电性能。在一些实施例中,通常将安装在该管芯焊盘上的半导体器件代之以安装在与另外的半导体器件相同的管芯焊盘上。

[0095] 为了便于描述,使用诸如“之下”、“下方”、“下部”、“之上”“上部”以及诸如此类的空间相对术语来解释一个元素相对于第二元素的定位。这些术语旨在涵盖除了与图中所描绘的那些不同的取向之外的相应设备的不同取向。此外,诸如“第一”、“第二”以及诸如此类的术语也用于描述各种元素、区、区段等,并且也不旨在是限制性的。贯穿说明书,相同的术语指代相同的元素。

[0096] 如本文中所述的,术语“具有”、“含有”、“包含”、“包括”以及诸如此类的术语是开放式术语,其指示了所述元素或特征的存在,但不排除附加的元素或特征。冠词“一”、“一个”和“该”旨在包括复数以及单数,除非上下文另有明确指示。应当理解,除非另外特别指出,否则本文描述的各种实施例的特征可彼此组合。

[0097] 尽管在本文中已经示出和描述了具体实施例,但是本领域普通技术人员将理解,在不偏离本发明的范围的情况下,多种替代和/或等同实现可以替代所示出和描述的具体实施例。本申请旨在覆盖本文中讨论的具体实施例的任何修改或变化。因此,本发明旨在仅由权利要求书和其等同物来限制。

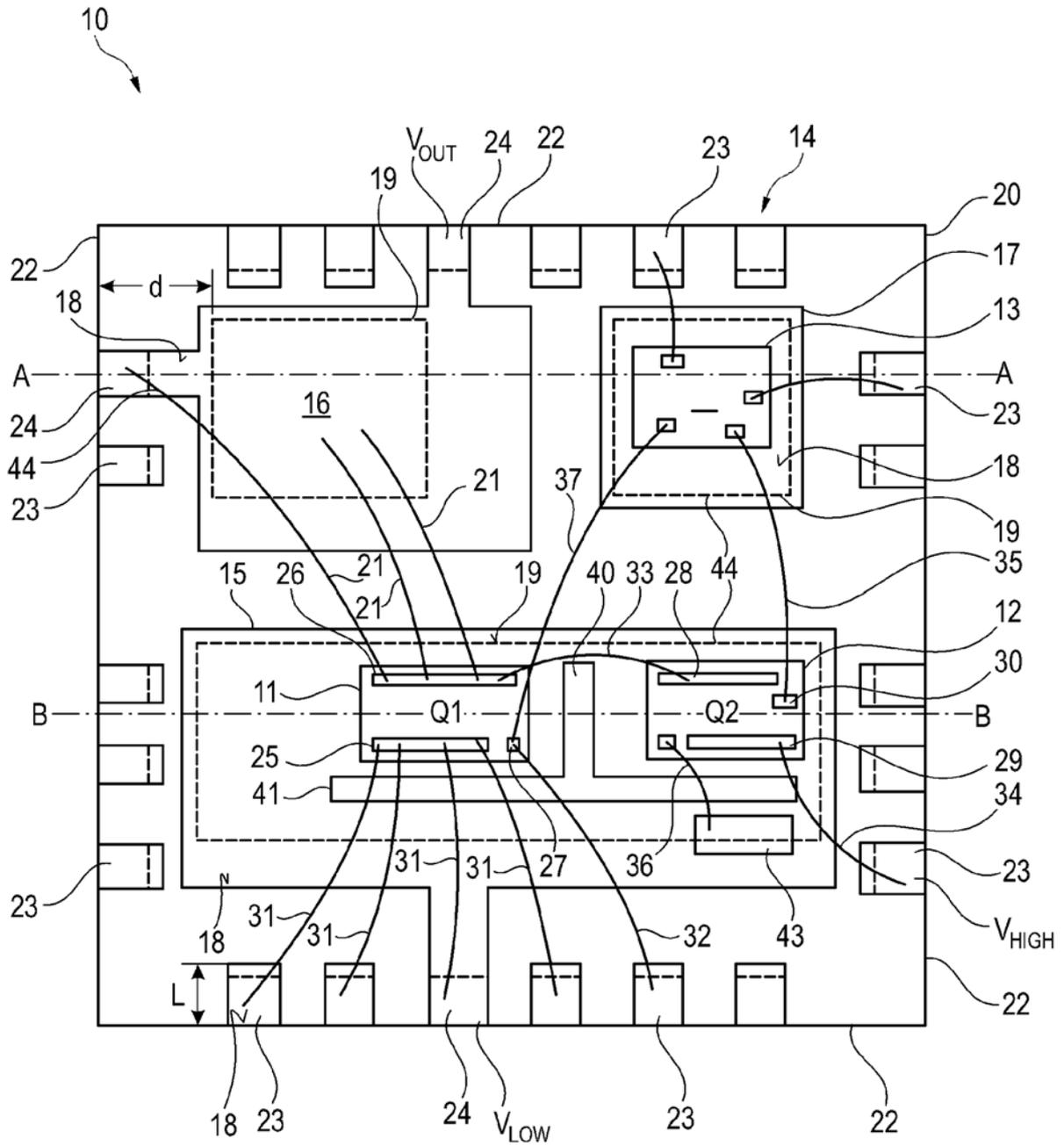


图 1A

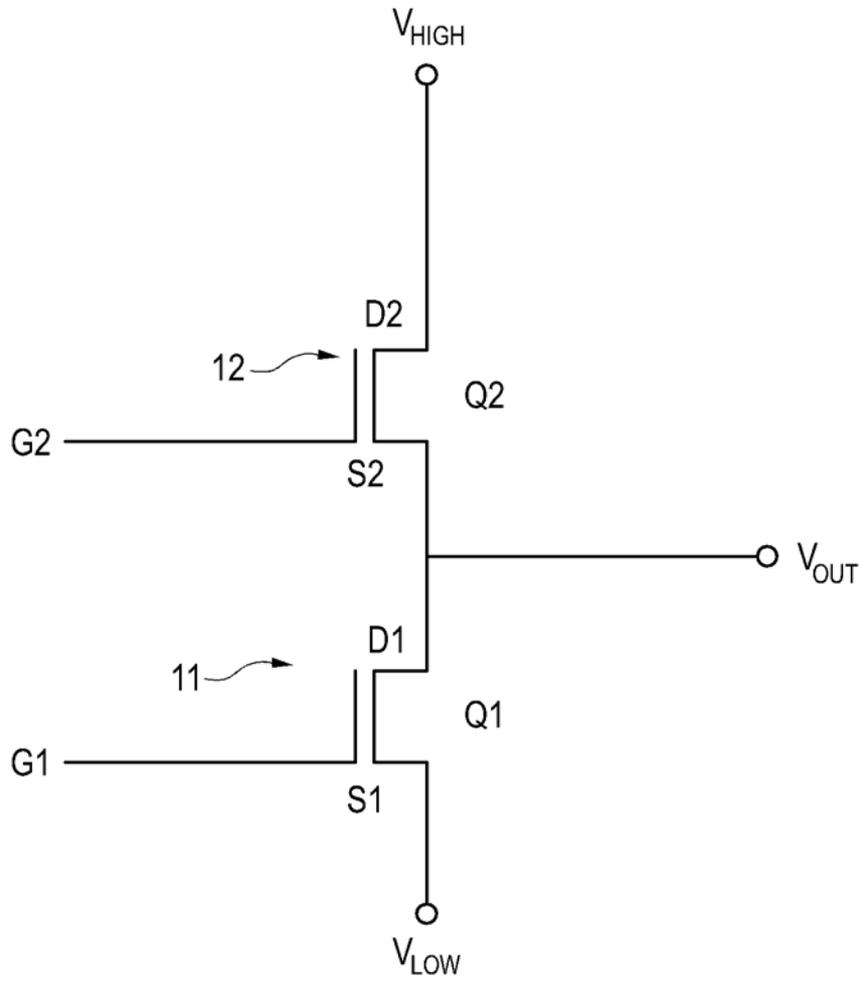


图 1B

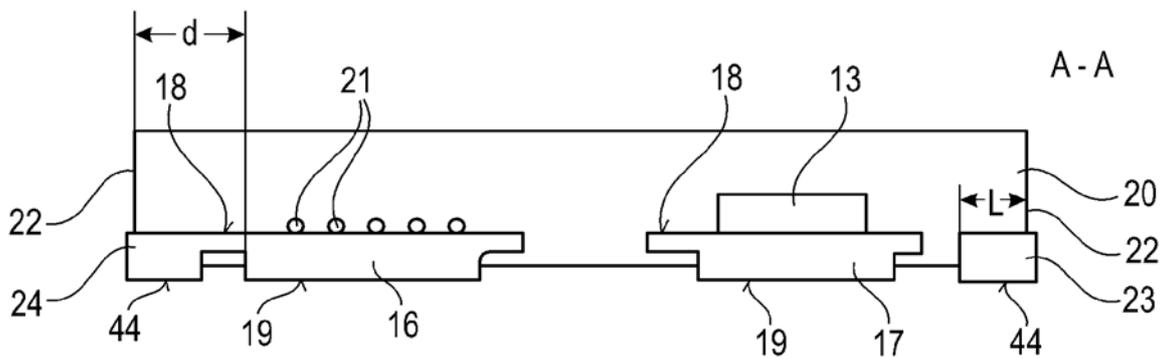


图 1C

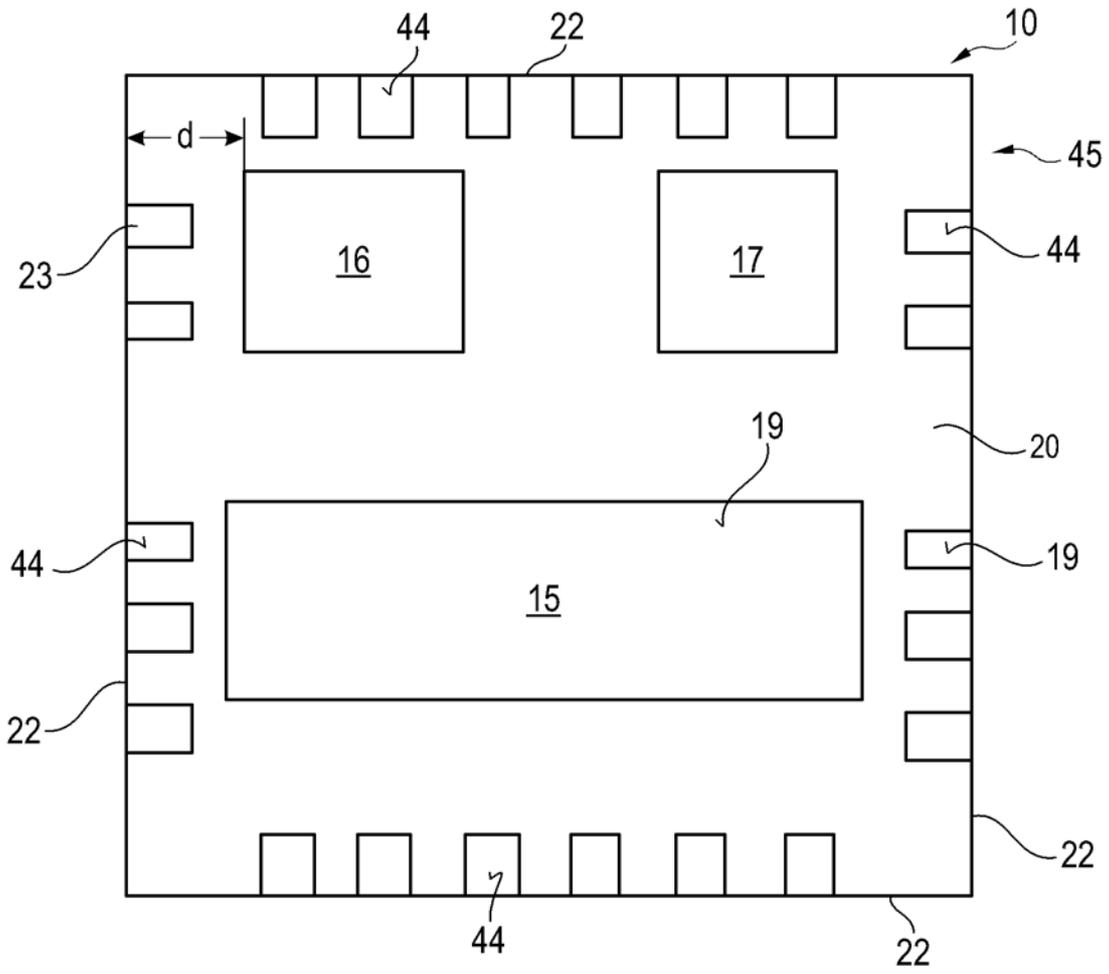


图 1D

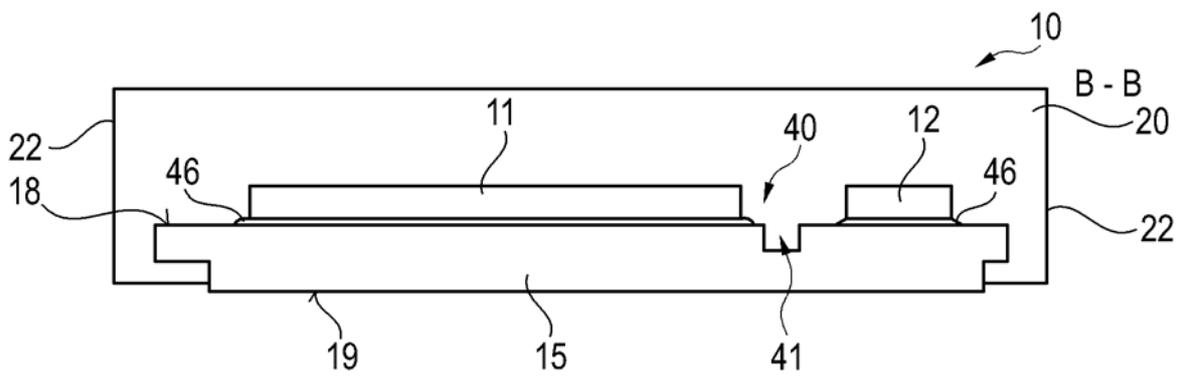


图 1E

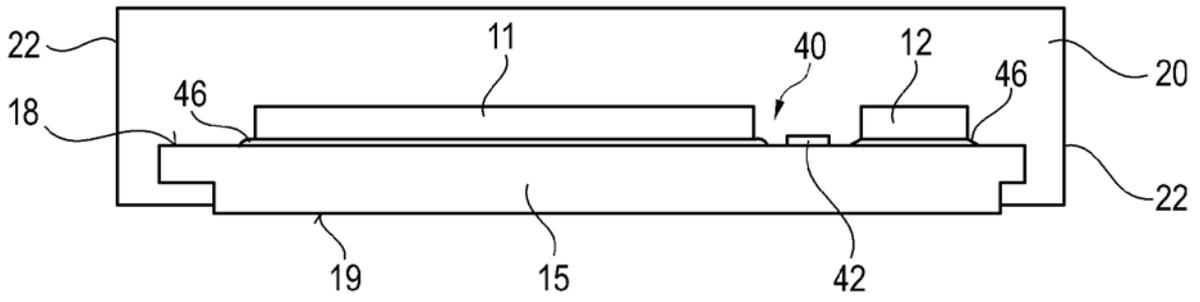


图 1F

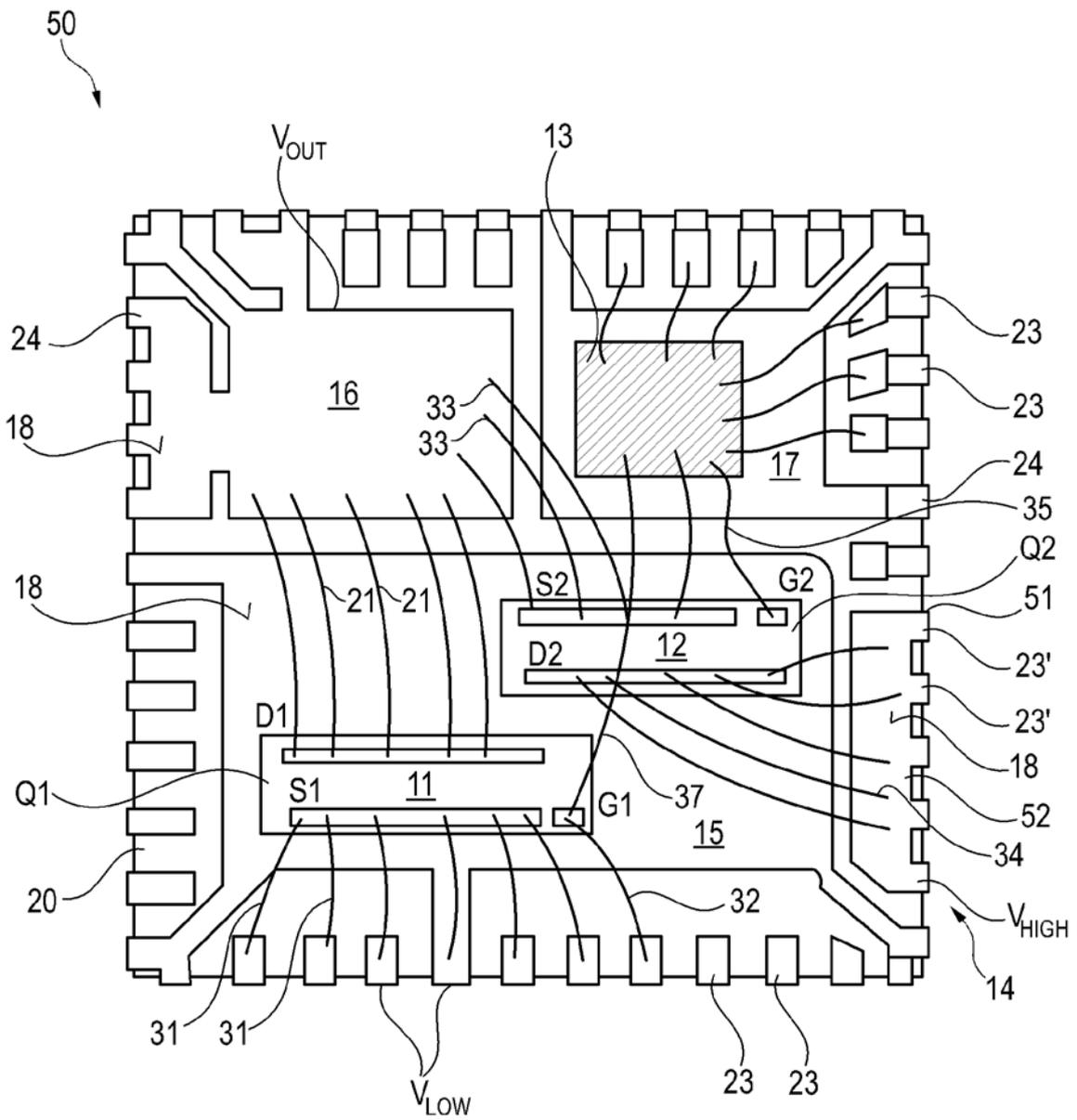


图 2

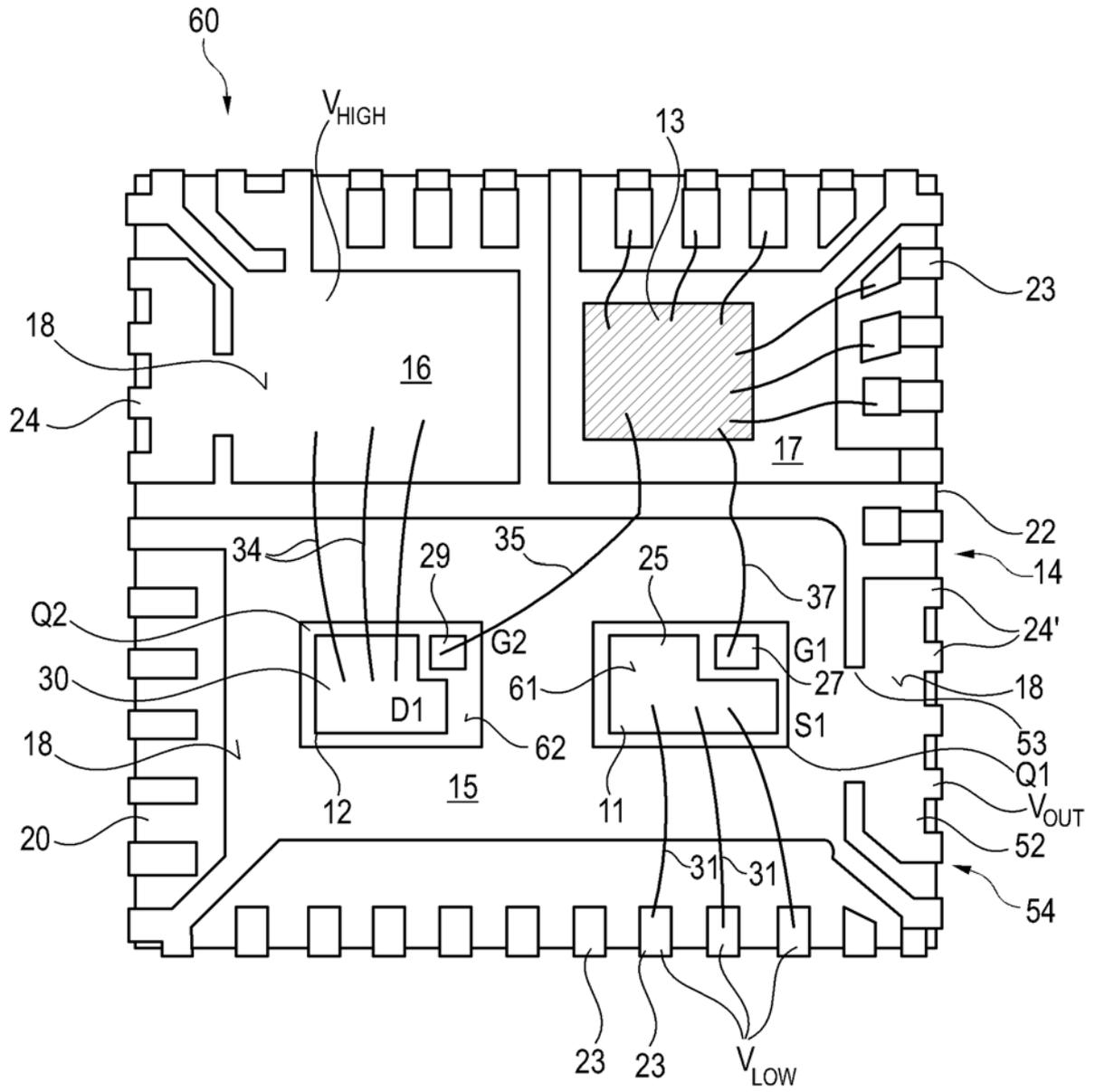


图 3

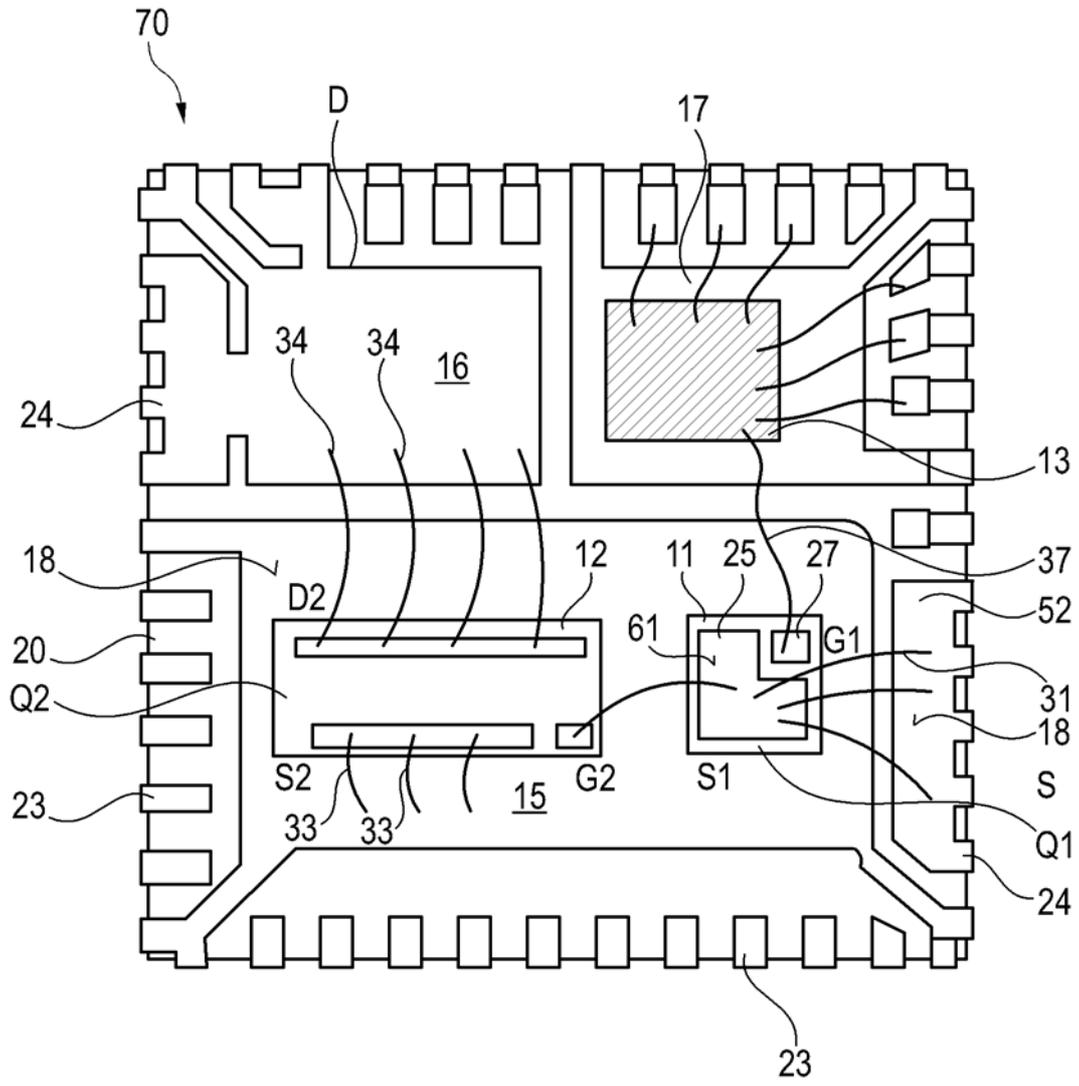


图 4A

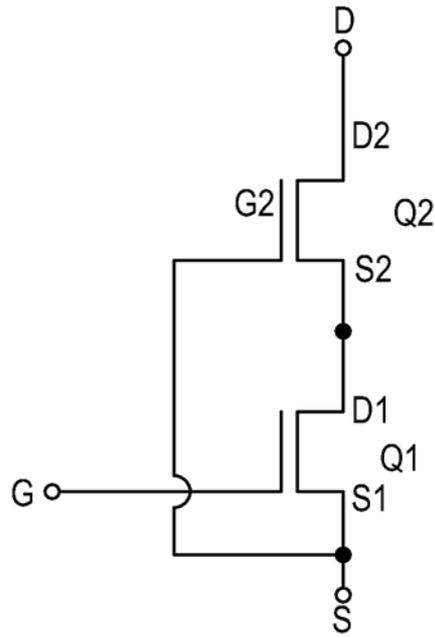


图 4B

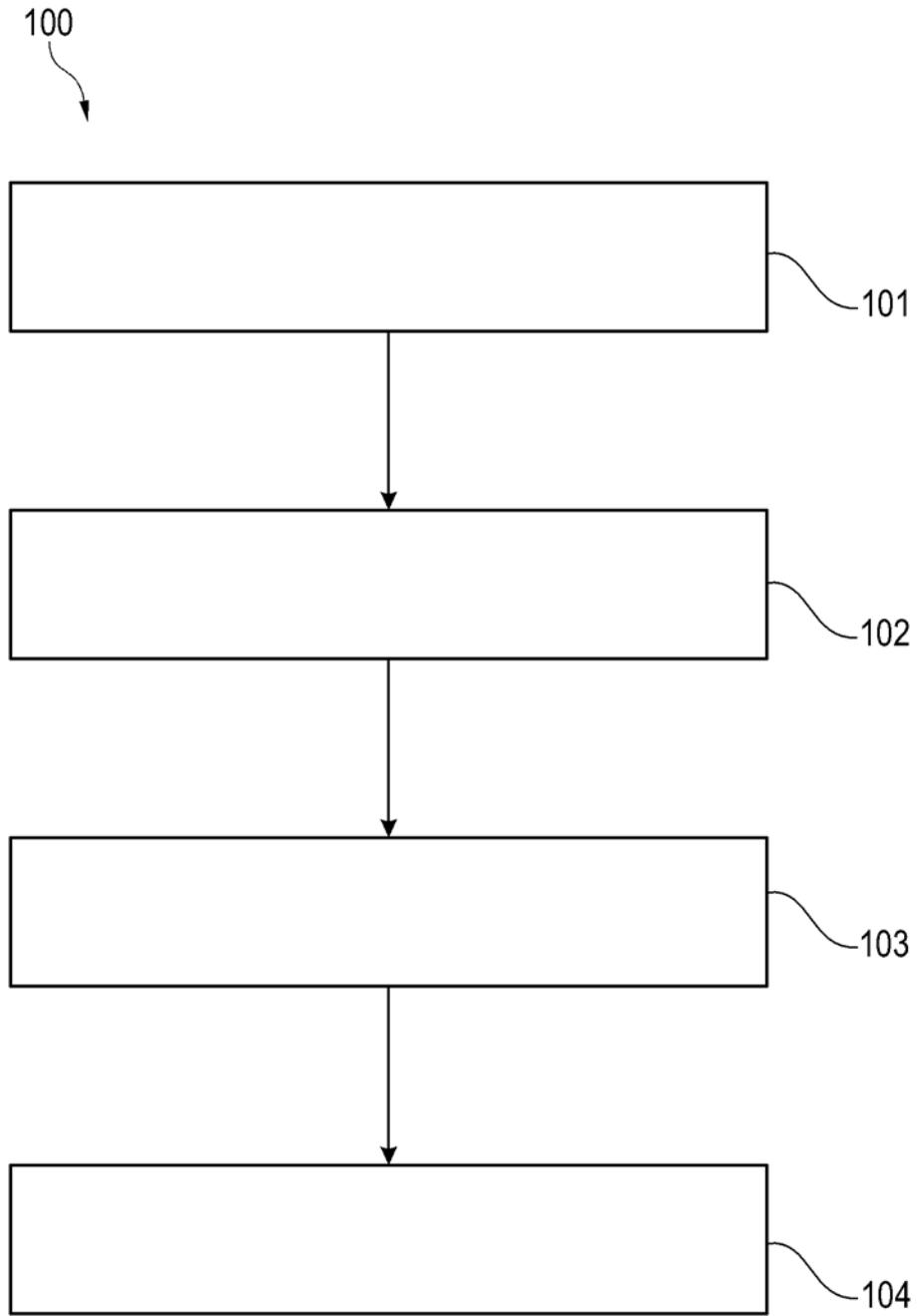


图 5