(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0102554
(43) 공개일자 2024년07월03일

(51) 국제특허분류(Int. Cl.)
H10K 59/00 (2023.01)
(52) CPC특허분류
H10K 59/88 (2023.02)
H10K 59/1213 (2023.02)
(21) 출원번호 10-2022-0184704
(22) 출원일자 2022년12월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김재형
경기도 파주시 월롱면 엘지로 245
박상필
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

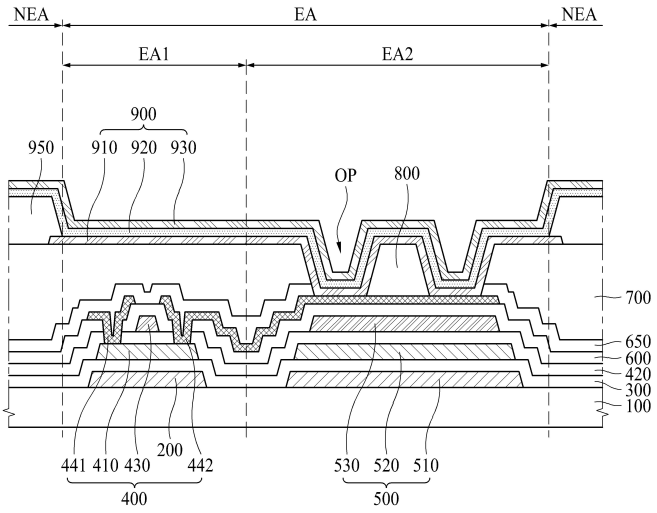
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **표시 장치**

(57) 요 약

본 발명은 제1 및 제2 발광 영역을 포함하는 기판; 기판 상에서, 제1 발광 영역에 형성된 박막 트랜지스터; 기판 상에서, 제2 발광 영역에 형성된 복수의 더미 패턴; 박막 트랜지스터 및 복수의 더미 패턴 상에 형성된 평탄화층; 평탄화층 상에 형성된 발광 소자를 포함하고, 박막 트랜지스터의 드레인 전극은 제2 발광 영역으로 연장되며, 제2 발광 영역에서, 평탄화층은 드레인 전극을 노출시키는 개구부를 포함하고, 개구부에서, 드레인 전극 상에 돌출부가 형성된, 표시 장치를 제공한다.

대 표 도 - 도1



(52) CPC특허분류
H10K 59/123 (2023.02)
H10K 59/124 (2023.02)

명 세 서

청구범위

청구항 1

제1 및 제2 발광 영역을 포함하는 기판;

상기 기판 상에서, 상기 제1 발광 영역에 형성된 박막 트랜지스터;

상기 기판 상에서, 상기 제2 발광 영역에 형성된 복수의 더미 패턴;

상기 박막 트랜지스터 및 복수의 더미 패턴 상에 형성된 평탄화층;

상기 평탄화층 상에 형성된 발광 소자를 포함하고,

상기 박막 트랜지스터의 드레인 전극은 상기 제2 발광 영역으로 연장되며,

상기 제2 발광 영역에서, 상기 평탄화층은 상기 드레인 전극을 노출시키는 개구부를 포함하고,

상기 개구부에서, 상기 드레인 전극 상에 돌출부가 형성된, 표시 장치.

청구항 2

제1 항에 있어서,

상기 드레인 전극은 상기 복수의 더미 패턴 상으로 연장되어 형성되며,

상기 개구부는 상기 복수의 더미 패턴과 중첩되도록 형성된, 표시 장치.

청구항 3

제1 항에 있어서,

상기 개구부를 통해, 상기 발광 소자는 상기 드레인 전극과 전기적으로 연결된, 표시 장치.

청구항 4

제1 항에 있어서,

상기 평탄화층은 상기 박막 트랜지스터 및 복수의 더미 패턴 상에 형성된 제1 평탄화층 및 상기 제1 평탄화층 상에 형성된 제2 평탄화층을 포함하는, 표시 장치.

청구항 5

제4 항에 있어서,

상기 돌출부는 상기 제2 평탄화층과 동일한 물질로 형성된, 표시 장치.

청구항 6

제4 항에 있어서,

상기 돌출부는 상기 박막 트랜지스터의 드레인 전극 상에 형성된 제1 돌출부 및 상기 제1 돌출부 상에 형성된 제2 돌출부를 포함하고,

상기 제1 및 제2 돌출부 각각은 상기 제1 및 제2 평탄화층과 동일한 물질로 형성된, 표시 장치.

청구항 7

제6 항에 있어서,

상기 제2 평탄화층은 상기 제1 평탄화층의 상면 및 측면을 모두 덮도록 형성되고,

상기 제2 돌출부는 상기 제1 돌출부의 상면 및 측면을 모두 덮도록 형성된, 표시 장치.

청구항 8

제1 및 제2 발광 영역을 포함하는 기판;

상기 기판 상에서, 상기 제1 발광 영역에 형성된 박막 트랜지스터;

상기 기판 상에서, 상기 제2 발광 영역에 형성된 복수의 더미 패턴;

상기 박막 트랜지스터 및 복수의 더미 패턴 상에 형성된 제1 및 제2 평탄화층;

상기 제1 및 제2 평탄화층 상에 형성된 발광 소자를 포함하고,

상기 박막 트랜지스터의 드레인 전극은 상기 제2 발광 영역으로 연장되며,

상기 제2 발광 영역에서, 상기 제1 평탄화층은 상기 드레인 전극을 노출시키는 개구부를 포함하고,

상기 개구부에서, 상기 드레인 전극 상에 돌출부가 형성되고,

상기 제2 평탄화층은 상기 개구부의 내부를 채우도록 형성된, 표시 장치.

청구항 9

제8 항에 있어서,

상기 드레인 전극은 상기 복수의 더미 패턴 상으로 연장되어 형성되며,

상기 개구부는 상기 복수의 더미 패턴과 중첩되도록 형성된, 표시 장치.

청구항 10

제8 항에 있어서,

상기 드레인 전극 및 상기 돌출부 상에 형성된 클래드층을 더 포함하는, 표시 장치.

청구항 11

제10 항에 있어서,

상기 제2 평탄화층은 상기 클래드층을 덮도록 형성되고,

상기 클래드층에서, 상기 돌출부와 중첩된 일부 영역은 상기 제2 평탄화층에 의해 노출된, 표시 장치.

청구항 12

제11 항에 있어서,

상기 클래드층은 상기 드레인 전극 및 상기 발광 소자와 전기적으로 연결된, 표시 장치.

청구항 13

제1 항에 있어서,

상기 돌출부는 상기 평탄화층과 동일한 물질을 포함하여 형성된, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD, Liquid Crystal Display), 플라즈마표시장치(PDP, Plasma Display

Panel), 및 전계 발광 표시 장치 (ELD: Electroluminescence Display)와 같은 여러 표시 장치가 활용되고 있다. 그리고, 전계 발광 표시 장치는 유기 발광 표시 장치(OLED, Organic Light Emitting Display) 및 퀀텀닷 발광 표시 장치(QLED, Quantum-dot Light Emitting Display)와 같은 표시장치를 포함할 수 있다.

[0003] 표시장치들 중에서 전계 발광 표시 장치는 자체발광형으로서, 액정표시장치(LCD)에 비해 시야각, 대조비 등이 우수하며, 별도의 백라이트가 필요하지 않아 경량 박형이 가능하며, 소비전력이 유리한 장점이 있다. 또한, 전계 발광 표시장치는 직류저전압 구동이 가능하고, 응답속도가 빠르며, 특히 제조비용이 저렴한 장점이 있다. 특히, 발광 영역의 개구율을 증가시키기 위해, 박막 트랜지스터의 드레인 전극과 발광 소자의 애노드 전극이 발광 영역 내부에서 컨택되는 구조에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 발광 영역 내부에 형성된 개구부의 단차가 감소된 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 목적을 달성하기 위해서, 본 발명은 제1 및 제2 발광 영역을 포함하는 기판; 기판 상에서, 제1 발광 영역에 형성된 박막 트랜지스터; 기판 상에서, 제2 발광 영역에 형성된 복수의 더미 패턴; 박막 트랜지스터 및 복수의 더미 패턴 상에 형성된 평탄화층; 평탄화층 상에 형성된 발광 소자를 포함하고, 박막 트랜지스터의 드레인 전극은 제2 발광 영역으로 연장되며, 제2 발광 영역에서, 평탄화층은 드레인 전극을 노출시키는 개구부를 포함하고, 개구부에서, 드레인 전극 상에 돌출부가 형성된, 표시 장치를 제공한다.

발명의 효과

[0006] 본 발명에 따르면, 발광 영역 내부에서, 발광 소자와 드레인 전극이 연결되는 개구부에 복수의 더미 패턴 및 돌출부를 형성함으로써, 발광 영역의 개구율을 증가시켜 저전력 구동을 구현하면서도, 발광 소자를 안정적으로 형성할 수 있는 효과가 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명의 제1 실시 예에 따른 표시 장치의 단면도이다.

도 2는 본 발명의 제2 실시 예에 따른 표시 장치의 단면도이다.

도 3은 본 발명의 제3 실시 예에 따른 표시 장치의 단면도이다.

도 4는 본 발명의 제4 실시 예에 따른 표시 장치의 단면도이다.

도 5는 본 발명의 제5 실시 예에 따른 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0009] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0010] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0011] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관

계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0012] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0013] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0014] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0015] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0017] 도 1은 본 발명의 제1 실시 예에 따른 표시 장치의 단면도이다.

[0018] 도 1을 참고하면, 본 발명의 제1 실시 예에 따른 표시 장치는 발광 영역(EA) 및 비발광 영역(NEA)을 포함할 수 있다. 또한, 발광 영역(EA)은 구동 박막 트랜지스터(400)가 배치된 제1 영역(EA1) 및 복수의 더미 패턴(500)이 배치된 제2 영역(EA2)을 포함할 수 있다.

[0019] 발광 영역(EA)의 제1 영역(EA1)에는 기판(100), 차단층(200), 버퍼층(300), 구동 박막 트랜지스터(400), 층간 절연층(600), 패시베이션층(650), 평탄화층(700), 돌출부(800), 발광 소자(900) 및 뱅크(950)가 형성될 수 있다.

[0020] 기판(100)은 유리 또는 플라스틱으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 실리콘 웨이퍼와 같은 반도체 물질로 이루어질 수도 있다.

[0021] 본 발명의 제1 실시예에 따른 전계 발광 표시 장치는 발광된 광이 상부 쪽으로 방출되는 소위 상부 발광(Top emission) 방식으로 이루어지고, 따라서, 기판(100)의 재료로는 투명한 재료뿐만 아니라 불투명한 재료가 이용될 수 있다.

[0022] 차단층(200)은 기판(100) 상에 형성되며, 광을 차단할 수 있는 도전성 물질을 포함하여 이루어질 수 있다. 차단층(200)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 또는 크롬(Cr) 등의 금속 물질 또는 이들의 합금을 포함하여 이루어질 수 있다. 또한, 차단층(200)은 단일층으로 도시되어 있으나, 다중층으로 형성될 수 있다. 예를 들어, 차단층(200)은 이중층으로 형성될 수 있으며, 이중층은 서로 다른 물질을 포함하는 하부층 및 상부층으로 구성될 수 있다. 이 때, 하부층은 몰리브덴-티타늄 합금(MoTi)으로 이루어지고, 상부층은 구리(Cu)로 이루어질 수 있으나, 이에 한정되지 않는다.

[0023] 버퍼층(300)은 기판(100) 상에서, 차단층(200)을 덮도록 형성될 수 있다. 버퍼층(300)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)을 포함하여 이루어질 수 있다. 또한, 버퍼층(300)은 단일층으로 도시되어 있으나. 다중층으로 형성될 수 있다. 버퍼층(300)은 차단층(200)을 절연시키며, 버퍼층(300) 상에 형성되는 층들과 기판(100) 간의 접착력을 향상시킬 수 있다.

[0024] 구동 박막 트랜지스터(400)는 버퍼층(300) 상에 형성될 수 있다. 또한, 구동 박막 트랜지스터(400)는 차단층(200)과 중첩되는 위치에 배치될 수 있다. 이에 따라, 구동 박막 트랜지스터(400) 하부에 차단층(200)이 배치됨으로써, 외부 광이 구동 박막 트랜지스터(400)에 영향을 미치는 것을 방지하여, 구동 박막 트랜지스터(400)의 신뢰성을 향상시킬 수 있다.

[0025] 구동 박막 트랜지스터(400)는 반도체층(410), 게이트 절연층(420), 게이트 전극(430), 소스 전극(441) 및 드레인 전극(442)을 포함할 수 있다.

[0026] 구동 박막 트랜지스터(400)의 반도체층(410)은 버퍼층(300) 상에 형성될 수 있다. 반도체층(410)은 폴리 실리콘(Poly-Silicon) 반도체 또는 산화물 반도체를 포함할 수 있다. 그리고, 반도체층(410)이 산화물 반도체를 포함하는 경우, IGZO(indium- gallium-zinc-oxide), IZO(indium-zinc-oxide), IGTO(indium-gallium-tin-oxide), 및 IGO(indium-gallium-oxide)중 적어도 하나의 산화물을 포함하여 이루어질 수 있다.

[0027] 구동 박막 트랜지스터(400)의 게이트 절연층(420)은 반도체층(410) 상에 형성되어, 게이트 전극(430)을 반도체층(410)으로부터 절연시킬 수 있다. 구동 박막 트랜지스터(400)의 게이트 절연층(420)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)을 포함하여 이루어질 수 있다. 또한, 게이트 절연층(420)은 단일층으로 도시되어 있으나, 다중층으로 형성될 수 있다.

[0028] 구동 박막 트랜지스터(400)의 게이트 전극(430)은 게이트 절연층(420) 상에 형성될 수 있다. 게이트 전극(430)은 반도체층(410)의 채널 영역과 중첩되도록 게이트 절연층(420) 상에 형성될 수 있다.

[0029] 도시되지는 않았으나, 구동 박막 트랜지스터(400)의 게이트 전극(430)은 차단층(200)과 전기적으로 연결될 수 있다. 이에 따라, 도전성 물질로 이루어진 차단층(200)을 전기적으로 안정화시킬 수 있고, 차단층(200)이 반도체층(410)의 정상적인 동작을 방해하는 것을 방지할 수 있다.

[0030] 또한, 차단층(200)이 구동 박막 트랜지스터(400)의 게이트 전극(430)과 전기적으로 연결되므로, 본원발명의 구동 박막 트랜지스터(400)는 이중 게이트 전극 구조를 개시할 수 있다. 이에 따라, 구동 박막 트랜지스터(400)의 전류 특성을 개선하고, 신뢰성을 향상시킬 수 있다.

[0031] 층간 절연층(600)은 구동 박막 트랜지스터(400)의 게이트 절연층(420) 및 게이트 전극(430) 상에 형성될 수 있다. 층간 절연층(600)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 또는 폴리이미드 수지(polyimide resin) 등의 유기 절연 물질을 포함하여 이루어질 수 있다.

[0032] 층간 절연층(600)은 구동 박막 트랜지스터(400)의 게이트 절연층(420) 및 게이트 전극(430) 상에 형성될 수 있다. 층간 절연층(600)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 또는 폴리이미드 수지(polyimide resin) 등의 유기 절연 물질을 포함하여 이루어질 수 있다.

[0033] 구동 박막 트랜지스터(400)의 게이트 절연층(420) 및 층간 절연층(600)에는 구동 박막 트랜지스터(400)의 반도체층(410)을 노출시키기 위한 컨택홀이 형성될 수 있다.

[0034] 구동 박막 트랜지스터(400)의 소스 전극(441) 및 드레인 전극(442)은 서로 마주하면서 층간 절연층(600) 상에 형성될 수 있다. 또한, 구동 박막 트랜지스터(400)의 소스 전극(441) 및 드레인 전극(442) 각각은 게이트 절연층(420) 및 층간 절연층(600)에 형성된 컨택홀을 통해 반도체층(410)과 연결될 수 있다.

[0035] 패시베이션층(650)은 구동 박막 트랜지스터(400) 상에 형성되어, 구동 박막 트랜지스터(400)를 보호하는 기능을 할 수 있다. 또한, 패시베이션층(650)은 실리콘 산화막(SiOX) 또는 실리콘 질화막(SiNX) 등의 무기 절연 물질을 포함하여 이루어질 수 있으나, 이에 한정되지 않는다.

[0036] 발광 영역(EA)의 제2 영역(EA2)에는 복수의 더미 패턴(500)이 형성될 수 있다. 복수의 더미 패턴(500)은 제1 내지 제3 더미 패턴(510, 520, 530)을 포함할 수 있다.

[0037] 제1 더미 패턴(510)는 기판(100) 상에 형성될 수 있다. 제1 더미 패턴(510)은 차단층(200)과 동일한 공정을 통해 동시에 형성되어, 동일한 물질을 포함하여 이루어질 수 있다.

[0038] 버퍼층(300)은 제1 영역(EA1)에서 연장되어, 제2 영역(EA2)까지 형성될 수 있다. 버퍼층(300)은 기판(100) 상에서 제1 더미 패턴(510)을 덮도록 형성될 수 있다.

[0039] 제2 더미 패턴(520)은 버퍼층(300) 상에 형성될 수 있다. 제2 더미 패턴(520)은 구동 박막 트랜지스터(400)의 반도체층(410)과 동일한 공정을 통해 동시에 형성되어, 동일한 물질을 포함하여 이루어질 수 있다.

[0040] 게이트 절연층(420)은 제1 영역(EA1)에서 연장되어, 제2 영역(EA2)까지 형성될 수 있다. 게이트 절연층(420)은 버퍼층(300) 상에서 제2 더미 패턴(520)을 덮도록 형성될 수 있다.

[0041] 제3 더미 패턴(530)은 게이트 절연층(420) 상에 형성될 수 있다. 제3 더미 패턴(530)은 구동 박막 트랜지스터(400)의 게이트 전극(430)과 동일한 공정을 통해 동시에 형성되어, 동일한 물질을 포함하여 이루어질 수 있다.

[0042] 제1 내지 제3 더미 패턴(510, 520, 530) 각각은 전기적으로 차단되어, 신호 라인 또는 전극과 연결되지 않을 수 있다. 이에 따라, 제1 내지 제3 더미 패턴(510, 520, 530) 각각은 전기적인 신호 또는 전압을 다른 구성 요소에 전달하지 않을 수 있다. 또한, 제1 내지 제3 더미 패턴(510, 520, 530)은 모두 중첩되도록 형성될 수 있다.

[0043] 층간 절연층(600)은 제1 영역(EA1)에서 연장되어, 제2 영역(EA2)까지 형성될 수 있다. 층간 절연층(600)은 게이

트 절연층(420) 상에서 제3 더미 패턴(530)을 덮도록 형성될 수 있다.

[0044] 구동 박막 트랜지스터(400)의 드레인 전극(442)은 제1 영역(EA1)에서 연장되어, 제2 영역(EA2)까지 형성될 수 있다. 드레인 전극(442)은 층간 절연층(600) 상에서 제1 내지 제3 더미 패턴(510, 520, 530)과 중첩되도록 형성될 수 있다.

[0045] 패시베이션층(650)은 제1 영역(EA1)에서 연장되어, 제2 영역(EA2)까지 형성될 수 있다. 패시베이션층(650)은 구동 박막 트랜지스터(400)의 드레인 전극(442)을 덮도록 형성될 수 있다.

[0046] 평탄화층(700)은 패시베이션층(650) 상에 형성되어, 구동 박막 트랜지스터(400) 및 컨택홀들에 의한 단차를 보상할 수 있다. 또한, 평탄화층(700)은 제1 및 제2 발광 영역(EA1, EA2) 모두에 형성될 수 있다. 평탄화층(700)은 실리콘 산화막(SiOX) 또는 실리콘 질화막(SiNX) 등의 무기 절연 물질을 포함하여 이루어질 수 있다. 또는, 평탄화층(700)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 또는 폴리이미드 수지(polyimide resin) 등의 유기 절연 물질을 포함하여 이루어질 수 있다.

[0047] 이 때, 패시베이션층(650) 및 평탄화층(700)은 개구부(OP)를 가질 수 있다. 개구부(OP)는 제2 발광 영역(EA2)에 형성되며, 드레인 전극(442)의 상면 일부를 노출시킬 수 있다. 또한, 개구부(OP)는 복수의 더미 패턴(500)과 중첩될 수 있다.

[0048] 돌출부(800)는 개구부(OP) 내에서 드레인 전극(442) 상에 형성될 수 있다. 돌출부(800)는 패시베이션층(650) 및 평탄화층(700)과 이격되도록 형성될 수 있다. 또한, 돌출부(800)는 평탄화층(700)과 동일한 공정을 통해 동일한 물질로 이루어질 수 있다. 즉, 패시베이션층(650) 상에 평탄화층(700)을 이루는 물질을 증착한 뒤, 일부 영역을 식각하여 평탄화층(700) 및 돌출부(800)를 동시에 형성할 수 있다. 또한, 돌출부(800)의 상면과 평탄화층(700)의 상면 사이의 거리는 패시베이션층(650)의 두께일 수 있으나, 이에 한정되지 않는다.

[0049] 발광 소자(900)은 평탄화층(700) 및 돌출부(800) 상에 형성될 수 있다. 또한, 발광 소자(900)는 제1 및 제2 발광 영역(EA1, EA2) 전체에 형성될 수 있다. 또한, 발광 소자(900)는 돌출부(800)의 상면 및 측면을 모두 덮을 수 있다. 발광 소자(900)는 제1 전극(910), 발광층(920) 및 제2 전극(930)을 포함할 수 있다.

[0050] 제1 전극(910)은 평탄화층(700) 및 돌출부(800) 상에 형성되며, 표시 장치의 양극(Anode)으로 기능할 수 있다. 평탄화층(700)의 개구부(OP)에서, 제1 전극(910)은 구동 박막 트랜지스터(400)의 드레인 전극(442)과 전기적으로 연결될 수 있다. 즉, 제1 전극(910)은 평탄화층(700) 및 돌출부(800)에 의해 노출된 구동 박막 트랜지스터(400)의 드레인 전극(442)과 접할 수 있다. 또한, 제1 전극(910)은 돌출부(800)의 상면 및 측면을 모두 덮을 수 있다.

[0051] 제1 전극(910)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 전도성 물질을 포함하여 이루어질 수 있다. 또는, 제1 전극(910)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 또는 크롬(Cr) 등의 금속 물질 또는 이들의 합금을 포함하여 이루어질 수 있다. 또한, 제1 전극(910)은 단일층으로 도시되어 있으나, 다중층으로 형성될 수 있다.

[0052] 뱅크(950)는 평탄화층(700) 및 제1 전극(910) 상에 형성될 수 있다. 뱅크(950)는 발광 영역(EA) 및 비발광 영역(NEA)을 정의할 수 있다. 즉, 뱅크(950)가 형성되지 않은 영역이 발광 영역(EA)이 되며, 뱅크(950)가 형성된 영역이 비발광 영역(NEA)이 될 수 있다.

[0053] 뱅크(950)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 절연 물질을 포함하여 이루어질 수 있다. 또는, 뱅크(950)는 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물 등의 무기 절연 물질을 포함하여 이루어질 수 있다. 또한, 뱅크(950)는 외부에서 입사되는 광을 흡수하기 위해, 블랙 염료를 포함하여 형성될 수 있다.

[0054] 발광층(920)는 제1 전극(910) 상에 형성될 수 있다. 발광층(920)은 뱅크(950) 상에도 형성될 수 있다. 즉, 발광층(920)는 발광 영역(EA) 및 비발광 영역(NEA)에도 형성될 수 있다.

[0055] 발광층(920)는 정공 수송층(hole transporting layer), 유기 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 제1 전극(910)과 제2 전극(930)에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층으로 이동하게 되며, 유기 발광층에서 서

로 결합하여 발광할 수 있다.

[0056] 발광층(920)는 백색 광을 발광할 수 있다. 이를 위해서, 발광층(920)는 서로 상이한 색상의 광을 발광하는 복수의 스택(stack)을 포함하여 이루어질 수 있다.

[0057] 제2 전극(930)은 발광층(920) 상에 형성될 수 있다. 제2 전극(930)은 표시 장치의 음극(Cathode)으로 기능할 수 있다. 제2 전극(930)은 발광소자(820)와 마찬가지로 발광 영역(EA) 및 비발광 영역(NEA)에도 형성될 수 있다.

[0058] 본 발명의 제1 실시 예에 따른 표시 장치는 상부 발광 방식으로 이루어지기 때문에, 제2 전극(930)은 발광층(920)에서 발광된 광을 상부 쪽으로 투과시키기 위해서, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 도전성 물질를 포함하여 이루어질 수 있다.

[0059] 한편, 드레인 전극(442)과 발광 소자(900)가 발광 영역에서 전기적으로 연결되는 경우, 평탄화층(700)에 드레인 전극(442)을 노출시키는 컨택홀을 형성할 수 있다. 하지만, 평탄화층(700)의 두께에 의해 컨택홀의 깊이 및 컨택홀의 측면과 하면이 이루는 각도가 증가하므로, 발광 소자(900)가 안정적으로 증착되지 않는 문제가 발생할 수 있다. 즉, 컨택홀의 내부에서 발광층(920)의 두께가 감소함에 따라, 발광 효율이 저하되거나, 전류가 집중되는 현상이 발생할 수 있다. 또는, 컨택홀의 내부에서 제2 전극(930)이 단선될 수도 있다.

[0060] 하지만, 본원발명의 제1 실시 예는 개구부(OP) 하부에 복수의 더미 패턴(500)이 적층된 구조를 형성함으로써, 복수의 더미 패턴(500)이 형성되지 않은 구조와 비교하여, 드레인 전극(442)이 형성되는 층의 높이를 증가시킬 수 있다. 이에 따라, 개구부(OP)와 중첩된 영역의 평탄화층(700)의 두께를 감소시켜, 개구부(OP)에 의해 노출된 드레인 전극(442)과 발광 소자(900)의 단차를 감소시킬 수 있다.

[0061] 또한, 본원발명의 제1 실시 예는 돌출부(800)를 형성함으로써, 개구부(OP) 내부에서 드레인 전극(442)과 발광 소자(900)의 단차가 발생하는 면적을 감소시킬 수 있다. 또한, 평탄화층(700)과 돌출부(800)로 둘러싸인 영역에서, 발광층(920)에서 생성된 광이 평탄화층(700) 및 돌출부(800)의 측면에 형성된 제1 전극(910)에 의해 반사될 수 있다. 이에 따라, 표시 장치의 상부 방향으로 진행하는 광의 양이 증가하므로, 광 효율을 개선할 수 있다. 또한, 복수의 더미 패턴(500) 및 돌출부(800)는 구동 박막 트랜지스터(400) 및 평탄화층(700)을 형성하는 공정 과정에서 동시에 형성되므로, 추가적인 공정 과정을 생략할 수도 있다.

[0063] 도 2는 본 발명의 제2 실시 예에 따른 표시 장치의 단면도이다.

[0064] 도 2에 따른 표시 장치는 도 1에 따른 표시 장치와 평탄화층(700) 및 돌출부(800)의 구조를 제외하고 실질적으로 동일한 구조를 개시하고 있다. 따라서, 도 1에 도시된 표시 장치와 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 반복되는 설명은 생략한다.

[0065] 도 2를 참고하면, 평탄화층(700)은 제1 및 제2 평탄화층(710, 720)을 포함할 수 있다. 제1 평탄화층(710)은 패시베이션층(650) 상에 형성되며, 제2 평탄화층(720)은 제1 평탄화층(720) 상에 형성될 수 있다. 또한, 제2 평탄화층(720)의 하면의 면적은 제1 평탄화층(710)의 상면의 면적보다 작거나 동일할 수 있다. 또한, 제1 및 제2 평탄화층(710, 720)의 측면은 발광 소자(900)의 제1 전극(910)과 접할 수 있다.

[0066] 도 1에서 전술한 바와 같이, 패시베이션층(650), 제1 평탄화층(710) 및 제2 평탄화층(720)은 개구부(OP)를 가질 수 있다.

[0067] 돌출부(800)는 개구부(OP) 내에서 드레인 전극(442) 상에 형성될 수 있다. 돌출부(800)는 패시베이션층(650), 제1 평탄화층(710) 및 제2 평탄화층(720)과 이격되도록 형성될 수 있다. 또한, 돌출부(800)는 제2 평탄화층(720)과 동일한 공정을 통해 동일한 물질로 이루어질 수 있다. 즉, 제1 평탄화층(710) 상에 제2 평탄화층(720)을 이루는 물질을 증착한 뒤, 일부 영역을 식각하여 제2 평탄화층(720) 및 돌출부(800)를 동시에 형성할 수 있다.

[0068] 즉, 제1 실시 예와 비교하여, 제2 실시 예는 평탄화층(700)을 제1 및 제2 평탄화층(710, 720)으로 이루어진 이중층으로 형성하는 것을 개시하고 있다. 이 때, 제2 평탄화층(720)의 두께를 조절함으로써, 돌출부(800)의 두께를 함께 조절할 수 있다. 이에 따라, 제1 실시 예와 비교하여, 제2 실시 예는 돌출부(800)의 두께를 감소시킬 수 있으므로, 개구부(OP) 내에서 발광 소자(900)와 드레인 전극(442) 사이의 단차를 더욱 감소시킬 수 있다.

[0070] 도 3은 본 발명의 제3 실시 예에 따른 표시 장치의 단면도이다.

[0071] 도 3에 따른 표시 장치는 도 2에 따른 표시 장치와 돌출부(800)의 구조를 제외하고 실질적으로 동일한 구조를 개시하고 있다. 따라서, 도 2에 도시된 표시 장치와 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 반복되는 설명은 생략한다.

[0072] 도 2에서 전술한 바와 같이, 평탄화층(700)은 제1 및 제2 평탄화층(710, 720)을 포함할 수 있다. 또한, 패시베이션층(650), 제1 평탄화층(710) 및 제2 평탄화층(720)은 개구부(OP)를 가질 수 있다.

[0073] 돌출부(800)는 개구부(OP) 내에서 드레인 전극(442) 상에 형성될 수 있다. 돌출부(800)는 패시베이션층(650), 제1 평탄화층(710) 및 제2 평탄화층(720)과 이격되도록 형성될 수 있다. 이 때, 돌출부(800)는 제1 및 제2 돌출부(810, 820)를 포함할 수 있다. 제1 돌출부(810)는 드레인 전극(442) 상에 형성되고, 제2 돌출부(820)는 제1 돌출부(810) 상에 형성될 수 있다. 제1 및 제2 돌출부(810, 820) 각각은 제1 및 제2 평탄화층(710, 720)과 동일한 공정을 통해 동일한 물질로 이루어질 수 있다. 또한, 제2 돌출부(820)의 하면의 면적은 제1 돌출부(810)의 상면의 면적보다 작거나 동일할 수 있다.

[0074] 즉, 제2 실시 예와 비교하여, 제3 실시 예는 돌출부(800)를 제1 및 제2 돌출부(810, 820)으로 이루어진 이중층으로 형성하는 것을 개시하고 있다. 이 때, 제1 및 제2 평탄화층(710, 720)의 각각 두께를 조절함으로써, 제1 및 제2 돌출부(810, 820) 각각의 두께를 조절할 수 있다. 또한, 제1 및 제2 평탄화층(710, 720)의 각각의 식각 정도를 조절함으로써, 제1 및 제2 돌출부(810, 820) 각각의 측면의 각도를 함께 조절할 수 있다. 이에 따라, 제2 실시 예와 비교하여, 제3 실시 예는 제1 및 제2 돌출부(810, 820) 각각의 두께 및 측면의 각도를 조절할 수 있으므로, 개구부(OP) 내에서, 발광층(920)에서 생성된 광이 제1 전극(910)에 의해 반사되어 표시 장치의 상부 방향으로 진행할 가능성이 높아질 수 있다. 따라서, 광 효율을 더욱 개선할 수 있다.

[0076] 도 4는 본 발명의 제4 실시 예에 따른 표시 장치의 단면도이다.

[0077] 도 4에 따른 표시 장치는 도 3에 따른 표시 장치와 평탄화층(700) 및 돌출부(800)의 구조를 제외하고 실질적으로 동일한 구조를 개시하고 있다. 따라서, 도 3에 도시된 표시 장치와 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 반복되는 설명은 생략한다.

[0078] 도 3에서 전술한 바와 같이, 평탄화층(700)은 제1 및 제2 평탄화층(710, 720)을 포함할 수 있다. 이 때, 제2 평탄화층(720)은 제1 평탄화층(710)의 상면 및 측면을 모두 덮도록 형성될 수 있다. 즉, 제1 평탄화층(710)의 측면은 노출되지 않으며, 발광 소자(900)의 제1 전극(910)은 제2 평탄화층(720)과 접할 수 있다. 또한, 패시베이션층(650), 제1 평탄화층(710) 및 제2 평탄화층(720)은 개구부(OP)를 가질 수 있다.

[0079] 도 3에서 전술한 바와 같이, 돌출부(800)는 제1 및 제2 돌출부(810, 820)를 포함할 수 있다. 이 때, 제2 돌출부(820)는 제1 돌출부(810)의 상면 및 측면을 모두 덮도록 형성될 수 있다. 즉, 제1 돌출부(810)의 측면은 노출되지 않으며, 발광 소자(900)의 제1 전극(910)은 제2 돌출부(820)와 접할 수 있다.

[0080] 즉, 제3 실시 예와 비교하여, 제4 실시 예는 제2 평탄화층(720) 및 제2 돌출부(820) 각각이 제1 평탄화층(710) 및 제1 돌출부(710)를 덮도록 형성하는 것을 개시하고 있다. 이 때, 제2 평탄화층(720) 및 제2 돌출부(820) 각각은 드레인 전극(442)의 일부 영역을 덮도록 형성될 수 있다. 이에 따라, 제3 실시 예에 비하여, 제4 실시 예는 드레인 전극(442)의 노출된 영역을 감소시키므로, 개구부(OP) 내부에서 드레인 전극(442)과 발광 소자(900)의 단차가 발생하는 면적을 더욱 감소시킬 수 있다.

[0082] 도 5는 본 발명의 제5 실시 예에 따른 표시 장치의 단면도이다.

[0083] 도 5에 따른 표시 장치는 도 4에 따른 표시 장치와 평탄화층(700) 및 돌출부(800)의 구조를 제외하고 실질적으로 동일한 구조를 개시하고 있다. 따라서, 도 5에 도시된 표시 장치와 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 반복되는 설명은 생략한다.

[0084] 도 4에서 전술한 바와 같이, 평탄화층(700)은 제1 및 제2 평탄화층(710, 720)을 포함할 수 있다. 이 때, 패시베이션층(650) 및 제1 평탄화층(710)은 개구부(OP)를 가질 수 있다.

[0085] 돌출부(800)는 개구부(OP) 내에서 드레인 전극(442) 상에 형성될 수 있다. 돌출부(800)는 제1 평탄화층(710)과

동일한 공정을 통해 동일한 물질로 형성될 수 있다.

[0086] 도 5를 참고하면, 개구부(OP) 내에서, 클래드층(850)이 추가적으로 형성될 수 있다. 클래드층(850)은 개구부(OP) 내에서 패시베이션층(650), 제1 평탄화층(710) 및 돌출부(800)에 의해 노출된 드레인 전극(442)의 상면 및 돌출부(800)의 상면과 측면 전체를 덮도록 형성될 수 있다. 또한, 클래드층(850)은 제1 평탄화층(710) 및 패시베이션층(650) 상에도 형성될 수 있다.

[0087] 클래드층(850)은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 또는 크롬(Cr) 등의 금속 물질 또는 이들의 합금을 포함하여 이루어질 수 있다. 또한, 클래드층(850)은 단일층으로 도시되어 있으나, 다중층으로 형성될 수도 있다.

[0088] 제2 평탄화층(720)은 제1 평탄화층(710), 돌출부(800) 및 클래드층(850) 상에 형성될 수 있다. 또한, 제2 평탄화층(720)은 개구부(OP)를 채우도록 형성될 수 있다. 이 때, 제2 평탄화층(720)은 돌출부(800) 상에 형성된 클래드층(850)의 일부 영역을 노출시킬 수 있다. 도 5에서는, 클래드층(850)에서, 돌출부(800)의 상면과 중첩된 영역이 노출되었으나, 이에 한정되지 않는다.

[0089] 발광 소자(900)의 제1 전극(910)은 제2 평탄화층(720) 상에 형성될 수 있다. 또한, 제1 전극(910)은 제2 평탄화층(720)에 의해 노출된 클래드층(850)과 접하도록 형성될 수 있다. 전도성 물질로 이루어진 클래드층(850)은 개구부(OP)에 의해 드레인 전극(442)과 전기적으로 연결된 상태이므로, 제1 전극(910)은 드레인 전극(442)과도 전기적으로 연결될 수 있다.

[0090] 즉, 제4 실시 예와 비교하여, 제5 실시 예는 돌출부(800) 상에 클래드층(850)을 형성하는 것을 개시하고 있다. 이에 따라, 개구부(OP)의 내부를 제2 평탄화층(720)을 통해 채울 수 있으므로, 개구부(OP)에 의한 단차를 최소화할 수 있다. 또한, 클래드층(850)을 통해, 제1 전극(910)과 드레인 전극(442)을 안정적으로 연결시킬 수 있다.

[0092] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0094] 100: 기판 200: 차단층

300: 버퍼층 400: 구동 박막 트랜지스터

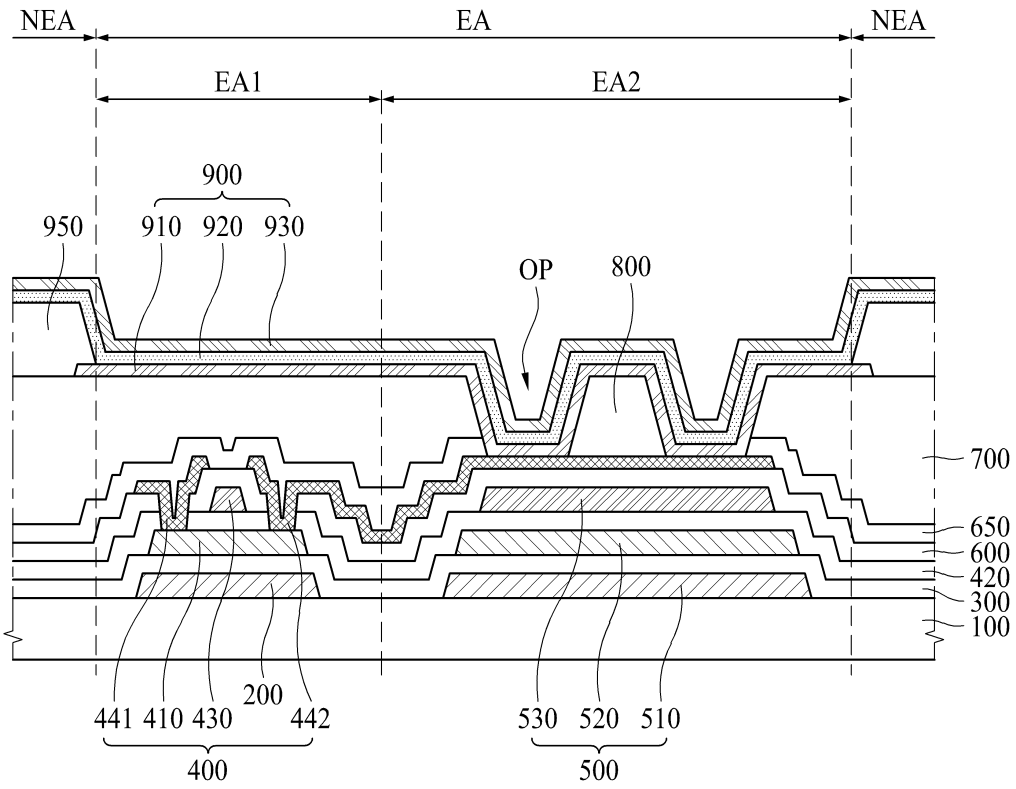
500: 더미 패턴 600: 층간 절연층

650: 패시베이션층 700: 평탄화층

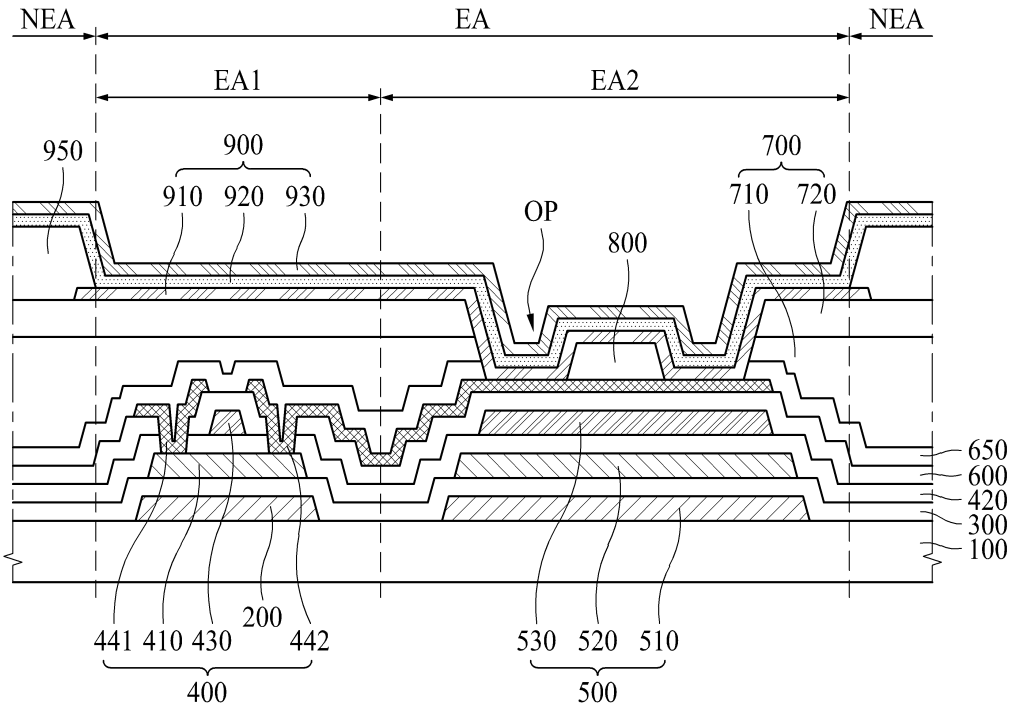
800: 돌출부 900: 발광 소자

도면

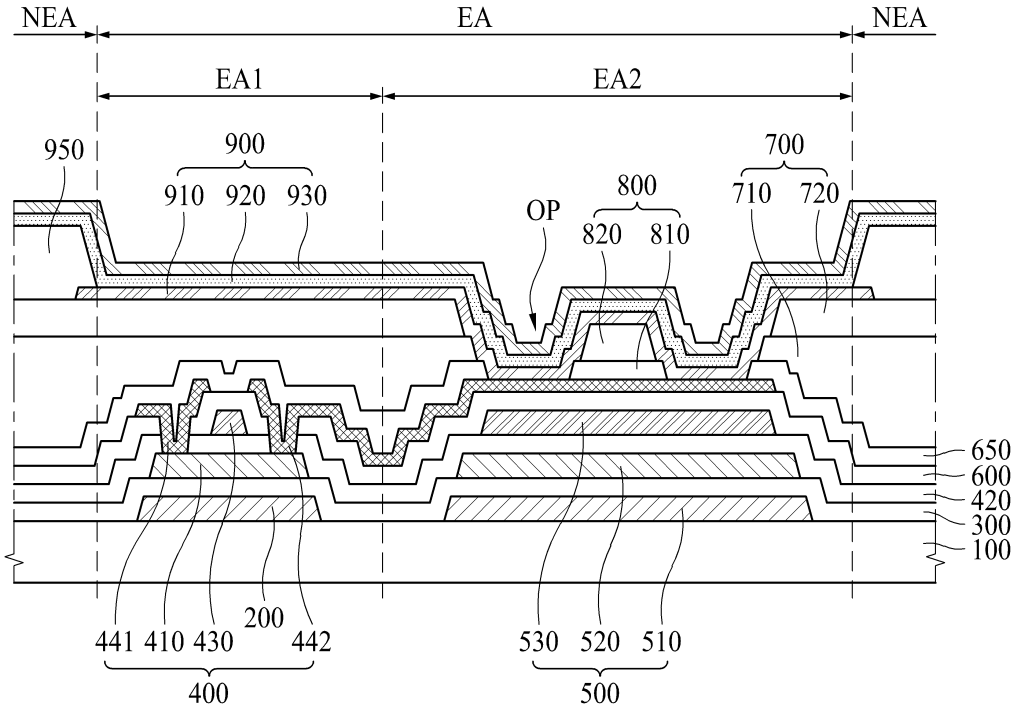
도면1


NEA
EA
NEA
EA1
EA2
900
950
910
920
930
OP
800
700
650
600
420
300
100
200
441
410
430
442
530
520
510
400
500

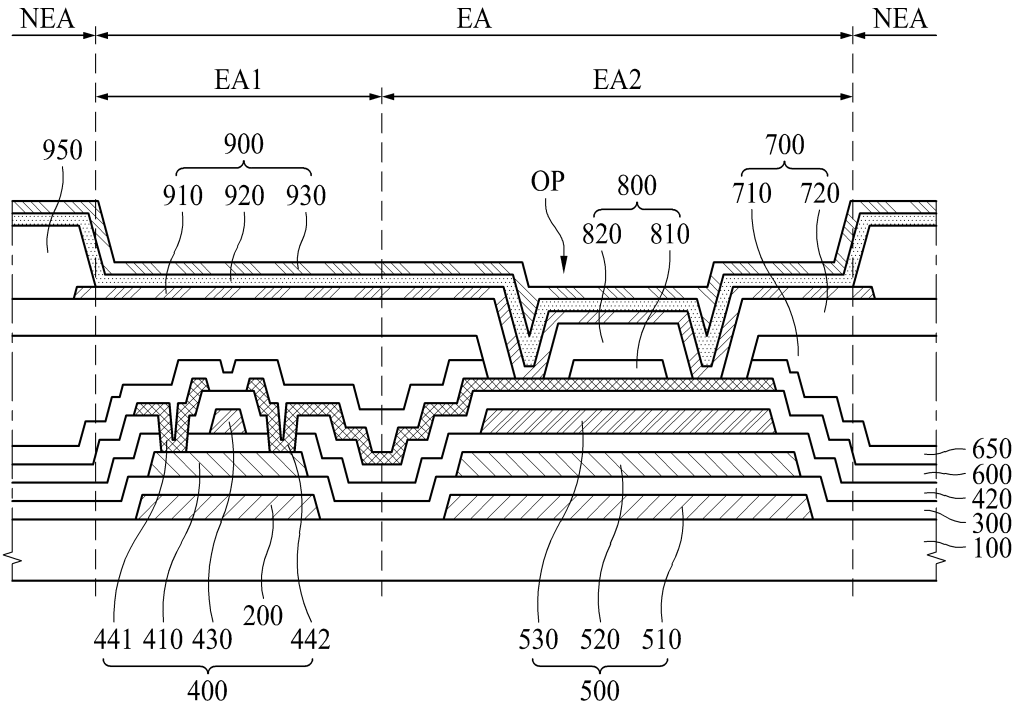
도면2


NEA
EA
NEA
EA1
EA2
950
900
910
920
930
OP
800
700
710
720
650
600
420
300
100
200
441
410
430
442
530
520
510
400
500

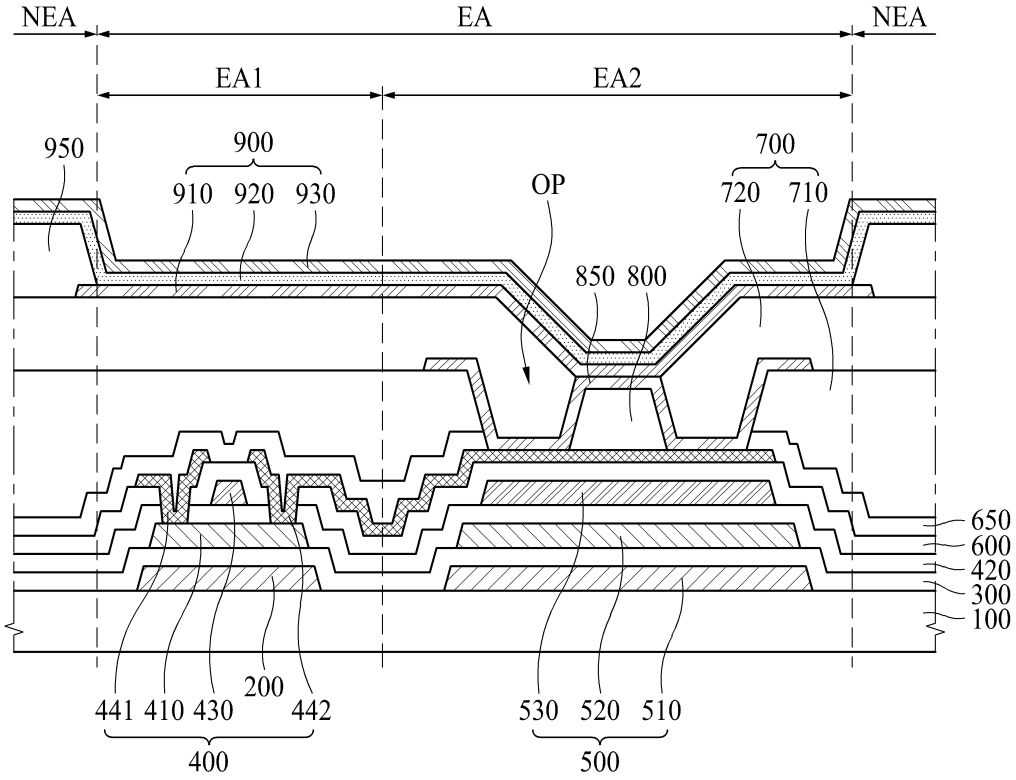
도면3


NEA
EA
NEA
EA1
EA2
950
900
910 920 930
OP
800
820 810
700
710 720
650
600
420
300
100
200
441 410 430 442
530 520 510
400
500

도면4


NEA
EA
NEA
EA1
EA2
950
900
910 920 930
OP
800
820 810
700
710 720
650
600
420
300
100
200
441 410 430 442
530 520 510
400
500

도면5


NEA
EA
NEA
EA1
EA2
950
900
910 920 930
OP
700
720 710
850 800
650
600
420
300
100
200
441 410 430 442
530 520 510
400
500