



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월02일
(11) 등록번호 10-2539472
(24) 등록일자 2023년05월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H01L 27/148 (2006.01)
(52) CPC특허분류
H01L 27/14623 (2013.01)
H01L 27/1462 (2013.01)
(21) 출원번호 10-2016-0088587
(22) 출원일자 2016년07월13일
심사청구일자 2021년06월22일
(65) 공개번호 10-2018-0007493
(43) 공개일자 2018년01월23일
(56) 선행기술조사문헌
JP2013175582 A*
KR1020130134162 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이정호
서울특별시 관악구 신사로 124-8, 498-13 27/1 (신림동)
노현필
경기도 성남시 분당구 수내로 181, 302동 1105호 (분당동, 셋별마을우방아파트)
(74) 대리인
박영우

전체 청구항 수 : 총 9 항

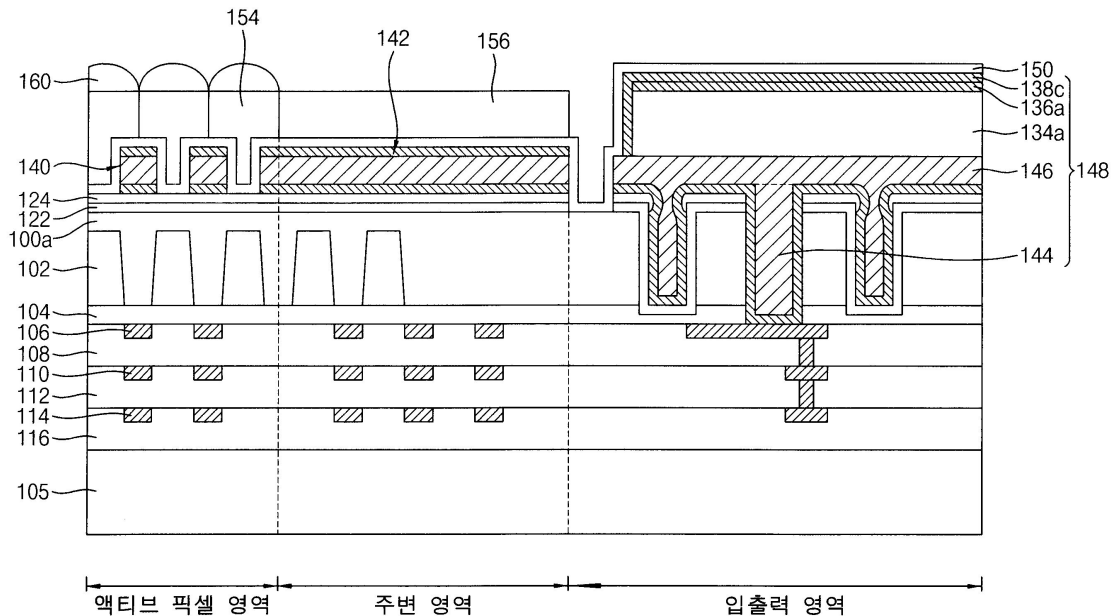
심사관 : 이현석

(54) 발명의 명칭 이미지 센서 제조 방법

(57) 요약

이미지 센서의 제조 방법으로, 액티브 픽셀 영역 및 주변 영역의 반도체 층 내에 각각 포토다이오드들을 형성한다. 상기 반도체 층의 제1 면 상에 층간 절연막들 및 배선 구조물들을 포함하는 구조물을 형성한다. 입출력 영역의 반도체 층 및 층간 절연막의 일부 식각하여, 상기 반도체 층을 관통하고 상기 배선 구조물을 노출하는 비아홀(뒷면에 계속)

대표도



을 형성한다. 상기 반도체 층의 제1 면과 마주하는 제2 면 및 상기 비아홀 상에, 제1 금속막 및 제2 금속막을 순차적으로 형성한다. 상기 제2 금속막을 패터닝하여, 상기 액티브 픽셀 영역 및 주변 영역에 제1 금속막이 노출되도록 하고, 상기 입출력 영역의 반도체 층 상에 제2 패드 패턴을 형성한다. 상기 제1 금속막 및 제2 패드 패턴 상에 반사 방지막을 형성한다. 그리고, 상기 반사 방지막 및 제1 금속막을 패터닝하여, 상기 주변 영역 상에는 제1 금속막 및 반사 방지막을 포함하는 차광 구조물을 형성하고, 상기 입출력 영역 상에는 비아 콘택, 제1 및 제2 패드 패턴 및 반사 방지 패턴을 포함하는 패드 구조물을 형성한다. 상기 이미지 센서는 상기 입출력 영역으로부터 반사되는 광에 의한 이미지 불량이 감소될 수 있다.

(52) CPC특허분류

H01L 27/1463 (2013.01)

H01L 27/14636 (2013.01)

H01L 27/1464 (2013.01)

H01L 27/14685 (2013.01)

H01L 27/14687 (2013.01)

H01L 27/14818 (2013.01)

명세서

청구범위

청구항 1

액티브 픽셀 영역 및 주변 영역의 반도체 층 내에 각각 포토다이오드들을 형성하고;

상기 액티브 픽셀 영역, 주변 영역 및 입출력 영역의 반도체 층의 제1 면 상에 층간 절연막들 및 배선 구조물들을 포함하는 적층 구조물을 형성하고;

상기 입출력 영역의 반도체 층 및 층간 절연막의 일부 식각하여, 상기 반도체 층을 관통하고 상기 배선 구조물을 노출하는 비아홀을 형성하고;

상기 반도체 층의 제1 면과 마주하는 제2 면 및 상기 비아홀 상에, 제1 금속막 및 제2 금속막을 순차적으로 형성하고;

상기 제2 금속막을 패터닝하여, 상기 액티브 픽셀 영역 및 주변 영역에는 상기 제1 금속막이 노출되도록 상기 제2 금속막을 제거하고, 상기 입출력 영역의 반도체 층 상에 제2 금속 패턴을 형성하고;

상기 제1 금속막 및 제2 금속 패턴 상에 반사 방지막을 형성하고; 그리고,

상기 반사 방지막 및 제1 금속막을 패터닝하여, 상기 주변 영역 상에는 상기 주변 영역 상을 덮고 상기 제1 금속막 및 반사 방지막이 적층된 차광 구조물을 형성하고, 상기 입출력 영역 상에는 비아 콘택, 제1 금속 패턴, 제2 금속 패턴 및 반사 방지 패턴이 적층된 패드 구조물을 형성하고, 상기 액티브 픽셀 영역에는 제1 금속 패턴 및 반사 방지 패턴이 적층되고 단위 픽셀들 사이에 배치되는 그리드 구조물을 형성하는 것을 포함하는 이미지 센서의 제조 방법.

청구항 2

제1항에 있어서, 상기 반사 방지막은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물로부터 선택된 적어도 하나의 물질을 포함하는 이미지 센서의 제조 방법.

청구항 3

제1항에 있어서, 상기 제1 금속막은 텅스텐을 포함하고, 상기 제2 금속막은 알루미늄을 포함하는 이미지 센서의 제조 방법.

청구항 4

제1항에 있어서, 상기 비아홀을 형성하기 이 전에,

상기 비아홀과 이격되면서 상기 비아홀을 둘러싸도록 상기 반도체 층의 일부분을 식각하여 반도체 층을 관통하고 층간 절연막을 노출하는 분리용 트렌치를 형성하고; 및

상기 반도체 층의 제2 면 및 상기 분리용 트렌치 표면 상에 절연막을 형성하는 것을 더 포함하는 이미지 센서의 제조 방법.

청구항 5

제1항에 있어서, 상기 제1 금속막을 형성하기 이 전에, 상기 반도체 층의 제2 면 및 상기 비아홀 상에 제1 베리어 금속막을 형성하는 것을 더 포함하는 이미지 센서의 제조 방법.

청구항 6

제1항에 있어서, 상기 제2 금속막을 형성한 다음, 상기 제2 금속막 상에 제2 베리어 금속막을 형성하는 것을 더 포함하는 이미지 센서의 제조 방법.

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 패드 구조물에 포함되는 제2 금속 패턴은 상기 비아홀과 오버랩되면서 상기 비아홀의 상부보다 더 넓은 수평 면적을 갖도록 형성되는 이미지 센서의 제조 방법.

청구항 9

액티브 픽셀 영역 및 주변 영역의 반도체 층 내에 각각 포토다이오드들을 형성하고;

상기 액티브 픽셀 영역, 주변 영역 및 입출력 영역의 반도체 층의 제1 면 상에 층간 절연막들 및 배선 구조물들을 포함하는 적층 구조물을 형성하고;

상기 입출력 영역의 반도체 층을 관통하여 상기 층간 절연막이 노출되도록 상기 반도체 층의 일부분을 식각하여 분리용 트렌치를 형성하고;

상기 반도체 층의 제1 면과 마주하는 제2 면 및 상기 분리용 트렌치 표면 상에 절연막을 형성하고;

상기 입출력 영역의 반도체 층 및 층간 절연막의 일부 식각하여, 상기 반도체 층을 관통하고 상기 배선 구조물을 노출하는 비아홀을 형성하고;

상기 절연막 및 상기 비아홀 상에, 제1 금속막 및 제2 금속막을 순차적으로 형성하고;

상기 제2 금속막을 패터닝하여, 상기 액티브 픽셀 영역 및 주변 영역에는 상기 제1 금속막이 노출되도록 상기 제2 금속막을 제거하고, 상기 입출력 영역의 반도체 층 상에 제2 금속 패턴을 형성하고;

상기 제1 금속막 및 제2 금속 패턴 상에 반사 방지막을 형성하고; 그리고,

상기 반사 방지막 및 제1 금속막을 패터닝하여, 상기 주변 영역 상에는 상기 주변 영역 상을 덮고 상기 제1 금속막 및 반사 방지막이 적층된 차광 구조물을 형성하고, 상기 입출력 영역 상에는 비아 콘택, 제1 금속 패턴, 제2 금속 패턴 및 반사 방지 패턴이 적층된 패드 구조물을 형성하고, 상기 액티브 픽셀 영역에는 제1 금속 패턴 및 반사 방지 패턴이 적층되고 단위 픽셀들 사이에 배치되는 그리드 구조물을 형성하는 이미지 센서의 제조 방법.

청구항 10

제9항에 있어서, 상기 분리용 트렌치 상부 평면이 고리 형상을 갖고, 상기 비아홀은 상기 고리 형상의 분리용 트렌치 내측에 배치되는 반도체 층을 관통하도록 형성되는 이미지 센서의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 이미지 센서의 제조 방법에 관한 것이다. 보다 상세하게, 본 발명은 후면 조사형 이미지 센서의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 각 단위 픽셀들이 향상된 수광 효율 및 광 감도(sensitivity)를 가지도록 기관의 후면을 통하여 입사광이 조사되어 광전 변환되는 후면 조사형(backside illumination) 이미지 센서가 제공된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 과제는 우수한 특성을 갖는 이미지 센서의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0004] 상기 본 발명의 일 과제를 달성하기 위한 본 발명의 일 실시예에 따른 이미지 센서의 제조 방법으로, 액티브 픽셀 영역 및 주변 영역의 반도체 층 내에 각각 포토다이오드들을 형성한다. 상기 액티브 픽셀 영역, 주변 영역 및 입출력 영역의 반도체 층의 제1 면 상에 층간 절연막들 및 배선 구조물들을 포함하는 적층 구조물을 형성한다. 상기 입출력 영역의 반도체 층 및 층간 절연막의 일부 식각하여, 상기 반도체 층을 관통하고 상기 배선 구조물을 노출하는 비아홀을 형성한다. 상기 반도체 층의 제1 면과 마주하는 제2 면 및 상기 비아홀 상에, 제1 금속막 및 제2 금속막을 순차적으로 형성한다. 상기 제2 금속막을 패터닝하여, 상기 액티브 픽셀 영역 및 주변 영역에 제1 금속막이 노출되도록 하고, 상기 입출력 영역의 반도체 층 상에는 제2 패드 패턴을 형성한다. 상기 제1 금속막 및 제2 패드 패턴 상에 반사 방지막을 형성한다. 그리고, 상기 반사 방지막 및 제1 금속막을 패터닝하여, 상기 주변 영역 상에는 상기 제1 금속막 및 반사 방지막을 포함하는 차광 구조물을 형성하고, 상기 입출력 영역 상에는 비아 콘택, 제1 및 제2 패드 패턴 및 반사 방지 패턴을 포함하는 패드 구조물을 형성한다.

[0005] 상기 본 발명의 일 과제를 달성하기 위한 본 발명의 일 실시예에 따른 이미지 센서의 제조 방법으로, 액티브 픽셀 영역 및 주변 영역의 반도체 층 내에 각각 포토다이오드들을 형성한다. 상기 액티브 픽셀 영역, 주변 영역 및 입출력 영역의 반도체 층의 제1 면 상에 층간 절연막들 및 배선 구조물들을 포함하는 적층 구조물을 형성한다. 상기 입출력 영역의 반도체 층을 관통하여 상기 층간 절연막이 노출되도록 상기 반도체 층의 일부분을 식각하여 분리용 트렌치를 형성한다. 상기 반도체 층의 제1 면과 마주하는 제2 면 및 상기 분리용 트렌치 표면 상에 절연막을 형성한다. 상기 입출력 영역의 반도체 층 및 층간 절연막의 일부 식각하여, 상기 반도체 층을 관통하고 상기 배선 구조물을 노출하는 비아홀을 형성한다. 상기 절연막 및 상기 비아홀 상에, 제1 금속막 및 제2 금속막을 순차적으로 형성한다. 상기 제2 금속막을 패터닝하여, 상기 액티브 픽셀 영역 및 주변 영역에 제1 금속막이 노출되도록 하고, 상기 입출력 영역의 반도체 층 상에는 제2 패드 패턴을 형성한다. 상기 제1 금속막 및 제2 패드 패턴 상에 반사 방지막을 형성한다. 그리고, 상기 반사 방지막 및 제1 금속막을 패터닝하여, 상기 주변 영역 상에는 상기 제1 금속막 및 반사 방지막을 포함하는 차광 구조물을 형성하고, 상기 입출력 영역 상에는 비아 콘택, 제1 및 제2 패드 패턴 및 반사 방지 패턴을 포함하는 패드 구조물을 형성한다.

발명의 효과

[0006] 예시적인 실시예들에 따르면, 상기 주변 영역의 기판의 제2 면 상에는 차광막 및 반사 방지막이 형성될 수 있다. 따라서, 상기 주변 영역으로 입사되는 광은 상기 차광막에 의해 차광되고, 상기 반사 방지막에 의해 상기 광의 반사가 억제될 수 있다. 따라서, 상기 주변 영역으로 입사된 광이 난반사되어 상기 액티브 픽셀 영역으로 반사된 광이 입사되는 것이 감소될 수 있다. 그러므로, 상기 이미지 센서에서 상기 반사광에 의한 이미지 불량 이 감소될 수 있다.

도면의 간단한 설명

[0007] 도 1은 후면 조사형 이미지 센서에서 각 영역의 배치를 나타내는 평면도이다.
 도 2 내지 도 19는 예시적인 실시예들에 따른 후면 조사형 이미지 센서의 제조방법을 나타내는 단면도들 및 평면도들이다.
 도 20은 본 발명의 일 실시예에 따른 후면 조사형 이미지 센서를 나타내는 단면도이다.
 도 21 내지 도 24는 예시적인 실시예들에 따른 후면 조사형 이미지 센서의 제조방법을 나타내는 단면도들이다.
 도 25 및 도 26은 예시적인 실시예들에 따른 후면 조사형 이미지 센서의 제조방법을 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0008] 도 1은 후면 조사형 이미지 센서에서 각 영역의 배치를 나타내는 평면도이다.
 [0009] 도 1을 참조하면, 후면 조사형 이미지 센서는 액티브 픽셀 영역(10), 주변 영역(12) 및 입출력(I/O) 영역(14)을 포함할 수 있다.
 [0010] 상기 액티브 픽셀 영역(10)에는 단위 픽셀들이 매트릭스 형태로 배치될 수 있다. 상기 주변 영역(12)은 상기 액티브 픽셀 영역(10)의 가장자리를 둘러싸면서 배치될 수 있다. 예시적인 실시예에서, 상기 주변 영역(12)은 상기 액티브 픽셀 영역(10)과 상기 입출력 영역(14) 사이에 배치될 수 있다. 상기 주변 영역(12)에는 제어 회로들이 포함될 수 있다. 상기 주변 영역(12)은 예를들어, 옵티컬 블랙(optical black) 영역, 가드 링(guard ring) 영역 등을 포함할 수 있다. 상기 옵티컬 블랙 영역에는 포토다이오드가 포함되고, 상기 가드 링 영역에는 포토

다이오드가 포함되지 않을 수 있다. 상기 입출력 영역(14)에는 상기 액티브 픽셀 영역(10) 및 주변 영역(12)으로 신호를 입/출력하는 패드 구조물들이 형성될 수 있다. 예시적인 실시예에서, 상기 입출력 영역(14)에는 비아 콘택, 상기 비아 콘택과 이격되면서 상기 비아 콘택을 둘러싸는 분리용 트렌치 및 상기 비아 콘택과 연결되는 패드 전극이 포함될 수 있다.

- [0011] 도 2 내지 도 19는 예시적인 실시예들에 따른 후면 조사형 이미지 센서의 제조방법을 나타내는 단면도들 및 평면도들이다.
- [0012] 도 2 내지 4, 7, 9 내지 12, 14, 16, 18 및 19는 도 1의 I-I' 부위를 절단한 단면도일 수 있다. 도 5, 8, 13, 15 및 17은 액티브 픽셀 영역, 주변 영역 및 입출력 영역의 일부를 나타내는 평면도일 수 있다.
- [0013] 도 2를 참조하면, 기판(101)의 표면 부위에 포토다이오드들(102)을 형성하고, 상기 기판(101)의 표면 상에 배선 구조물들(106, 110, 114) 및 층간 절연막들(104, 108, 112, 116)을 형성한다.
- [0014] 예시적인 실시예들에 있어서, 상기 기판(101)은 반도체 기판(100) 및 상기 반도체 기판(100) 상에 형성된 반도체 층(100a)을 포함할 수 있다. 상기 반도체 층(100a)은 상기 반도체 기판(100) 표면 상에 에피택셜 성장 공정을 수행하여 형성할 수 있다. 예시적인 실시예들에 있어서, 상기 반도체 기판(100)은 P형 불순물이 도핑될 수 있다. 상기 반도체 층(100a)은 상기 반도체 기판(100)보다 저농도를 갖는 P형 불순물이 도핑될 수 있다. 상기 반도체 층(100a)은 수 내지 수십 μm 의 두께를 가질 수 있다. 일부 실시예에서, 상기 기판(101)은 반도체 기판(100)만을 포함할 수도 있다.
- [0015] 상기 기판(101)은 액티브 픽셀 영역, 주변 영역 및 입출력 영역이 포함될 수 있다.
- [0016] 상기 반도체 층(100a) 상에 소자 분리 패턴들을 형성하여 액티브 영역 및 소자 분리 영역을 구분한다. 예를 들면, STI(Shallow Trench Isolation)공정을 이용하여 상기 반도체 층(100a)에 트렌치들을 형성하고, 상기 트렌치들 내에 절연 물질을 채워넣어 소자 분리 패턴들(도시안됨)을 형성할 수 있다.
- [0017] 상기 반도체 층(100a) 상에 절연막 및 게이트 도전막을 형성하고 이를 패턴링하여 게이트 전극(도시안됨)을 형성한다. 상기 게이트 전극 양측으로 불순물 영역을 형성함으로써 트랜지스터들(도시안됨)을 형성한다. 상기 액티브 픽셀 영역에는 각 단위 픽셀들을 구성하는 상기 전송 트랜지스터, 리셋 트랜지스터, 변환 트랜지스터 및 선택 트랜지스터 등이 형성될 수 있다. 또한, 상기 주변 영역에도 제어 회로를 구성하는 트랜지스터들이 형성될 수 있다.
- [0018] 상기 반도체 층(100a)에 불순물을 도핑하여 상기 포토다이오드들(102)을 형성할 수 있다. 예시적인 실시예에서, 상기 액티브 픽셀 영역의 반도체 층(100a)에 상기 포토다이오드들을 형성할 수 있다. 또한, 상기 주변 영역 내의 일부 영역, 예를들어, 옵티컬 블랙 영역의 반도체 층(100a)에 상기 포토다이오드(102)를 형성할 수 있다. 예시적인 실시예에서, 도시되지는 않았으나, 상기 각 픽셀들에 형성되는 포토다이오드들(102) 사이에 상기 소자 분리 패턴들이 형성될 수도 있다.
- [0019] 다음에, 상기 반도체 층의 상부를 덮는 제1 층간 절연막(104)을 형성한다. 이 후, 상기 제1 층간 절연막(104) 상에 배선 구조물들(106, 110, 114) 및 층간 절연막들(108, 112, 116)을 형성한다. 일 예로, 도시된 것과 같이, 제1 내지 제3 배선 구조물들(106, 110, 114) 및 제2 내지 제4 층간 절연막들(108, 112, 116)이 형성될 수 있다.
- [0020] 상기 배선 구조물(106, 110, 114)은 콘택 및 도전 패턴들을 포함하며, 상기 층간 절연막(108, 112, 116)을 사이에 두고 다층으로 배치될 수 있다. 상기 배선 구조물(106, 110, 114)은 금속을 포함할 수 있으며, 예를들어, 구리(Cu), 백금(Pt), 텅스텐(W), 알루미늄(Al), 이들 물질을 포함하는 합금막 등을 포함할 수 있다. 또한, 상기 금속 물질들의 확산을 억제하기 위한 베리어 금속막을 더 포함할 수 있다.
- [0021] 상기 배선 구조물(106, 110, 114)에 포함되는 도전 패턴 및 콘택은 층수 및 구조의 제한을 두지 않으며, 소자 설계에 따라 다양한 구조로 형성될 수 있다. 또한, 상기 배선 구조물들(106, 110, 114)은 광 투과에 영향을 주지 않으므로, 상기 포토다이오드의 위치와 상관없이 배치될 수 있다. 이 때, 최상부에 형성되는 층간 절연막(116)은 평탄한 상부면을 가질 수 있다.
- [0022] 도 3을 참조하면, 상기 최상부 층간 절연막(116)의 표면 상에 지지 기판(105)을 접착한다.
- [0023] 이하의 각 단면도에서는 상기 지지 기판(105)이 아래에 위치하도록 도시하였다. 상기 지지 기판(105)은 후속 공정들을 수행할 때, 상기 반도체 층(100a), 배선 구조물들(106, 110, 114) 및 층간 절연막들(104, 108, 112,

116)을 지지하는 역할을 한다.

- [0024] 상기 기판(101)의 저면을 그라인딩하여 상기 반도체 기판(100)을 대부분 제거한다. 예시적인 실시예에서, 상기 그라인딩 공정은 상기 반도체 층(100a)이 노출되도록 수행할 수 있다. 따라서, 상기 반도체 층(100a) 표면과 인접하여 포토다이오드들(102)이 배치될 수 있다.
- [0025] 도시하지는 않았지만, 상기 그라인딩 공정에서 상기 반도체 기판(100)을 일부 남기도록 할 수 있다. 이와는 다른 예로, 상기 그라인딩 공정에서, 상기 반도체 층(100a)도 일부 두께만큼 제거할 수 있다.
- [0026] 이하의 설명에서는, 상기 반도체 층(100a)에서 외부로부터 광이 입사되는 면을 제2 면이라 하고, 상기 제2 면과 마주하는 면, 즉, 상기 제2 면의 반대면은 제1 면이라 한다. 따라서, 상기 반도체 층(100a)의 제1 면 상에 상기 배선 구조물들(106, 110, 114) 및 층간 절연막들(104, 108, 112, 116)이 형성되고, 상기 반도체 층(100a)의 제2 면이 외부에 노출될 수 있다.
- [0027] 도 4 및 5를 참조하면, 상기 입출력 영역의 반도체 층(100a)의 일부를 식각하여, 상기 반도체 층(100a)을 관통하는 분리용 트렌치(120)를 형성한다. 상기 식각 공정은 이방성 식각 공정을 포함할 수 있다.
- [0028] 구체적으로, 상기 반도체 층(100a)의 제2 면 상에 분리용 트렌치(120)를 형성하기 위한 제1 식각 마스크 패턴(도시안됨)을 형성한다. 상기 제1 식각 마스크 패턴을 마스크로 사용하여 상기 반도체 층(100a)을 식각한다. 따라서, 상기 반도체 층(100a)을 관통하여 상기 제1 층간 절연막(104)을 노출하는 상기 분리용 트렌치(120)가 형성될 수 있다.
- [0029] 상기 분리용 트렌치(120)는 비아 콘택과 반도체 층(100a)이 서로 전기적으로 분리되도록 하기 위하여 제공될 수 있다. 즉, 도 5에 도시된 것과 같이, 상기 분리용 트렌치(120)의 상부 평면은 비아 콘택이 형성되는 부위를 둘러싸는 고리(ring) 형상을 가질 수 있다. 따라서, 상기 반도체 층(100a)은 상기 분리용 트렌치(120)의 내측에 위치하는 제1 부위(A)와 상기 분리용 트렌치(120) 외측에 위치하는 제2 부위(B)로 분리될 수 있다. 상기 제2 부위(B)는 상기 제1 부위(A)와 이격되어 하나의 고립된 패턴의 형상을 가질 수 있다. 후속 공정을 통해, 상기 제1 부위(A)의 반도체 층(100a)에 상기 비아 콘택이 형성될 수 있다.
- [0030] 상기 분리용 트렌치(120)에는 상기 배선 구조물들(106, 110, 114)이 노출되지 않을 수 있다.
- [0031] 예시적인 실시예에서, 상기 분리용 트렌치(120)를 형성할 때, 상기 제1 층간 절연막(104)의 표면이 일부 식각되도록 오버에치 할 수 있다. 따라서, 상기 분리용 트렌치(120)의 저면은 상기 반도체 층(100a)의 제1 면보다 더 낮게 위치할 수 있다.
- [0032] 도 6을 참조하면, 상기 분리용 트렌치(120)의 표면 및 상기 반도체 층(100a)의 제1 면의 표면 상에 컨포멀하게 제1 절연막(122)을 형성할 수 있다. 상기 제1 절연막(122) 상에 제2 절연막(124)을 형성할 수 있다.
- [0033] 예시적인 실시예에 있어서, 상기 제1 절연막(122)은 금속 산화물을 포함할 수 있다. 상기 금속 산화물은 하프늄 산화물, 탄탈륨 산화물 등을 포함할 수 있다. 상기 분리용 트렌치(120) 표면 상에 상기 금속 산화물을 형성함으로써, 패드 구조물 부위에서 생성되는 열 전자를 제거 또는 상쇄시킬 수 있다. 예시적인 실시예에서, 상기 제1 절연막(122)은 원자층 적층 공정 또는 화학 기상 증착 공정을 통해 형성할 수 있다.
- [0034] 상기 제2 절연막(124)은 실리콘 산화물, 실리콘 질화물 등을 포함할 수 있다. 이들은 단독 또는 2 이상을 적층하여 형성할 수 있다.
- [0035] 예시적인 실시예에서, 상기 제2 절연막(124)은 스텝 커버리지 특성이 양호하지 않은 증착법을 통해 형성하여, 상기 반도체 층(100a)의 제1 면의 표면 상에 형성된 제1 절연막(122) 상에만 형성되고 상기 분리용 트렌치(120)의 표면에는 거의 형성되지 않도록 할 수 있다. 예를들어, 상기 제2 절연막(124)은 저압 화학 기상 증착 공정을 통해 형성할 수 있다.
- [0036] 일부 실시예에서, 상기 제2 절연막(124)은 상기 제1 절연막(122) 상에 컨포멀하게 형성할 수도 있다. 일부 실시예에서, 상기 제2 절연막(124)을 형성하는 공정을 생략할 수 있다.
- [0037] 예시적인 실시예에서, 도시된 것과 같이, 상기 제1 및 제2 절연막들(122, 124)은 상기 분리용 트렌치(120) 내부를 완전하게 채우지 않도록 형성될 수 있다. 일부 실시예에서, 상기 제1 및 제2 절연막들(122, 124)은 상기 분리용 트렌치(120) 내부를 완전하게 채우도록 형성할 수도 있다.
- [0038] 도 7 및 8을 참조하면, 상기 반도체 층(100a)의 제1 부위(A)의 일부를 식각하여, 상기 반도체 층(100a)을 관통

하여 상기 배선 구조물(106)을 노출하는 비아홀(126)을 형성한다.

- [0039] 구체적으로, 상기 제2 절연막(124) 상에 상기 비아홀(126)을 형성하기 위한 제2 식각 마스크 패턴(도시안됨)을 형성한다. 상기 제2 식각 마스크 패턴을 이용하여 상기 제2 절연막(124), 제1 절연막(122), 반도체 층(100a), 제1 층간 절연막(104)의 일부를 차례로 식각하여 배선 구조물(106)을 노출하는 비아홀(126)을 형성한다. 상기 비아홀(126)은 상기 분리용 트렌치(120)와 이격되게 배치될 수 있다.
- [0040] 도 9를 참조하면, 상기 제2 절연막(124)과, 상기 분리용 트렌치(120) 상의 제1 절연막(122), 및 상기 비아홀(126) 내부 표면 상에 컨포멀하게 제1 베리어 금속막(130)을 형성한다. 상기 제1 베리어 금속막(130)은 원자층 적층법 또는 화학 기상 증착법을 통해 형성할 수 있다. 상기 제1 베리어 금속막(130)은 오믹막으로도 제공될 수 있다.
- [0041] 상기 제1 베리어 금속막(130)은 예를들어 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물로 형성할 수 있다. 이들은 단독 또는 적층하여 형성될 수 있다.
- [0042] 예시적인 실시예에서, 도시하지는 않았지만, 상기 분리용 트렌치(120) 상에 형성되는 상기 제1 베리어 금속막(130)은 상기 분리용 트렌치(120)의 상부에서 서로 접촉될 수도 있다. 이 경우, 상기 제1 베리어 금속막(130)에 의해 상기 분리용 트렌치(120) 내에 에어갭이 생성될 수 있다.
- [0043] 도 10을 참조하면, 상기 제1 베리어 금속막(130) 상에 제1 금속막(132)을 형성한다. 상기 제1 금속막(132) 상에 제2 금속막(134)을 형성한다.
- [0044] 예시적인 실시예에서, 상기 제1 금속막(132)은 상기 분리용 트렌치(120) 및 비아홀(126) 내부를 완전하게 채울 수 있다. 일부 실시예에서, 상기 제1 금속막(132)은 상기 분리용 트렌치(120)를 채우면서, 상기 비아홀(126)의 표면 상에 컨포멀하게 형성될 수도 있다.
- [0045] 일부 예시적인 실시예에서, 이 전의 공정에서, 상기 분리용 트렌치(120) 내부가 제1 및 제2 절연막(122, 124)으로 완전히 채워지거나 또는 상기 제1 베리어 금속막(130)에 의해 상기 분리용 트렌치(120) 내에 에어갭이 생성된 경우, 상기 제1 금속막(132)은 상기 비아홀(126)의 내부를 완전히 채우거나 또는 부분적으로 채우도록 형성될 수 있다.
- [0046] 상기 액티브 픽셀 영역에 형성되는 상기 제1 금속막(132)은 후속 공정을 통해 상기 각 단위 픽셀들을 구획하기 위한 그리드 구조물로 제공될 수 있다. 상기 주변 영역에 형성되는 제1 금속막(132)은 상기 주변 영역으로 입사되는 광을 차광하기 위한 차광막을 제공될 수 있다. 또한, 상기 입출력 영역 형성되는 제1 금속막(132)은 후속 공정을 통해 패드 패턴과 연결되기 위한 비아 콘택으로 제공될 수 있다.
- [0047] 따라서, 상기 제1 금속막(132)은 광의 차광을 및 반사율이 높은 금속 물질을 사용하는 것이 바람직하다. 예를들어, 상기 제1 금속막(132)은 텅스텐을 포함할 수 있다.
- [0048] 상기 제2 금속막(134)은 후속 공정을 통해 패드 패턴으로 제공될 수 있다. 그러므로, 상기 제2 금속막(134)은 상기 제1 금속막(132)보다 저저항의 물질을 포함할 수 있다. 또한, 상기 제2 금속막(134)은 상기 제1 금속막(132)에 대해 식각 선택성을 갖는 물질로 형성될 수 있다. 예를들어, 상기 제2 금속막(132)은 알루미늄을 포함할 수 있다.
- [0049] 예시적인 실시예에서, 도시하지는 않았지만, 상기 제1 및 제2 금속막들(132, 134) 사이에 중간 베리어 금속막을 더 형성할 수 있다. 상기 중간 베리어 금속막은 예를들어 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물로 형성할 수 있다. 이들은 단독 또는 적층하여 형성될 수 있다.
- [0050] 도 11을 참조하면, 상기 제2 금속막(134) 상에 제2 베리어 금속막(136)을 형성한다. 상기 제2 베리어 금속막(136)은 예를들어 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물로 형성할 수 있다. 이들은 단독 또는 적층하여 형성될 수 있다.
- [0051] 상기 공정을 수행하면, 상기 액티브 픽셀 영역 및 주변 영역의 제2 절연막(124) 상에는 상기 제1 베리어 금속막(130), 제1 금속막(132), 제2 금속막(134) 및 제2 베리어 금속막(136)이 순차적으로 적층될 수 있다. 상기 제1 베리어 금속막(130), 제1 금속막(132), 제2 금속막(134) 및 제2 베리어 금속막(136)은 상기 액티브 픽셀 영역 및 상기 주변 영역의 전체를 덮을 수 있다.
- [0052] 도 12 및 도 13을 참조하면, 상기 제2 베리어 금속막(136) 상에 제3 마스크 패턴(도시안됨)을 형성한다. 상기 제3 마스크 패턴을 식각 마스크로 사용하여 상기 제2 베리어 금속막(136) 및 제2 금속막(134)을 식각하여, 입출

력 영역 상에 제2 베리어 금속 패턴(136a) 및 제2 패드 패턴(134a)을 형성한다.

- [0053] 상기 식각 공정에서, 상기 제1 금속막(132)은 식각되지 않을 수 있다. 따라서, 상기 제2 패드 패턴(134a)이 형성되어 있지 않은 부위에는 제1 금속막(132)의 표면이 노출될 수 있다. 즉, 상기 액티브 픽셀 영역 및 주변 영역의 전체 및 상기 입출력 영역의 일부의 상에는 상기 제1 금속막(132)의 표면이 노출될 수 있다.
- [0054] 예시적인 실시예에서, 상기 제1 및 제2 금속막들(132, 134) 사이에 중간 베리어 금속막이 형성된 경우, 상기 식각 공정에서 상기 제2 금속막(134) 아래에 위치하는 상기 중간 베리어 금속막도 함께 제거될 수 있다.
- [0055] 예시적인 실시예에서, 상기 제2 패드 패턴(134a)은 상기 비아홀(126)의 상부와 오버랩되면서 상기 비아홀(126)보다 더 넓은 상부 면적을 갖도록 형성될 수 있다. 상기 제2 패드 패턴(134a)은 상기 비아홀(126) 내에 형성되는 비아 콘택과 전기적으로 연결될 수 있다.
- [0056] 도 14 및 도 15를 참조하면, 상기 제1 금속막(132) 표면, 제2 패드 패턴(134a)의 측벽 및 제2 베리어 금속 패턴(136a) 상에 콘포멀하게 반사 방지막(138)을 형성한다.
- [0057] 상기 반사 방지막(138)은 상기 주변 영역으로 입사되는 광이 제1 금속막(132)으로부터 반사되어 액티브 픽셀 영역으로 재입사되지 않도록 하기 위하여 제공될 수 있다. 따라서, 상기 반사 방지막(138)은 상기 주변 영역 및 액티브 픽셀 영역 상의 제1 금속막(132)을 덮을 수 있다.
- [0058] 상기 반사 방지막(138)은 예를들어 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물로 형성할 수 있다. 이들은 단독 또는 적층하여 형성될 수 있다. 상기 반사 방지막(138)은 원자층 적층법 또는 화학 기상 증착법을 통해 형성할 수 있다.
- [0059] 상기 입출력 영역의 제2 패드 패턴(134a) 상에는 제2 베리어 금속 패턴(136a) 및 반사 방지막(138)이 적층될 수 있다. 또한, 상기 주변 영역 및 액티브 픽셀 영역의 상기 제1 금속막(132)의 표면 상에는 상기 반사 방지막(138)이 형성될 수 있다. 따라서, 상기 입출력 영역의 상기 제2 패드 패턴(134a) 상에 형성되는 막의 두께는 상기 주변 영역 및 액티브 픽셀 영역의 상기 제1 금속막(132) 표면 상에 형성되는 막의 두께보다 더 두꺼울 수 있다.
- [0060] 도 16 및 도 17을 참조하면, 상기 반사 방지막(138) 상에 제4 마스크 패턴(도시안됨)을 형성한다. 상기 제4 마스크 패턴을 이용하여 상기 반사 방지막(138), 제1 금속막(132) 및 제1 베리어 금속막(130)을 순차적으로 이방성 식각한다. 따라서, 상기 액티브 픽셀 영역에 그리드 구조물(140)을 형성하고, 상기 주변 영역에 차광 구조물(142)을 형성하고, 상기 입출력 영역에 패드 구조물(148)을 형성한다.
- [0061] 상기 액티브 픽셀 영역에서, 상기 제4 마스크 패턴은 각 단위 픽셀에 포함되는 포토다이오드(102) 상부를 노출하면서 각 단위 픽셀들 사이를 구획하도록 형성할 수 있다. 따라서, 상기 제4 마스크 패턴은 그리드 형상을 가질 수 있다.
- [0062] 상기 제4 마스크 패턴은 상기 주변 영역의 전체를 덮는 형상을 가질 수 있다. 따라서, 상기 식각 공정에서 상기 주변 영역에 형성되는 제1 베리어 금속막(130), 제1 금속막(132) 및 반사 방지막(138)은 식각되지 않을 수 있다.
- [0063] 상기 입출력 영역에서, 상기 제4 마스크 패턴은 상기 제2 패드 패턴(134a) 상부를 완전하게 덮도록 형성될 수 있다. 예시적인 실시예에서, 상기 입출력 영역 상의 제4 마스크 패턴은 상기 제2 패드 패턴(134a)을 덮으면서 상기 제2 패드 패턴(134a)의 상부 면적과 동일한 상부 면적을 갖거나 상기 제2 패드 패턴(134a)의 상부 면적보다 더 큰 상부 면적을 가질 수 있다.
- [0064] 따라서, 상기 그리드 구조물(140)은 제1 베리어 금속 패턴(130a), 제1 금속 패턴(132a) 및 제1 반사 방지 패턴(138a)이 적층된 구조를 가질 수 있다. 상기 그리드 구조물(140)이 형성됨으로써, 이웃하는 단위 픽셀들 간에 발생하는 혼색을 감소시킬 수 있다.
- [0065] 상기 차광 구조물(142)은 상기 제1 베리어 금속막(130b), 제1 금속막(132b) 및 제1 반사 방지막(138b)이 적층될 수 있다. 상기 제1 금속막(132b)은 차광막으로 제공될 수 있다. 상기 차광 구조물(142)에 상기 제1 반사 방지막(138b)이 포함됨으로써, 상기 주변 영역으로 입사되는 광이 난반사되어 액티브 픽셀 영역으로 재입사하는 것을 감소시킬 수 있다. 따라서, 상기 난 반사에 의한 이미지 센서의 불량을 감소시킬 수 있다.
- [0066] 상기 패드 구조물(148)은 비아 콘택(144), 제1 패드 패턴(146), 제2 패드 패턴(134a), 제2 베리어 금속 패턴(136a) 및 제2 반사 방지 패턴(138c)을 포함할 수 있다.

- [0067] 예시적인 실시예에서, 상기 비아 콘택(144)은 상기 비아홀(126) 내부에 형성될 수 있다. 또한, 제1 패드 패턴(146)은 상기 비아 콘택(144) 및 상기 제2 패드 패턴(134a) 사이에 형성될 수 있다. 상기 비아 콘택(144) 및 제1 패드 패턴(146)은 하나의 몸체로 형성될 수 있다. 상기 비아 콘택(144) 및 제1 패드 패턴(146)은 상기 제1 베리어 금속막 및 제1 금속막과 동일한 물질을 포함할 수 있다.
- [0068] 상기 비아 콘택(144)은 상기 반도체 층(100a)을 관통하여 상기 반도체 층(100a)의 제1면에 형성된 배선 구조물(106)과 전기적으로 연결될 수 있다. 또한, 상기 비아 콘택(144)은 상기 분리용 트렌치(120) 표면에 형성된 제1 절연막(122) 및/또는 제2 절연막(124)에 의해 상기 반도체 층(100a)의 제2 부위(B)와 전기적으로 절연될 수 있다.
- [0069] 도 18을 참조하면, 상기 그리드 구조물(140), 차광 구조물(142), 패드 구조물(148) 및 제2 절연막(124)의 표면을 덮는 보호막(150)을 형성한다. 상기 보호막(150)은 실리콘 질화물을 포함할 수 있다.
- [0070] 도 19를 참조하면, 상기 보호막(150) 상에 상기 액티브 픽셀 영역의 각 단위 픽셀들과 대향하여 컬러 필터들(154)을 형성한다. 또한, 상기 주변 영역의 상기 보호막(150) 상에는 컬러 필터막(156)이 형성될 수 있다. 상기 액티브 픽셀 영역의 상기 컬러 필터(154) 상에 각각 마이크로 렌즈들(160)을 형성한다.
- [0071] 예시적인 실시예에서, 상기 컬러 필터들(154)은 적색광을 투과시키는 제1 컬러 필터, 녹색광을 투과시키는 제2 컬러 필터 및 청색광을 투과시키는 제3 컬러 필터를 포함할 수 있다.
- [0072] 상기 컬러 필터들(154)은 각각의 안료가 함유된 포토레지스트를 코팅하고 패터닝함으로써 형성할 수 있다. 즉, 제1 컬러 필터는 제1 컬러 필터막을 코팅하고 패터닝함으로써 형성하고, 제2 컬러 필터는 제2 컬러 필터막을 코팅하고 패터닝함으로써 형성하고, 제3 컬러 필터는 제3 컬러 필터막을 코팅하고 패터닝함으로써 형성할 수 있다. 상기 제1 내지 제3 컬러 필터막에 사용되는 포토레지스트는 네거티브 포토레지스트일 수 있다.
- [0073] 상기 주변 영역에 형성되는 상기 컬러 필터막(156)은 상기 적색, 녹색 및 청색광들을 투과시키는 제1 내지 제3 컬러 필터막 중 적어도 하나의 막일 수 있다.
- [0074] 도 19에 도시된 것과 같이, 상기 컬러 필터막(156)은 하나의 컬러 필터막으로 형성될 수 있다. 예시적인 실시예에서, 상기 컬러 필터막(156)은 상기 청색광을 투과시키는 제3 컬러 필터막으로 형성될 수 있다. 이 경우, 상기 액티브 픽셀 영역의 제3 컬러 필터막을 패터닝하여 제3 컬러 필터를 형성할 때, 상기 주변 영역의 제3 컬러 필터막을 함께 노광함으로써 상기 주변 영역의 제3 컬러 필터막이 제거되지 않도록 할 수 있다. 이와는 다른 예로, 상기 컬러 필터막(156)은 상기 제1 또는 제2 컬러 필터막 중 어느 하나로 형성될 수도 있다.
- [0075] 상기 주변 영역의 보호막(150) 상에 상기 컬러 필터막(156)이 구비됨으로써, 특정 파장의 광만이 상기 주변 영역으로 투과될 수 있다. 따라서, 상기 주변 영역으로 투과되는 광이 감소될 수 있고, 상기 제1 반사 방지막(138b)에 의해 상기 투과된 광이 난반사되어 상기 액티브 픽셀 영역에 재입사되는 것을 감소할 수 있다.
- [0076] 일부 실시예에서, 상기 주변 영역 상에 형성되는 상기 컬러 필터막은 상기 적색, 녹색 및 청색광들을 투과시키는 제1 내지 제3 컬러 필터막들이 2층 이상 적층되는 구조를 가질 수 있다. 상기 주변 영역 상에 형성되는 제1 내지 제3 컬러 필터막의 적층 순서는 한정되지 않으며, 다양하게 변경될 수 있다.
- [0077] 설명한 것과 같이, 상기 이미지 센서는 상기 주변 영역으로 입사되는 광으로부터 반사된 광에 의해 이미지 불량 이 발생하는 것이 감소될 수 있다.
- [0078] 도 20은 본 발명의 일 실시예에 따른 후면 조사형 이미지 센서를 나타내는 단면도이다.
- [0079] 도 20에 도시된 이미지 센서는 주변 영역의 컬러 필터막이 적층되는 구조를 가질 수 있다. 도 20에 도시된 이미지 센서는 컬러 필터막을 형성하는 공정을 제외하고는 도 1 내지 도 19를 참조로 설명한 것과 동일할 수 있다.
- [0080] 도 20을 참조하면, 상기 주변 영역의 상기 보호막(150) 상에 제1 내지 제3 컬러 필터막(156a, 156b, 156c)이 적층될 수 있다. 즉, 상기 액티브 픽셀 영역의 상기 제1 내지 제3 컬러 필터막을 패터닝하여 제1 내지 제3 컬러 필터를 각각 형성할 때, 상기 주변 영역의 제1 내지 제3 컬러 필터막을 함께 노광함으로써 상기 주변 영역의 제1 내지 제3 컬러 필터막(156a, 156b, 156c)이 제거되지 않도록 할 수 있다.
- [0081] 이와같이, 상기 주변 영역의 상기 보호막(150) 상에 상기 적색, 녹색 및 청색광들을 투과시키는 제1 내지 제3 컬러 필터막들(156a, 156b, 156c)을 적층하면, 가시광선 영역의 광들은 상기 제1 내지 제3 컬러 필터막들(156a, 156b, 156c)을 투과할 수 없다. 따라서, 상기 주변 영역에는 가시광선 영역의 광들 이외의 광들(예를들어, 적외선)만이 투과되므로, 투과되는 광이 감소될 수 있다. 또한, 상기 주변 영역으로 입사되는 광에 의해 상기 이미

지 센서에서 발생하는 불량률이 감소될 수 있다.

- [0082] 도 21 내지 도 24는 예시적인 실시예들에 따른 후면 조사형 이미지 센서의 제조방법을 나타내는 단면도들이다.
- [0083] 먼저, 도 2 내지 도 10을 참조로 설명한 공정을 동일하게 수행하여, 도 10에 도시된 구조를 형성한다.
- [0084] 도 21을 참조하면, 상기 제2 금속막(134) 상에 제3 마스크 패턴(도시안됨)을 형성한다. 상기 제3 마스크 패턴을 식각 마스크로 사용하여 상기 제2 금속막(134)을 식각하여, 상기 입출력 영역 상에 제2 패드 패턴(134a)을 형성한다. 즉, 상기 제2 금속막(134) 상에 제2 베리어 금속막을 형성하지 않을 수 있다.
- [0085] 예시적인 실시예에서, 상기 제2 패드 패턴(134a)은 상기 비아홀(126)의 상부와 오버랩되면서 상기 비아홀(126)의 상부 면적보다 더 넓은 상부면적을 갖도록 형성될 수 있다. 상기 제2 패드 패턴(134a)은 상기 비아홀(126) 내에 형성되는 비아 콘택과 전기적으로 연결될 수 있다.
- [0086] 도 22를 참조하면, 상기 제1 금속막(132) 표면, 제2 패드 패턴(134a)의 표면 상에 컨포멀하게 반사 방지막(138)을 형성한다.
- [0087] 상기 반사 방지막(138)은 예를들어 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물로 형성할 수 있다. 이들은 단독 또는 적층하여 형성될 수 있다.
- [0088] 상기 제2 패드 패턴(134a)의 표면 상에 형성되는 반사 방지막(138)은 베리어 금속막으로 제공될 수 있다.
- [0089] 이와같이, 상기 입출력 영역의 제2 패드 패턴(134a) 및 상기 주변 영역 및 액티브 픽셀 영역의 상기 제1 금속막(132) 표면 상에는 상기 반사 방지막(138)이 형성될 수 있다. 따라서, 상기 입출력 영역의 상기 제2 패드 패턴(134a) 상에 형성되는 막의 두께와 상기 주변 영역 및 액티브 픽셀 영역의 상기 제1 금속막(132) 표면 상에 형성되는 막의 두께는 실질적으로 동일할 수 있다.
- [0090] 도 23을 참조하면, 상기 반사 방지막(138) 상에 제4 마스크 패턴을 형성한다. 상기 제4 마스크 패턴을 이용하여 상기 반사 방지막(138), 제1 금속막(132) 및 제1 베리어 금속막(130)을 순차적으로 이방성 식각한다. 따라서, 상기 액티브 픽셀 영역에 그리드 구조물(140)을 형성하고, 상기 주변 영역에 차광 구조물(142)을 형성하고, 상기 입출력 영역에 패드 구조물(148a)을 형성한다. 상기 공정은 도 16 및 17을 참조로 설명한 것과 실질적으로 동일할 수 있다.
- [0091] 상기 그리드 구조물(140)은 제1 베리어 금속 패턴(130a), 제1 금속 패턴(132a) 및 제1 반사 방지 패턴(138a)이 적층된 구조를 가질 수 있다.
- [0092] 상기 차광 구조물(142)은 상기 제1 베리어 금속막(130b), 제1 금속막(132b) 및 제1 반사 방지막(138b)이 적층될 수 있다.
- [0093] 상기 패드 구조물(148a)은 비아 콘택(144), 제1 패드 패턴(146), 제2 패드 패턴(134a) 및 제2 반사 방지 패턴(138c)을 포함할 수 있다.
- [0094] 이 후, 도 18 및 19를 참조로 설명한 공정을 수행한다. 따라서, 도 24에 도시된 것과 같은 이미지 센서를 제조할 수 있다.
- [0095] 일부 실시예에서, 상기 그리드 구조물(140), 차광 구조물(142) 및 패드 구조물(148a)을 형성한 다음, 도 18 및 도 20을 참조로 설명한 공정을 수행할 수 있다. 따라서, 상기 주변 영역에 다층으로 적층되는 컬러 필터막을 포함하는 이미지 센서를 제조할 수 있다.
- [0096] 도 25 및 도 26은 예시적인 실시예들에 따른 후면 조사형 이미지 센서의 제조방법을 나타내는 단면도들이다.
- [0097] 먼저, 도 2 내지 도 15를 참조로 설명한 공정을 동일하게 수행하여, 도 14 및 도 15에 도시된 구조를 형성한다.
- [0098] 도 25를 참조하면, 상기 반사 방지막(138) 상에 제4 마스크 패턴을 형성한다. 상기 제4 마스크 패턴을 이용하여 상기 반사 방지막(138), 제1 금속막(132) 및 제1 베리어 금속막(130)을 순차적으로 이방성 식각한다. 따라서, 상기 주변 영역에 차광 구조물(142)을 형성하고, 상기 입출력 영역에 패드 구조물(148)을 형성한다.
- [0099] 상기 제4 마스크 패턴은 상기 액티브 픽셀 영역이 완전히 노출되도록 형성될 수 있다. 따라서, 상기 액티브 픽셀 영역 상의 상기 제1 베리어 금속막(130), 제1 금속막(132) 및 반사 방지막(138)은 제거될 수 있다. 상기 액티브 픽셀 영역 상에는 상기 제2 절연막(124)이 노출될 수 있다.
- [0100] 상기 제4 마스크 패턴은 상기 주변 영역의 전체를 덮는 형상을 가질 수 있다. 따라서, 상기 식각 공정에서 상기

주변 영역에 형성되는 제1 베리어 금속막(130), 제1 금속막(132) 및 반사 방지막(138)은 식각되지 않을 수 있다.

- [0101] 상기 입 출력 영역에서, 상기 제4 마스크 패턴은 상기 제2 패드 패턴(134a)상부를 덮도록 형성될 수 있다.
- [0102] 따라서, 상기 차광 구조물(142)은 상기 제1 베리어 금속막(130b), 제1 금속막(132b) 및 제1 반사 방지막(138b)이 적층될 수 있다. 상기 패드 구조물은 비아 콘택(144), 제1 패드 패턴(146), 제2 패드 패턴(134a), 제2 베리어 금속 패턴(136a) 및 제2 반사 방지 패턴(138c)을 포함할 수 있다.
- [0103] 이 후, 도 18 및 19를 참조로 설명한 공정을 수행한다. 따라서, 도 26에 도시된 것과 같은 이미지 센서를 제조할 수 있다.
- [0104] 일부 실시예에서, 상기 차광 구조물(142) 및 패드 구조물(148)을 형성한 다음, 도 18 및 도 20을 참조로 설명한 공정을 수행할 수 있다. 따라서, 상기 주변 영역의 보호막(150) 상에 다층으로 적층되는 컬러 필터막을 포함하는 이미지 센서를 제조할 수 있다.
- [0105] 설명한 것과 같이, 본 실시예에 따른 후면 조사형 이미지 센서는 상기 주변 영역에 형성되는 차광 구조물에는 차광막으로 제공되는 금속막 및 상기 금속막 상에 형성되는 반사 방지막이 포함될 수 있다. 따라서, 상기 주변 영역으로 입사되는 광이 난반사하는 것을 방지할 수 있다. 따라서, 상기 주변 영역으로부터 난반사된 광이 상기 액티브 픽셀 영역으로 입사되어 발생하는 불량이 감소될 수 있다.

산업상 이용가능성

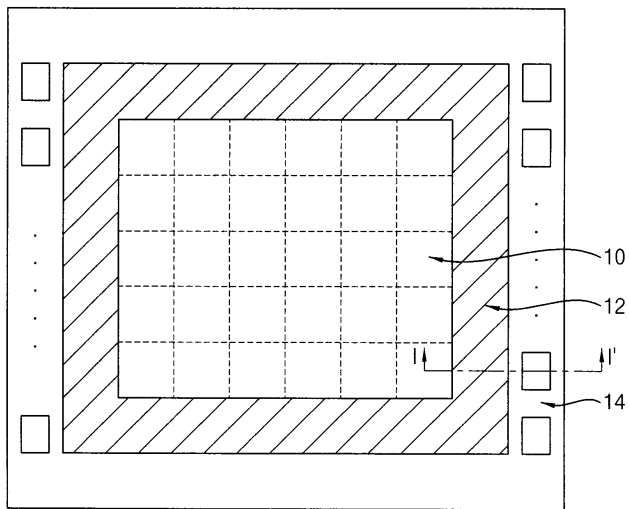
- [0106] 본 발명에 따른 후면 조사형 이미지 센서는 컴퓨터, 디지털 카메라, 3차원카메라, 휴대폰, PDA, 스캐너, 차량용 네비게이션, 비디오 폰, 감시 시스템, 자동 포커스 시스템, 추적 시스템, 동작 감지 시스템, 이미지 안정화 시스템 등에 적용될 수 있다.
- [0107] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

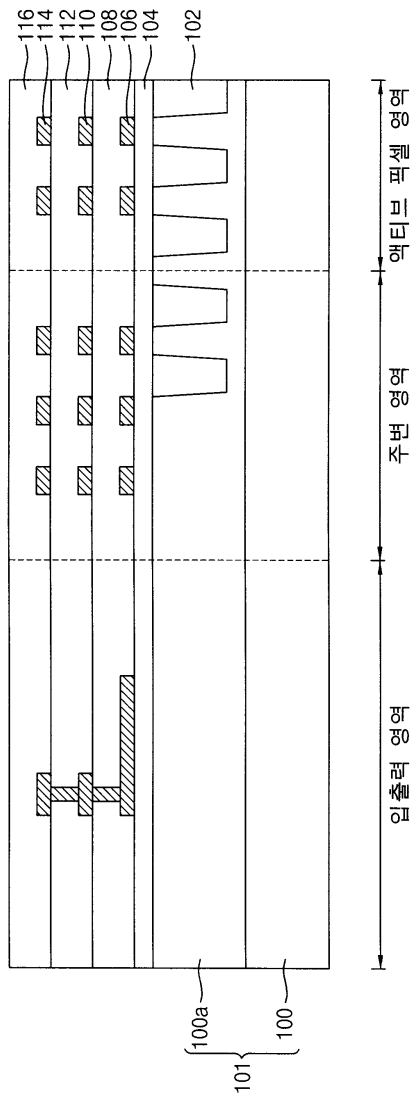
- [0108] 100 : 반도체 기판 100a : 반도체 층
- 102 : 포토다이오드
- 106, 110, 114 : 배선 구조물
- 104, 108, 112, 116 : 층간 절연막
- 120 : 분리용 트렌치 112 : 제1 절연막
- 124 : 제2 절연막 132 : 제1 금속막
- 134 : 제2 금속막 136 : 제2 베리어 금속막
- 134a : 제2 패드 패턴 136a : 제2 베리어 금속 패턴
- 138 : 반사 방지막 138b : 제1 반사 방지막
- 140 : 그리드 구조물 142 : 차광 구조물
- 148, 148a : 패드 구조물 130a : 제1 베리어 금속 패턴
- 132a : 제1 금속 패턴 138a : 제1 반사 방지 패턴
- 138c : 제2 반사 방지 패턴 144 : 비아 콘택
- 146 : 제1 패드 패턴

도면

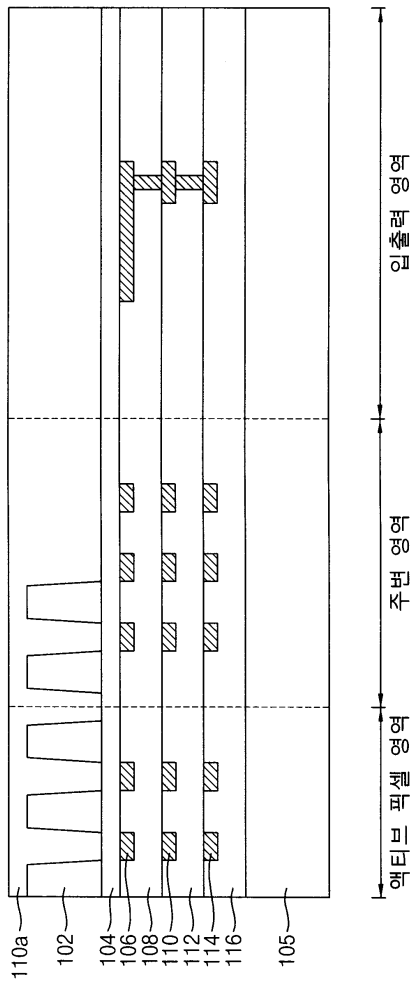
도면1



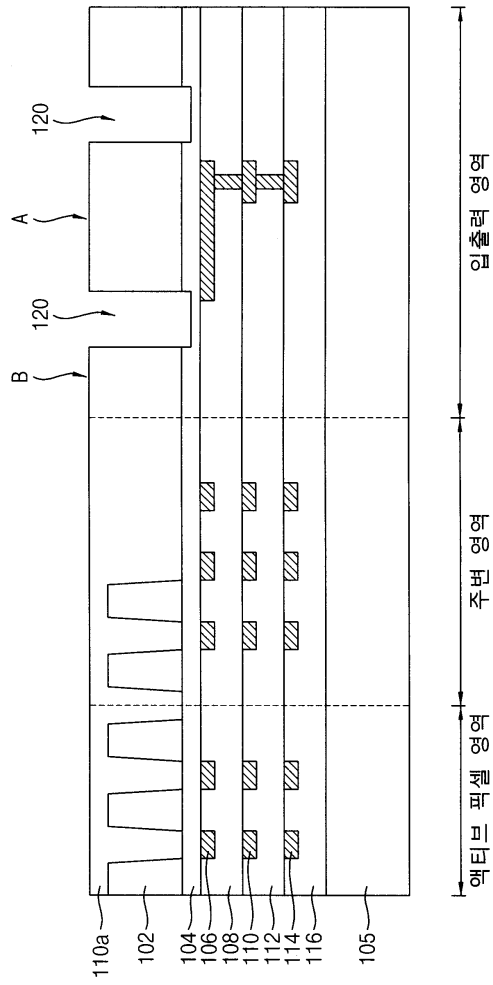
도면2



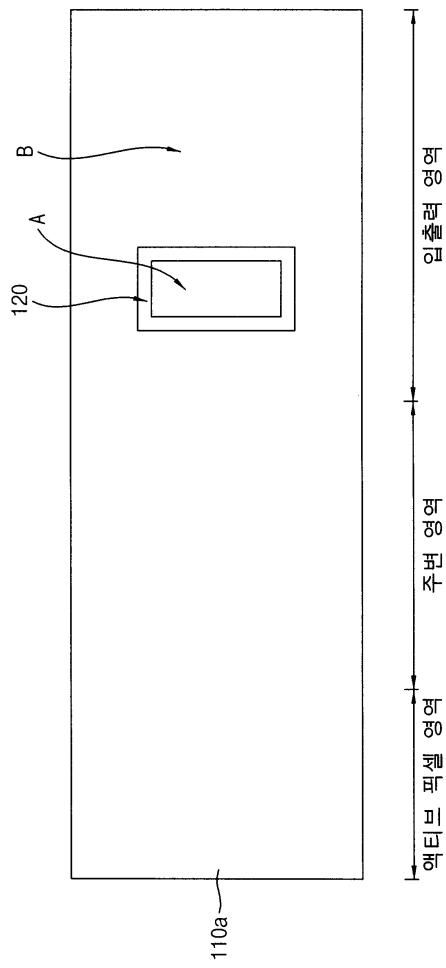
도면3



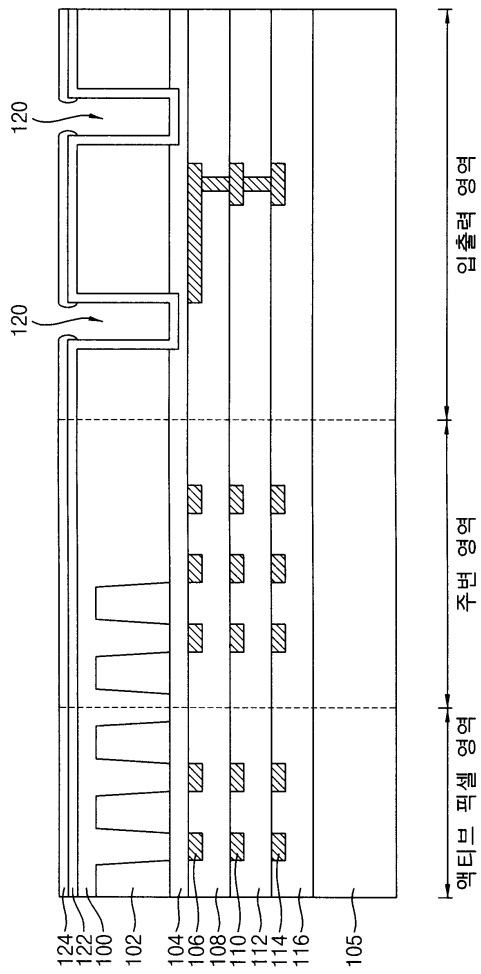
도면4



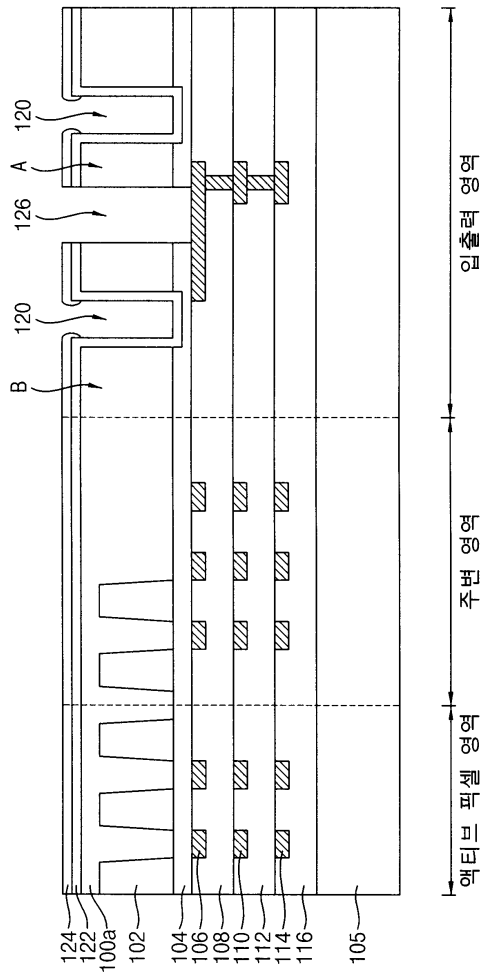
도면5



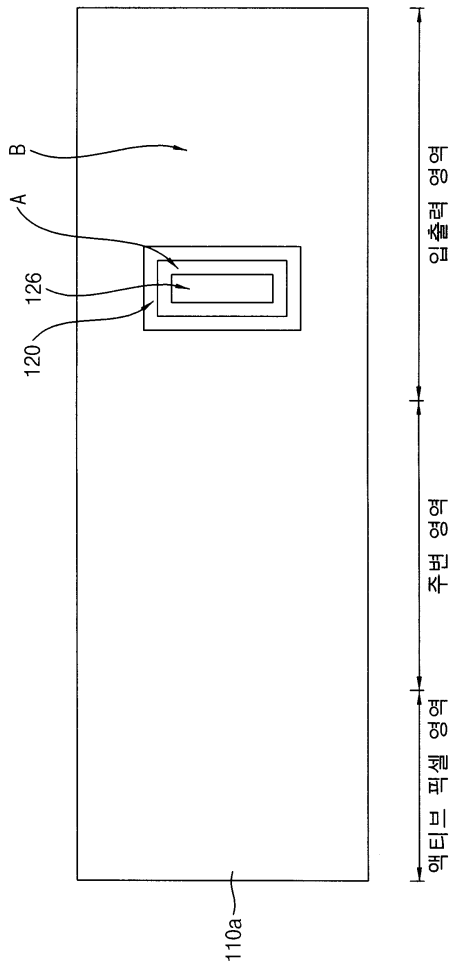
도면6



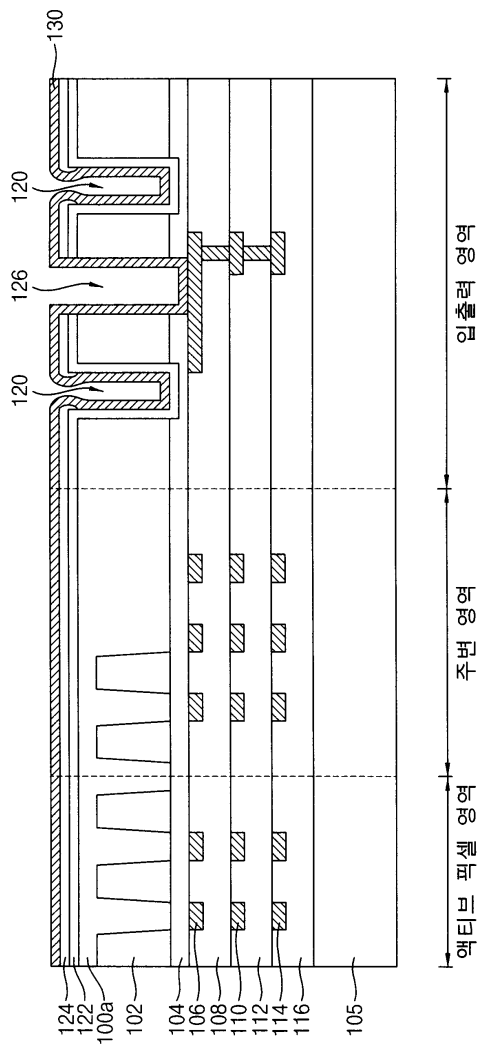
도면7



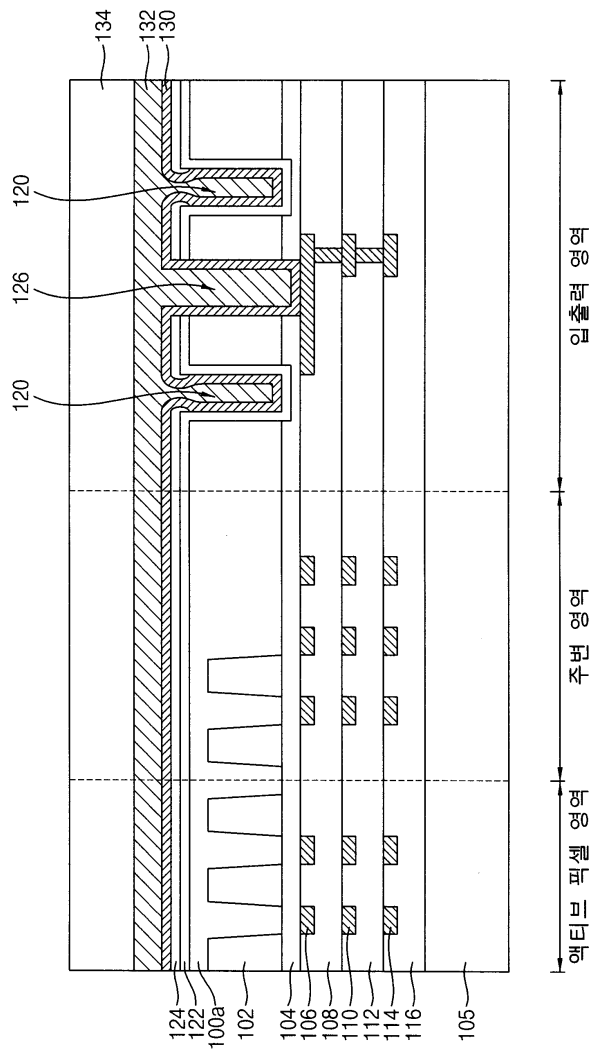
도면8



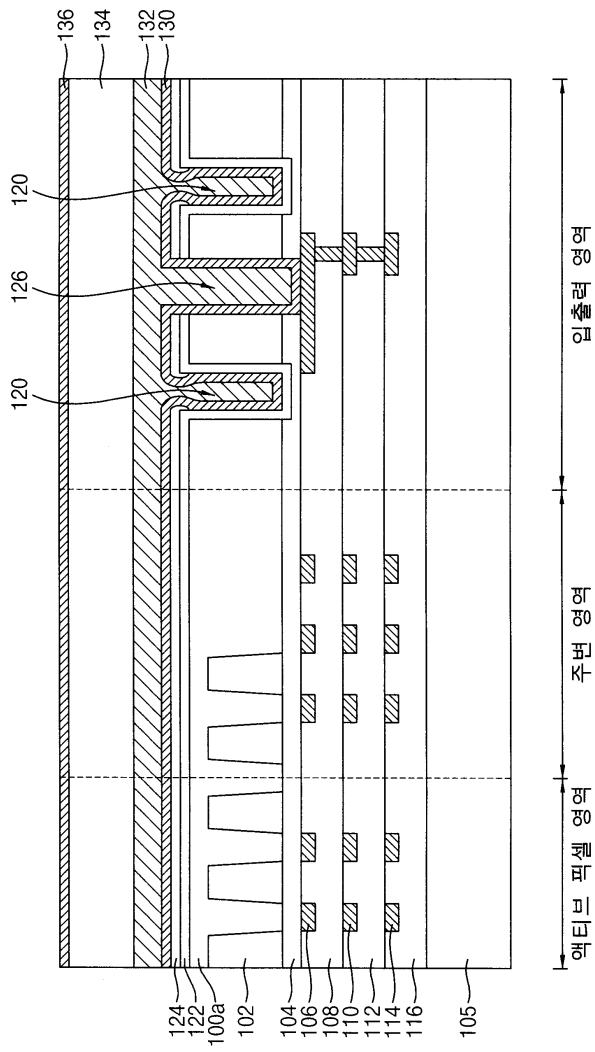
도면9



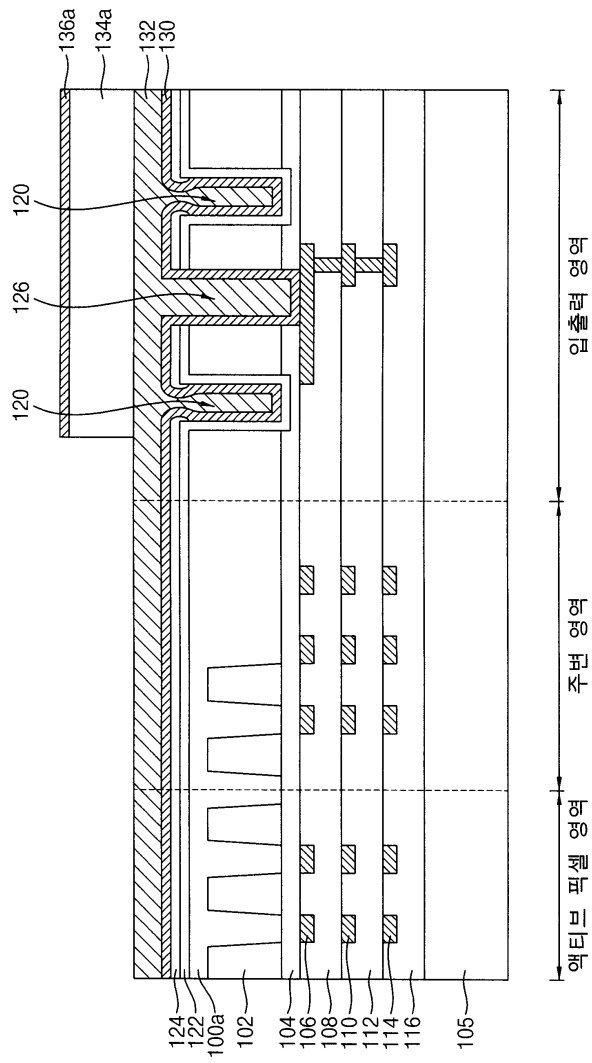
도면10



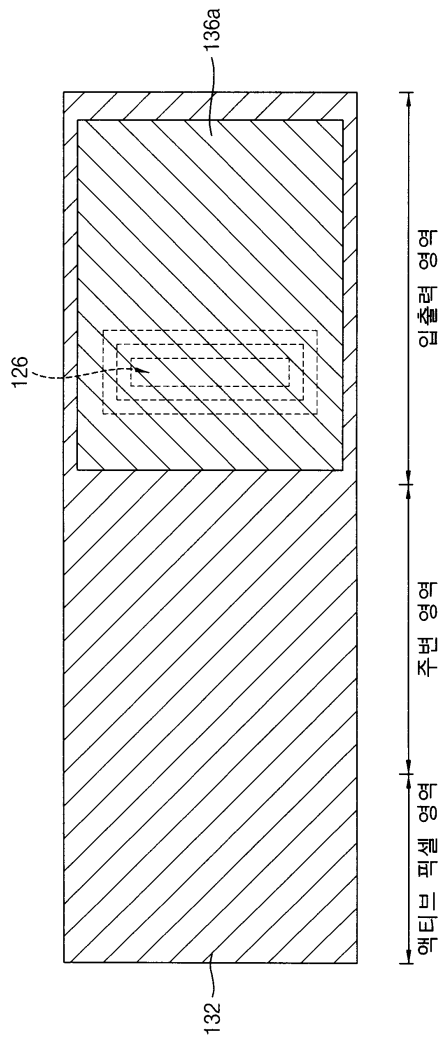
도면11



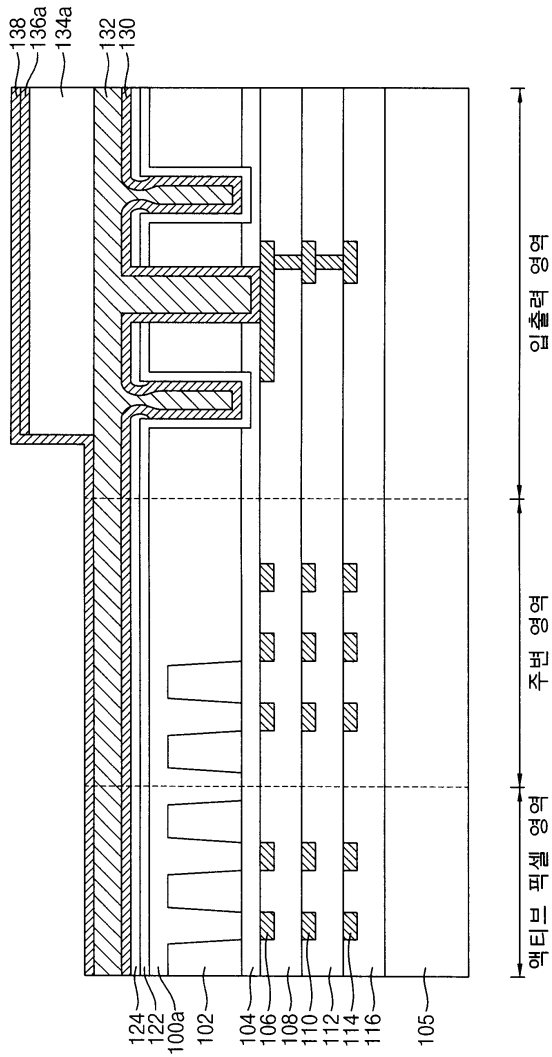
도면12



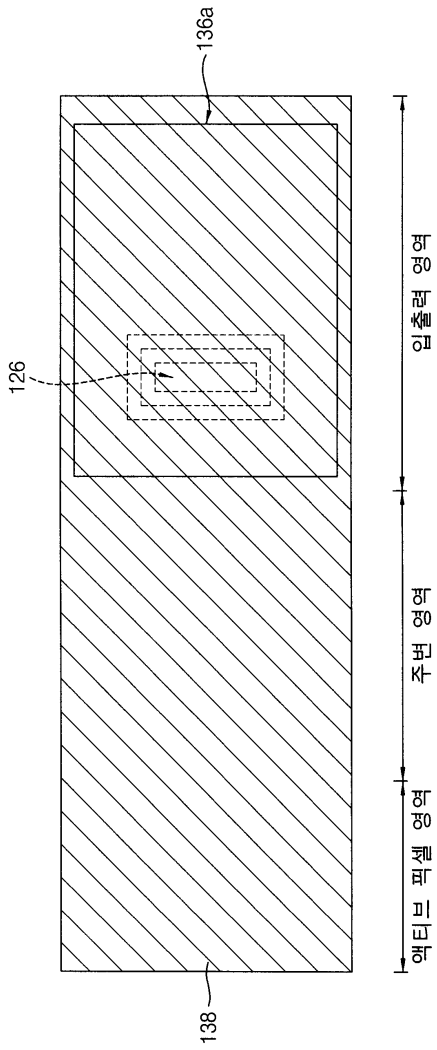
도면13



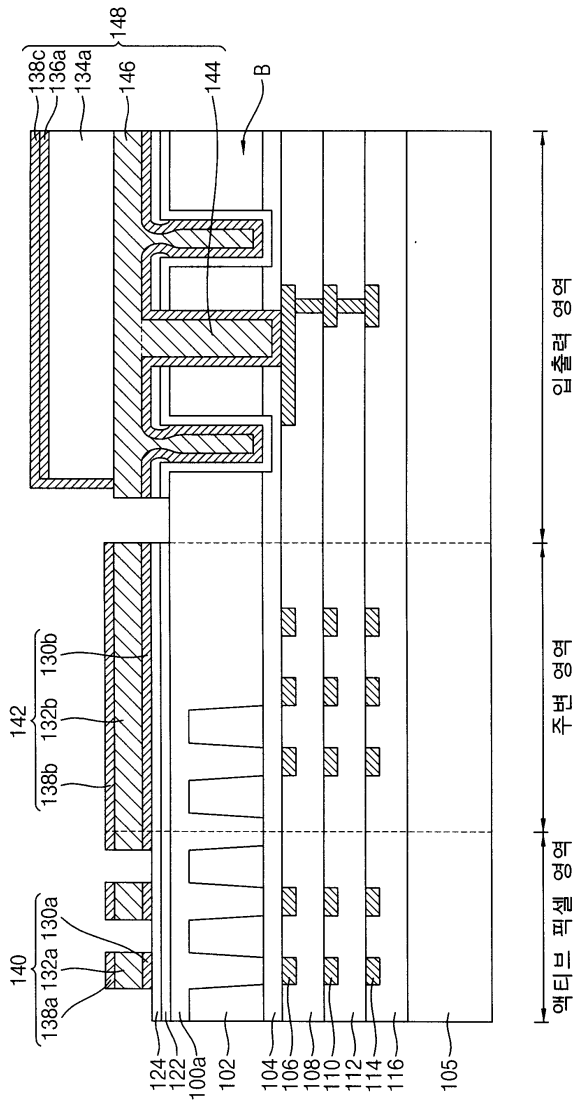
도면14



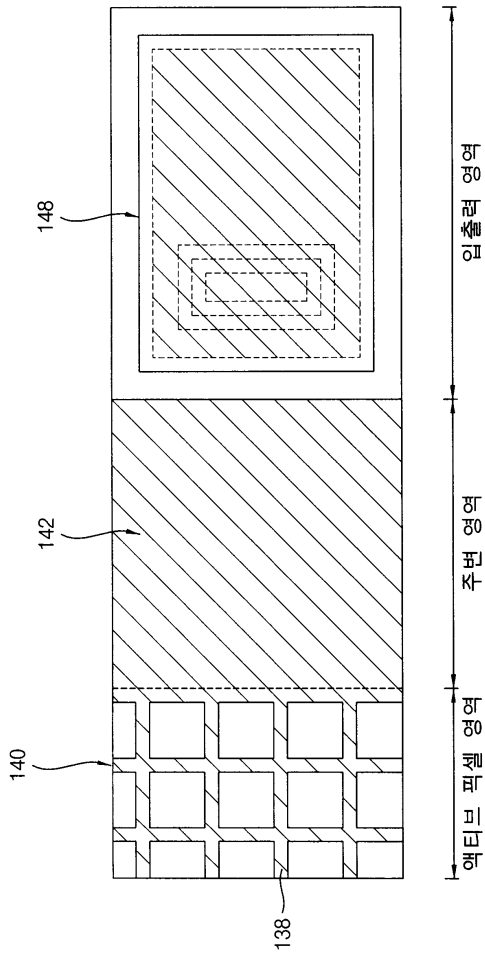
도면15



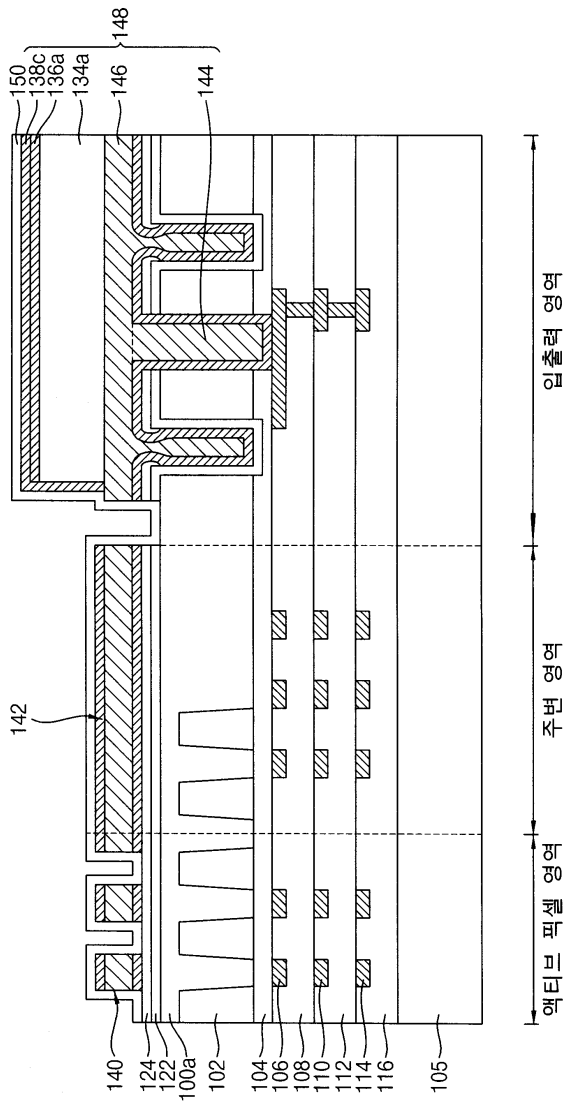
도면16



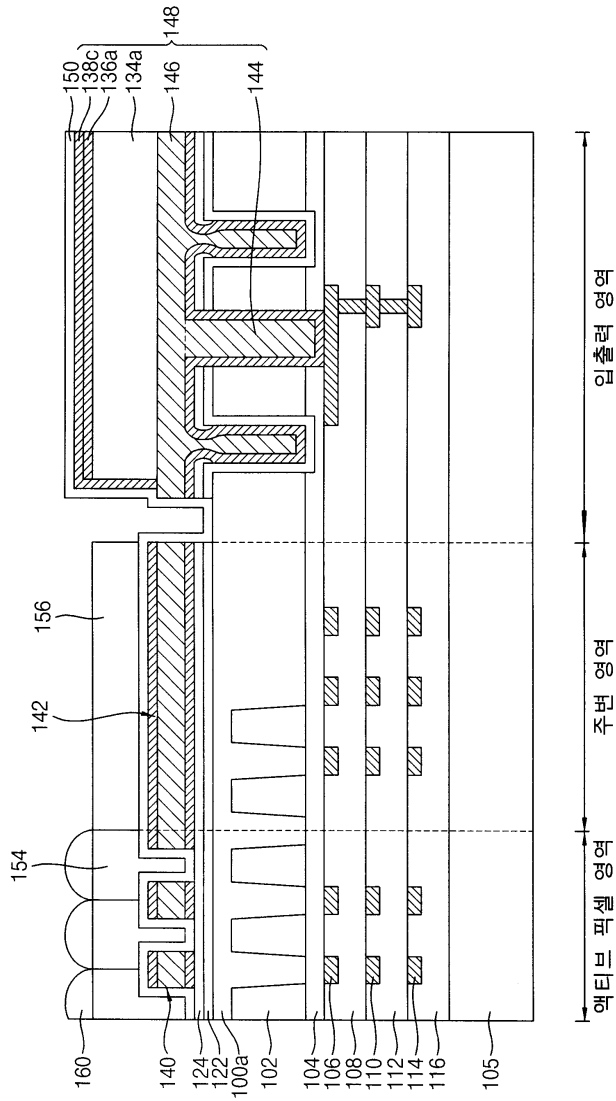
도면17



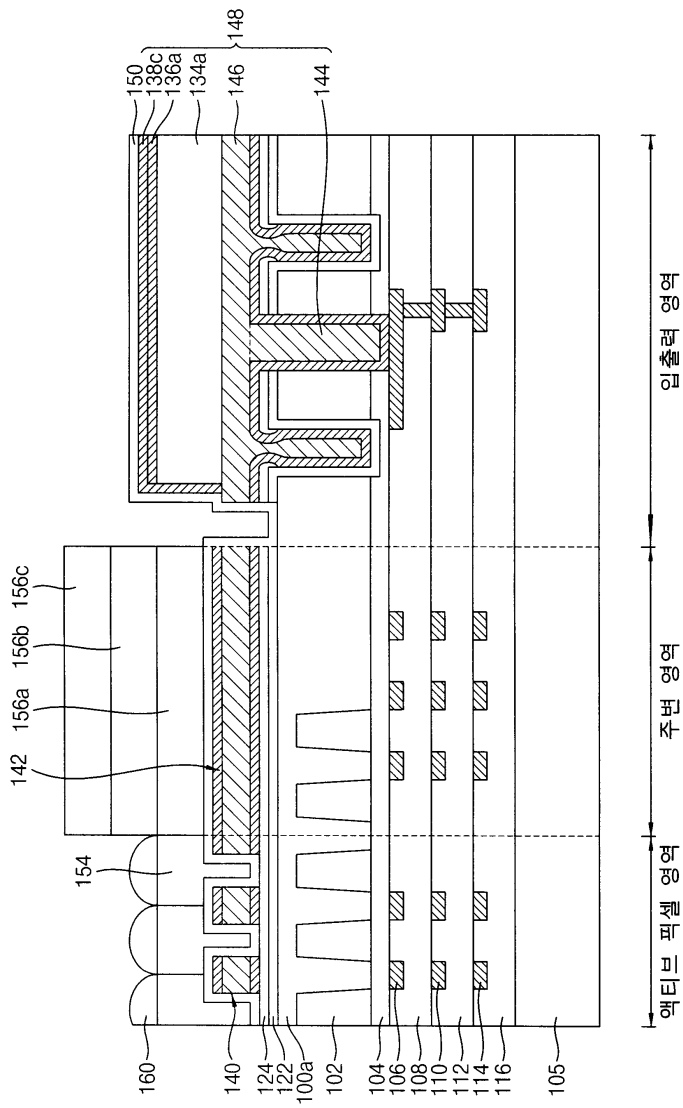
도면18



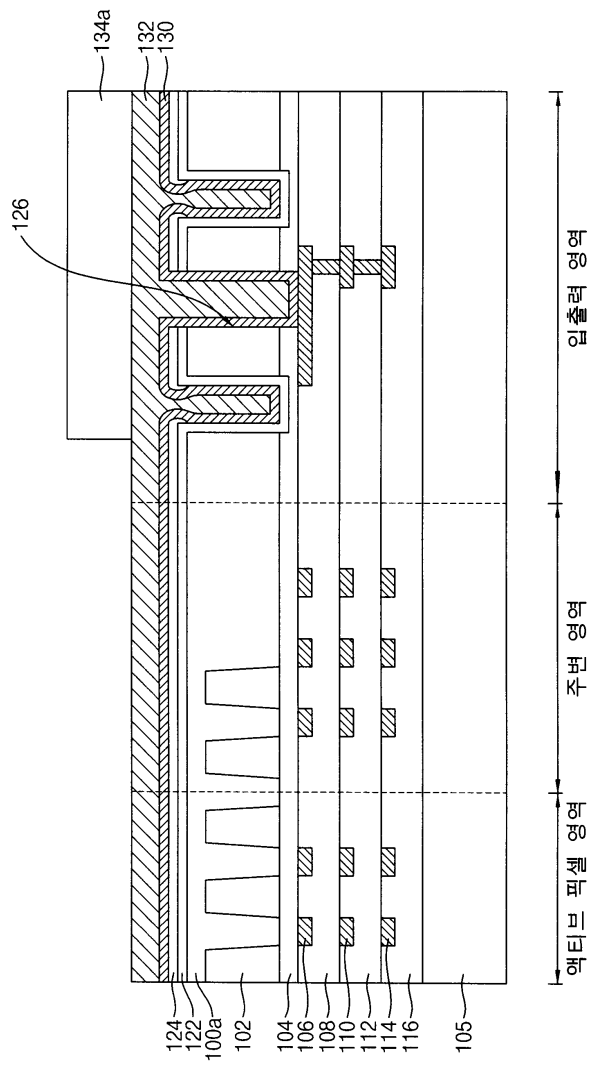
도면19



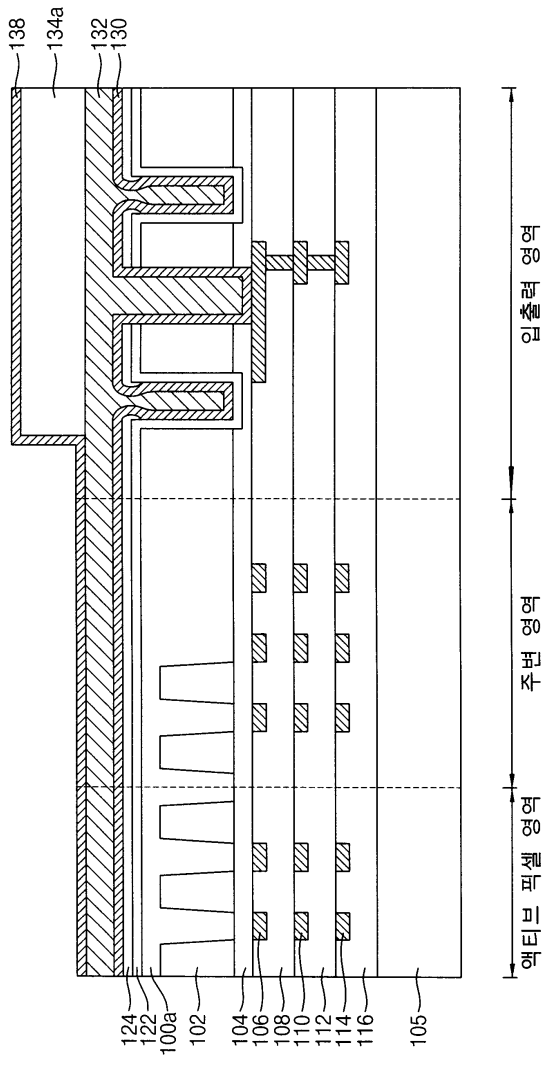
도면20



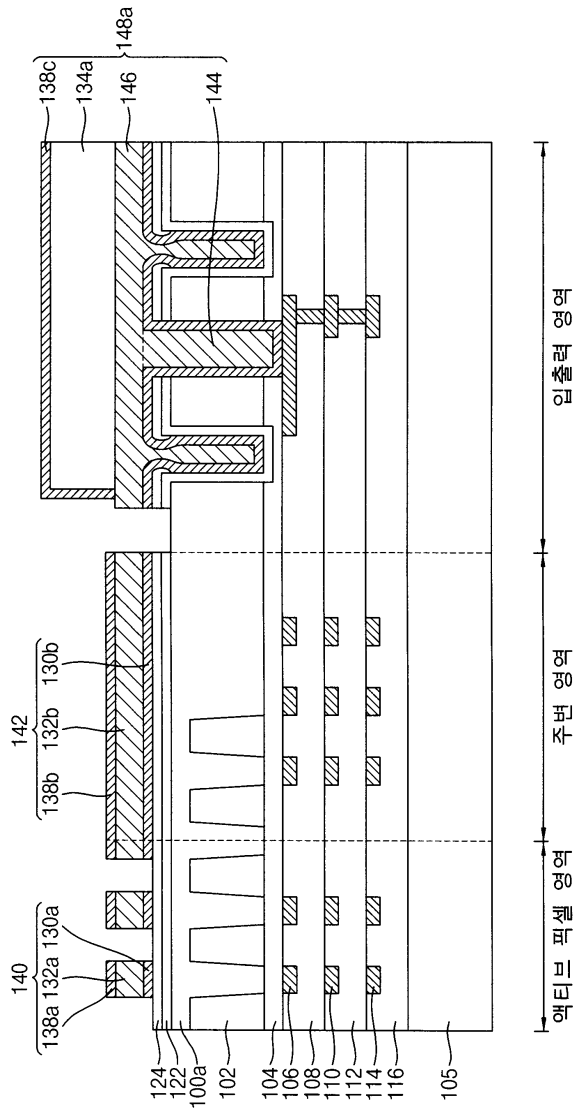
도면21



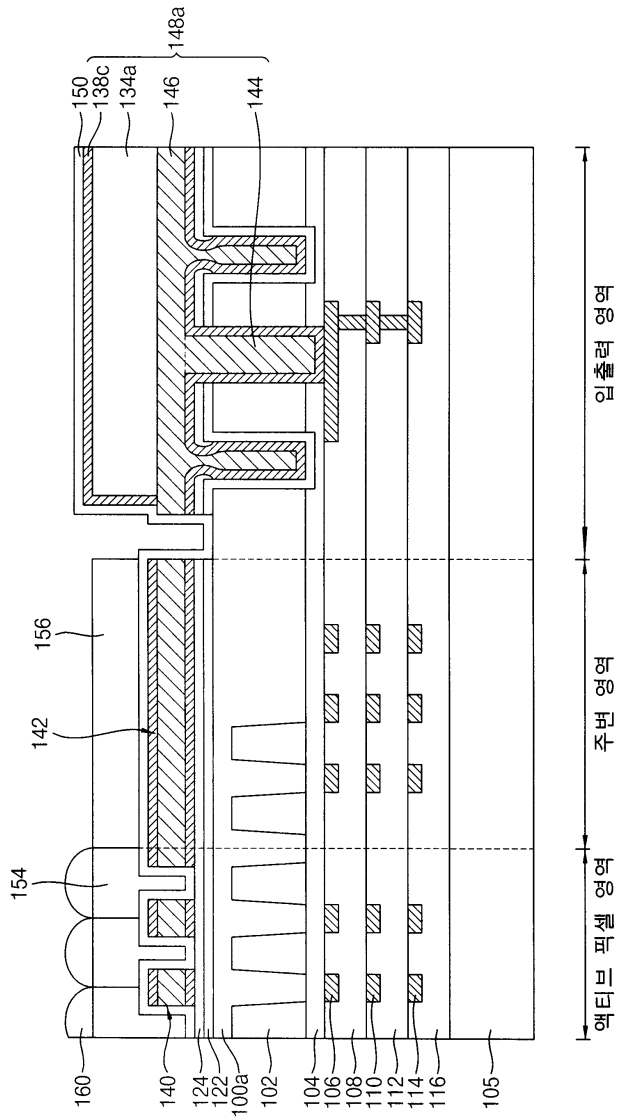
도면22



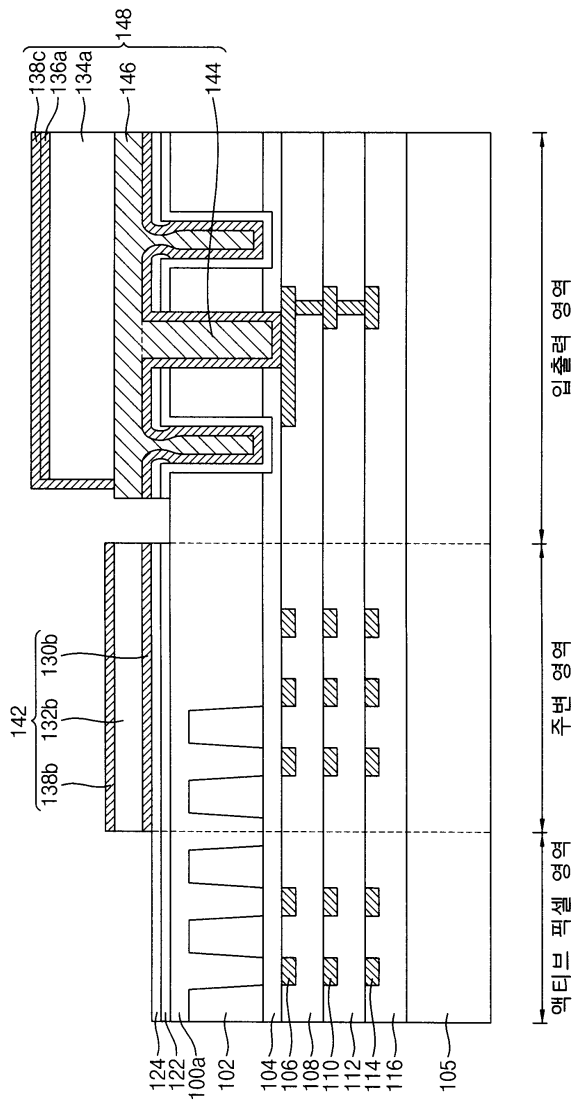
도면23



도면24



도면25



도면26

