



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201501259 A

(43) 公開日：中華民國 104 (2015) 年 01 月 01 日

(21) 申請案號：103114036 (22) 申請日：中華民國 103 (2014) 年 04 月 17 日  
 (51) Int. Cl. : *H01L23/48 (2006.01)* *H01L23/52 (2006.01)*  
 (30) 優先權：2013/04/25 美國 13/870,874  
 (71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)  
 美國  
 (72) 發明人：張沖 ZHANG, CHONG (CN)；羅茲 史蒂芬尼 M LOTZ, STEFANIE M. (US)；沙  
 拉瑪 伊斯蘭 A SALAMA, ISLAM A. (US)  
 (74) 代理人：惲軼群；陳文郎  
 申請實體審查：有 申請專利範圍項數：27 項 圖式數：10 共 38 頁

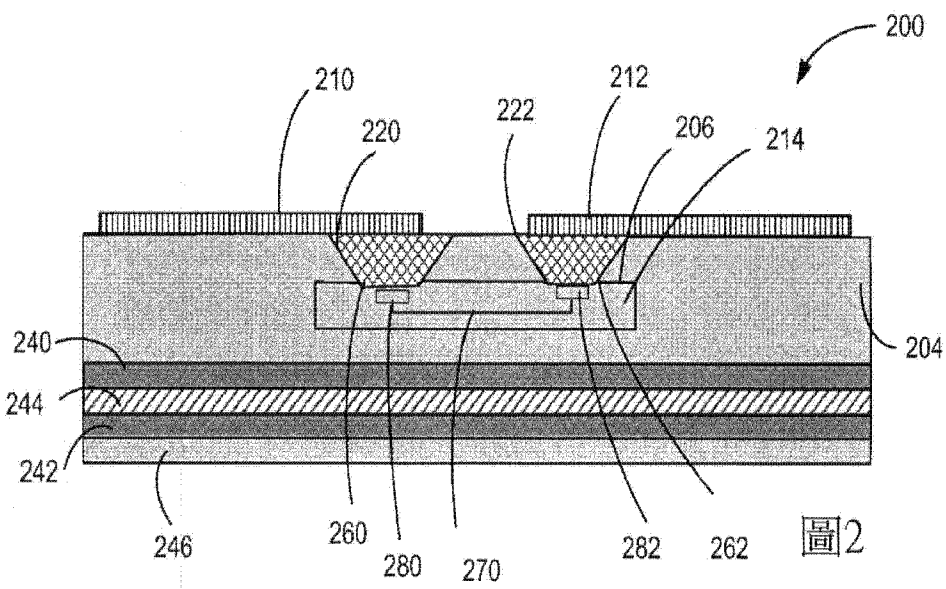
## (54) 名稱

用以擷取在嵌入式晶粒上之傳導性特徵的具有高密度互連體設計之封裝體基體  
 PACKAGE SUBSTRATE WITH HIGH DENSITY INTERCONNECT DESIGN TO CAPTURE  
 CONDUCTIVE FEATURES ON EMBEDDED DIE

## (57) 摘要

本發明之實施例係針對用於嵌入於包括一橋接體之一封裝體總成中的互連體結構之技術及組配。在一個實施例中，一種封裝體總成可包括一封裝體基體、嵌入於該封裝體基體中且包括一橋接體基體之一橋接體及一互連體結構，該互連體結構包括延伸穿過該封裝體基體至該橋接體基體之一表面內且經組配以與安置於該橋接體基體之該表面上或下方的一傳導性特徵界面連接之一導通孔。該互連體結構可經組配以在該傳導性特徵與安裝於該封裝體基體上之一晶粒之間導引電氣信號。可描述及/或主張其他實施例。

Embodiments of the present disclosure are directed towards techniques and configurations for interconnect structures embedded in a package assembly including a bridge. In one embodiment, a package assembly may include a package substrate, a bridge embedded in the package substrate and including a bridge substrate, and an interconnect structure including a via extending through the package substrate into a surface of the bridge substrate and configured to interface with a conductive feature disposed on or beneath the surface of the bridge substrate. The interconnect structure may be configured to route electrical signals between the conductive feature and a die mounted on the package substrate. Other embodiments may be described and/or claimed.



- 200 . . . IC 封裝體總成
- 204 . . . 封裝體基體
- 206 . . . 橋接體
- 210、212 . . . 晶粒
- 214 . . . 橋接體基體
- 220、222 . . . 互連體結構
- 240、242、244、246 . . . 層
- 260、262 . . . 導通孔
- 270 . . . 導電線
- 280、282 . . . 傳導性特徵

圖2

201501259

## 發明摘要

※ 申請案號：103114036

※ 申請日：103.4.17

※ IPC 分類：

H01L 23/48 (2006.01)

H01L 23/12 (2006.01)

## 【發明名稱】(中文/英文)

用以擷取在嵌入式晶粒上之傳導性特徵的具有高密度互連體設計之封裝體基體

PACKAGE SUBSTRATE WITH HIGH DENSITY INTERCONNECT DESIGN TO CAPTURE CONDUCTIVE FEATURES ON EMBEDDED DIE

## 【中文】

本發明之實施例係針對用於嵌入於包括一橋接體之一封裝體總成中的互連體結構之技術及組配。在一個實施例中，一種封裝體總成可包括一封裝體基體、嵌入於該封裝體基體中且包括一橋接體基體之一橋接體及一互連體結構，該互連體結構包括延伸穿過該封裝體基體至該橋接體基體之一表面內且經組配以與安置於該橋接體基體之該表面上或下方的一傳導性特徵界面連接之一導通孔。該互連體結構可經組配以在該傳導性特徵與安裝於該封裝體基體上之一晶粒之間導引電氣信號。可描述及/或主張其他實施例。

## 【英文】

Embodiments of the present disclosure are directed towards techniques and configurations for interconnect structures embedded in a package assembly including a bridge. In one embodiment, a package assembly may include a package substrate, a bridge embedded in the package substrate and including a bridge substrate, and an interconnect structure including a via extending through the package substrate into a surface of the bridge substrate and configured to interface with a conductive feature disposed on or beneath the surface of the bridge substrate. The interconnect structure may be configured to route electrical signals between the conductive feature and a die mounted on the package substrate. Other embodiments may be described and/or claimed.

**【代表圖】**

**【本案指定代表圖】**：第（2）圖。

**【本代表圖之符號簡單說明】**：

200...IC封裝體總成

204...封裝體基體

206...橋接體

210、212...晶粒

214...橋接體基體

220、222...互連體結構

240、242、244、246...層

260、262...導通孔

270...導電線

280、282...傳導性特徵

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

用以擷取在嵌入式晶粒上之傳導性特徵的具有高密度互連體設計之封裝體基體/ PACKAGE SUBSTRATE WITH HIGH DENSITY INTERCONNECT DESIGN TO CAPTURE CONDUCTIVE FEATURES ON EMBEDDED DIE

## 【技術領域】

發明領域

[0001]本發明之實施例大體係關於積體電路之領域，且更特定言之，係關於用於可嵌入於一封裝體總成中之一橋接互連體總成之技術及組配。

## 【先前技術】

發明背景

[0002]爲了增強效能，中央處理單元(CPU)產品正日益以並排或其他多晶片封裝體(MCP)格式將多個晶粒整合於CPU封裝體內。爲了總體CPU效能改良，此發展與諸如朝向增大電晶體之密度的長期存在趨勢之其他因素一起需要高密度晶粒至晶粒連接(按每層晶粒邊緣之每毫米(mm)輸入/輸出(I/O)量測)。晶粒至晶粒連接通常經由具有相對粗電路佈線之有機基體建置，此使得難以增大晶粒至晶粒連接之密度以匹配晶粒內之小型化趨勢。

[0003]爲了克服MCP中的邏輯-邏輯及/或邏輯-記憶體通訊之間的頻寬限制，嵌入式矽橋接體(SiB)已經提議作爲

達成高密度晶粒至晶粒互連之方式。用於經由封裝體連接至嵌入式橋接晶粒之一方法可涉及使用具有最小可能互連間距(鄰近導通孔之間的間隔)之超小互連路徑(導通孔)。然而，可能極其難以藉由當前技術將有機封裝體基體中之導通孔間距定標至所要的大小。

### 【發明內容】

[0004]依據本發明之一實施例，係特地提出一種封裝體總成，其包含：

一封裝體基體；

嵌入於該封裝體基體中之一橋接體，該橋接體包括一橋接體基體；以及

一互連體結構，其包括延伸穿過該封裝體基體以與安置於該橋接體基體之一表面上或下方的一傳導性特徵界面連接之一導通孔，

其中該互連體結構經組配以在該傳導性特徵與安裝於該封裝體基體上之一晶粒之間導引電氣信號。

### 【圖式簡單說明】

[0005]將易於藉由以下結合隨附圖式之詳細描述來理解實施例。為了有助於此描述，相似參考數字表明相似結構元件。實施例係藉由實例且非藉由隨附圖式之圖中的限制來說明。

[0006]圖1示意性說明根據一些實施例的包括一嵌入式橋接互連體總成之一實例積體電路(IC)封裝體總成之俯視圖。

[0007]圖2示意性說明根據一些實施例的圖1之實例積體電路(IC)封裝體總成之截面側視圖。

[0008]圖3至圖8示意性說明根據一些實施例的在各種製造操作後之實例IC封裝體總成之截面側視圖。

[0009]圖9示意性說明根據一些實施例的製造IC封裝體總成之方法之流程圖。

[0010]圖10示意性說明根據一些實施例的包括一IC封裝體總成之一實例計算器件。

## 【實施方式】

較佳實施例之詳細說明

[0011]本發明之實施例描述用於可嵌入於封裝體總成中且經組配以藉由提供高密度晶粒至晶粒互連來改良頻寬能力之橋接互連體總成之技術及組配。在以下描述中，將使用通常由熟習此項技術者使用之術語來描述例示性實施之各種態樣以將其作品之本質傳達給其他熟習此項技術者。然而，熟習此項技術者應顯而易見，可藉由所描述態樣中之僅一些來實踐本發明之實施例。為了解釋之目的，闡明具體數目、材料及組配以便提供對例示性實施之透徹理解。然而，熟習此項技術者將顯而易見，可在無具體細節之情況下實踐本發明之實施例。在其他例子中，省略或簡化熟知特徵以便不使例示性實施難懂。

[0012]在以下詳細描述中，對形成其一部分之隨附圖式進行參看，其中貫穿全篇，相似數字表明相似部分，且其中藉由說明展示可實踐本發明之標的物之實施例。應理

解，可利用其他實施例，且可在不脫離本發明之範疇之情況下進行結構或邏輯改變。因此，不應以限制性意義來看待以下詳細描述，且實施例之範疇係由隨附申請專利範圍及其等效內容界定。

[0013]爲了本發明之目的，片語「A及/或B」意謂(A)、(B)或(A及B)。爲了本發明之目的，片語「A、B及/或C」意謂(A)、(B)、(C)、(A及B)、(A及C)、(B及C)或(A、B及C)。

[0014]描述可使用基於透視之描述，諸如，頂部/底部、內/外、上/下及類似者。此等描述僅用以有助於論述，且並不意欲將本文中所描述之實施例之應用限於任何特定定向。

[0015]描述可使用片語「在一實施例中」或「在實施例中」，其可各指相同或不同實施例中之一或多者。此外，如關於本發明之實施例所使用的「包含」、「包括」、「具有」及類似者一詞係同義的。

[0016]可在本文中使用「與.....耦接(coupled with)」一詞連同其衍生詞。「耦接」可意謂以下中之一或多者。「耦接」可意謂兩個或兩個以上元件直接實體或電氣接觸。然而，「耦接」亦可意謂兩個或兩個以上元件間接地相互接觸，但仍相互合作或互動，且可意謂一或多個其他元件耦接或連接於被稱爲相互耦接之元件之間。「直接耦接」一詞可意謂兩個或元件直接接觸。

[0017]在各種實施例中，片語「形成、沈積或另外安置於第二層上之第一層」可意謂第一層係形成、沈積或安置



於第二層上方，且第一層之至少一部分可與第二層之至少一部分直接接觸(例如，直接實體及/或電氣接觸)或間接接觸(例如，在第一層與第二層之間具有一或多個其他層)。

[0018]如本文中所使用，「模組」一詞可指以下各者、為以下各者之部分或包括以下各者：特殊應用積體電路(ASIC)、電子電路、執行一或多個軟體或韌體程式之處理器(共用、專用或群組)及/或記憶體(共用、專用或群組)、組合邏輯電路及/或提供所描述功能性的其他合適組件。

[0019]圖1為根據一些實施例的包括一嵌入式橋接互連體總成(下文稱作「橋接體」)120之一實例積體電路(IC)封裝體總成100之平面圖。如圖1中所說明，封裝體總成100包含一封裝體基體110，且橋接體120可嵌入於封裝體基體110中。封裝體基體110可為有機基體，包括(例如)經組配以經由封裝體總成100導引電氣信號之累積層。

[0020]封裝體總成100可進一步包含在橋接體120中之位置141處的一或多個互連體結構131、在橋接體120中之位置142處的一或多個互連體結構132及將互連體結構131與互連體結構132連接至彼此的在橋接體120中之導電線150、152。在所說明實施例中，互連體結構131可為位於141處的多個互連體結構中之一者，且互連體結構132可為位於142處的多個互連體結構中之一者。在其他實施例中，可使用比所描繪多或少的導電線150、152。作為一實例，此等多個互連體結構可經設計以增加或最大化其可能的互連之數目。在圖1中，以虛線展示橋接體120、互連體結構131、

132及導電線150、152之輪廓，從而指示該等元件係位於封裝體基體110之頂表面下方。用於提供互連體結構131及132之技術將在隨後圖中描繪且在下文進一步論述。

[0021]封裝體總成100可進一步包含在封裝體基體110上或上方之一晶粒161及一晶粒162。圖1將晶粒161及晶粒162描繪為如同其係透明的(惟其輪廓除外)，使得可看到下伏細節。一般而言，位置141為在晶粒161下的橋接體120之區域，且位置142為在晶粒162下的橋接體120之區域。

[0022]圖2示意性說明根據一些實施例的參考圖1之封裝體總成100的沿著線A及B之一實例IC封裝體總成200之截面側視圖。

[0023]IC封裝體總成200可包括一封裝體基體204，其具有安裝於封裝體基體204上之多個(例如，兩個或兩個以上)晶粒210、212。在一些實施例中，封裝體基體204可為基於環氧樹脂之層壓基體，其具有一核心及/或累積層，諸如，味之素累積膜(Ajinomoto Build-up Film, ABF)基體。在其他實施例中，封裝體基體204可包括其他合適類型之基體。晶粒210、212可根據多種合適組配(包括如所描繪之覆晶組配，或諸如線接合及類似者之其他組配)附著至封裝體基體204。在覆晶組配中，可使用諸如焊料凸塊或柱(未圖示)之各種結構將晶粒210、212之作用側附著至封裝體基體204之表面。晶粒210、212之作用側可具有形成於其上之一或多個電晶體器件。晶粒210、212中之每一者可表示離散晶片。在一些實施例中，晶粒210、212可為以下各者、包括以下

各者或為以下各者之一部分：處理器、記憶體或特殊應用積體電路(ASIC)。

[0024] 橋接體(例如，橋接體206)可經安置以便電氣連接晶粒210、212。在一些實施例中，可將橋接體安置於封裝體基體204上之一些晶粒之間，而非安置於其他晶粒之間。在一些實施例中，橋接體206可能不能自俯視圖看到。如所示，橋接體206係嵌入於封裝體基體204中。在一些實施例中，晶粒210、212可與經組配以在晶粒210、212之間導引電氣信號之橋接體206電氣耦接。橋接體206可為提供用於電氣信號之路線的高密度導引結構。橋接體206可包括在下文詳細描述的)由上面形成有電氣導引互連體特徵的玻璃或半導體材料(例如，高電阻率矽(Si))構成之橋接體基體214，以提供晶粒210、212之間的晶粒至晶粒連接。在其他實施例中，橋接體206可由其他合適材料構成。

[0025] 在一些實施例中，橋接體206可嵌入於封裝體基體204之空腔中。橋接體206可與結合在本文中之其他圖中所描述之橋接體而描述的實施例一致。舉例而言，在一些實施例中，橋接體206可包括互連體結構以充當橋接體206之晶粒210、212之間的電氣導引特徵。在一些實施例中，晶粒210、212之一部分可覆疊嵌入式橋接體206，如可看出。

[0026] 在一些實施例中，插入材料或層可包括於IC封裝體總成200中。舉例而言，可如圖2中所示地安置諸如層240及242之電路系統層及元件。可經由包含有機材料之核心層244中的電鍍通孔(未圖示)來連接該等電路系統層(例如，層

240及242)。包含有機材料(其可與核心層之有機材料不同)的額外層246可包括於IC封裝體總成200中。應理解，層240、242、244及246僅爲了說明性目的而展示且決不限於此描述。可提供可利用本文中所描述之互連體結構的IC封裝體總成200之不同組配。

[0027]互連體結構220、222可經組配以在晶粒210、212與嵌入式橋接體206之間導引電氣信號。在一些實施例中，互連體結構220可經組配以導引電氣信號，諸如，輸入/輸出(I/O)信號及/或與晶粒210、212之操作相關聯的電力或接地信號。將參看圖3至圖8來更詳細地論述互連體結構220、222之形成及組成。如所示，互連體結構220、222可包括導通孔260、262，該等導通孔分別穿過封裝體基體204形成且延伸至橋接體基體214之表面中以便與圍繞橋接體基體214之表面安置(例如，在該表面上或下方)之傳導性特徵280及282電氣連接(分別地)。在一些實施例中，導通孔260、262可填充有傳導性材料(諸如，銅)以提供與傳導性特徵280、282之電氣接觸。互連體結構220、222可耦接至封裝體基體204之表面以進一步將電氣信號導引至其他電氣器件(例如，由晶粒210、212表示之主機板或其他晶片組)。

[0028]IC封裝體總成200可包括經組配以在晶粒210、212之間導引電氣信號之其他電氣導引特徵。該等電氣導引特徵可在橋接體206內部及/或外部。舉例而言，在一些實施例中，橋接體基體214可包括諸如經組配以經由互連體結構220、222在晶粒210、212之間導引電氣信號之導電線

270(例如，對應於圖1中之線150、152)的電氣導引特徵。

[0029]雖然結合圖2描繪兩個晶粒210、212及一個橋接體206，但其他實施例可以包括三維組配之其他可能組配包括連接在一起之更多或更少晶粒及橋接體。舉例而言，可使用另一橋接體將安置於封裝體基體204上之另一晶粒耦接至晶粒210、212。

[0030]圖3至圖8示意性說明根據一些實施例的沿著線AB之圖1之實例IC封裝體總成100(或圖2之IC封裝體總成200)之截面側視圖，該等圖展示形成用於晶粒電連接之互連體結構之不同階段。更具體言之，圖3至圖8說明根據一些實施例的在適合於形成互連體結構之各種製造操作後之實例IC封裝體總成。為了清晰起見，自視圖省略晶粒210、212。在圖3至圖8中，IC封裝體總成300可包括由介電(例如，有機)材料製成之封裝體基體304，其類似於上文所論述之封裝體基體204。為了說明目的，展示封裝體總成300之其他層。舉例而言，可如圖3至圖8中所示地將諸如層340及342(類似於層240及242)之電路系統層安置於封裝體總成中。可經由包含有機材料之核心層344(類似於層244)中之電鍍通孔(未圖示)來連接該等電路系統層。包含有機材料之額外層346(類似於層246)可包括於封裝體總成300中。封裝體總成可進一步包括一橋接體306，類似於上文所論述之橋接體206，其嵌入於封裝體基體304中。

[0031]橋接體306可包括一橋接體基體314，其可由高電阻率/低傳導率材料(諸如，玻璃或諸如矽(Si)之半導體材料)

構成，如上文參看圖2所論述。如下文將論述，一或多個互連體結構可形成於橋接體基體314上且穿過橋接體基體314。爲了簡單性目的，在圖3中僅展示指示層304、340、342、344、346及314之數字，但該等數字可應用於在後續圖4至圖8中所描繪之封裝體總成。

[0032] 諸如傳導性線及類似者(未圖示)之額外電氣導引特徵可形成於橋接體基體314中或在封裝體基體304上之晶粒(例如，圖1之晶粒210、212)之間導引電氣信號。

[0033] 現參看圖3，描繪在將橋接體306嵌入於封裝體基體304中後之封裝體總成300。在一些實施例中，可將橋接體306置放於形成於封裝體基體304中之空腔中以提供嵌入式橋接體306，如在封裝體總成300中所描繪。舉例而言，可使用介電層壓(諸如，味之素累積膜(ABF)層壓)將嵌入式橋接體安置於封裝體基體304中。

[0034] 在一些實施例中，橋接體306可包括形成於橋接體基體314之表面上的一或多個導通孔360、362或缺口。導通孔360中之每一者可包括傳導性特徵370、372，諸如經組配以提供傳導性特徵之間的連接之導電線，類似於參看圖2之導電線270。如所示，傳導性特徵370、372可圍繞橋接體基體314之表面380安置，例如，關於橋接體基體314之表面380實質上平坦或同平面。在一個實例中，可將傳導性特徵370、372安置於接器基體314之表面380上或僅在該表面下方。

[0035] 參看圖4，描繪在形成用於電氣導引特徵之一或

多個開口(諸如，穿過橋接體基體314且在橋接體基體314之表面內部的導通孔420、422)後之封裝體總成300。在一些實施例中，可穿過橋接體基體314形成一或多個導通孔420、422(如可看出)以提供穿過橋接體基體314之電氣通路。可穿過封裝體基體304之介電材料鑽出導通孔420、422。達成至嵌入式橋接體306之互連的導通孔420、422可經定大小以擷取在分別至橋接體基體表面導通孔360及362的鑽出之導通孔之間的不對準(若存在)。

[0036]爲了確保導通孔上導通孔界面處之可靠性，穿過封裝體基體304鑽出之導通孔420、422可部分延伸至橋接體基體314之界面380中，在一些實施例中，橋接體基體可包含矽層。因此，穿過封裝體基體304鑽出之導通孔420、422可與具有橋接體基體314之矽層內的各別傳導性特徵370、372之導通孔360、362界面連接。若給定矽之低熱膨脹係數(CTE)及高楊氏模數，則如本文中所描述形成之導通孔界面可比實質上形成於橋接體306之矽層與封裝體基體304之氧化矽層之相交處的界面可靠。

[0037]特徵爲充分矽吸收之準分子雷射或其他雷射源可用以穿過介電基體304鑽出導通孔420、422以便穿透(例如)基體304及314之矽-氧化矽界面。在雷射鑽孔後可應用去污以便清潔導通孔且使導通孔420、422之介電表面變粗糙。

[0038]參看圖5，描繪在將傳導性種子材料560沈積於封裝體基體304上之後的封裝體總成300。舉例而言，可藉由電鍍或濺鍍封裝體基體304之表面及導通孔420、422來沈積

傳導性種子材料560。在一些實施例中，電鍍可為無電電鍍，其中跨封裝體基體304之表面及導通孔420、422電鍍諸如銅種子層之傳導性種子材料560。

[0039]參看圖6，描繪在將電解面板電鍍應用於封裝體基體304之表面及導通孔420、422之後的封裝體總成300。作為電解電鍍之結果，可跨封裝體基體304之表面且在導通孔420、422內部電鍍傳導性材料層640(例如，銅)。結果，導通孔420、422填充有傳導性材料層640之部分660、662，與安置於橋接體基體314之表面內之傳導性特徵370、372電氣接觸，如參看圖3所描述。

[0040]一般而言，存在用傳導性材料填充導通孔420、422以便在晶粒之間形成互連體結構之不同方式。參看圖5至圖6所描述之電鍍僅為將傳導性材料提供至導通孔420、422以形成互連體結構之一個實例。在其他實施例中，可使用形成填充有導電材料之導通孔420、422的其他合適技術。

[0041]圖7及圖8描述可在參看圖5至圖6所描述之電鍍操作或導致用傳導性材料填充導通孔420、422之類似操作後應用於封裝體總成300的操作。在替代方案中，可應用參看圖7及圖8所描述之操作(例如，參看圖6所描述之操作後可跟著參看圖7所描述之操作或參看圖8所描述之操作)。

[0042]參看圖7，描繪在自作為參看圖5及圖6所描述之電鍍之結果形成的封裝體基體304之表面移除傳導性材料層640後之封裝體總成300。在一些實施例中，可應用化學機械拋光(CMP)或銅蝕刻以便自封裝體基體304之表面移除



傳導性材料之層，以便暴露填充導通孔420、422的傳導性材料760、762之表面。

[0043]因此，作為CMP或銅蝕刻之結果，可拋光或回蝕填充導通孔420、422之傳導性材料760、762以便與封裝體基體304之表面齊平或同平面。填充有傳導性材料760、762且如參看圖3至圖7所描述而形成之導通孔420、422可包含互連體結構770、772，其經組配以在安裝於如上所述而形成的封裝體總成300之上時在參看圖2所描述之晶粒210、212之間導引電氣信號。

[0044]參看圖8，描繪在應用於傳導性材料層640之消滅蝕刻後之封裝體總成300，消滅蝕刻可導致自作為參看圖5及圖6所描述之電鍍之結果形成的封裝體基體304之表面移除傳導性材料層640。此外，可蝕刻出導通孔420、422之傳導性材料(例如，銅)填充物660、662以便形成自導通孔伸出且穿過封裝體基體304之表面突出的柱860、862。

[0045]填充有傳導性材料760、762且具有如參看圖3至圖6及圖8所描述而形成之柱860、862的導通孔420、422可包含互連體結構870、872，其經組配以在安裝於如上所述而形成的總成300之上時在參看圖2所描述之晶粒210、212之間導引電氣信號。

[0046]在一些實施例中，可應用在傳導性材料之上具有光阻材料之額外層壓，以便保護導通孔420、422的蝕刻出之表面。在參看圖7或圖8所描述之操作中的每一者後，可使用任何合適表面安裝技術(包括例如焊接)將晶粒(例如，

晶粒210、212)安裝於封裝體總成之上。

[0047]作為參看圖3至圖8所描述之操作的結果，根據各種實施例，導電互連體結構(例如，包括填充有傳導性材料以便具有與傳導性特徵370、372之電氣接觸且視情況包括傳導性柱860、862之導通孔420、422的一或多個結構)可經組配以在覆疊封裝體基體304之上的橋接體306安裝之晶粒之間導引I/O信號。傳導性特徵370、372在直徑上可定標至約5微米或更小，且導通孔420、422可經足夠大地定大小以按經判定對準值與傳導性特徵270、272界面連接。因此，具有傳導性特徵370、372之導通孔360、362的大小可提供實質可調性，其可導致優越的導通孔間距定標能力。如上所述，該等互連體結構可由包括諸如銅之金屬的任何合適材料構成。

[0048]圖9示意性說明根據一些實施例的製造IC封裝體總成(例如，圖2之IC封裝體總成200)之方法900之流程圖。在一些實施例中，方法900可與關於圖1至圖8所描述之動作一致。

[0049]在902，方法900可包括提供一封裝體總成，該封裝體總成包括一封裝體基體及由玻璃、陶瓷或一半導體材料構成且嵌入於該封裝體基體中之一橋接體基體。在一些實施例中，橋接體可包括圍繞橋接體基體之一表面安置的一或多個傳導性特徵，如參看圖3所描述。

[0050]在904，方法900可進一步包括形成互連體結構，諸如，穿過封裝體基體且延伸至橋接體基體之表面中以便

到達安置於橋接體中之傳導性特徵的導通孔，如參看圖4所描述。

[0051]在906，方法900可進一步包括在橋接體基體之表面上形成傳導性層，諸如藉由用傳導性材料來填充導通孔，此填充係藉由在封裝體基體之表面周圍電鍍傳導性材料，如參看圖5及圖6所描述。

[0052]在908，方法900可進一步包括自封裝體基體之表面移除傳導性材料，以便暴露具有填充物之導通孔且形成互連體結構，如參看圖7所描述。

[0053]在910，方法900可進一步視情況包括，替代在908處執行之操作或除在908處執行之操作外，形成延伸穿過封裝體基體之表面的傳導性柱，以便形成互連體結構，如參看圖8所描述。在一些實施例中，方法900可進一步包括將修飾膜沈積於封裝體基體上。

[0054]按對理解所主張之標的物最有幫助的方式依次將各種操作描述為多個離散操作。然而，不應將描述之次序解釋為暗示此等操作有必要與次序有關。可使用按需要組配之任何合適硬體及/或軟體將本發明之實施例實施至系統內。

[0055]圖10示意性說明根據一些實施例的計算器件1000。計算器件1000可容納諸如主機板1002之板。主機板1002可包括許多組件，包括(但不限於)處理器1004及至少一通訊晶片1006。處理器1004可實體且電氣耦接至主機板1002。在一些實施中，至少一通訊晶片1006亦可實體且電

氣耦接至主機板1002。在另外實施中，通訊晶片1006可為處理器1004之部分。

[0056]取決於其應用，計算器件1000可包括可或可不實體且電氣耦接至主機板1002之其他組件。此等其他組件可包括(但不限於)依電性記憶體(例如，DRAM)1020、非依電性記憶體(例如，ROM)1024、快閃記憶體1022、圖形處理器1030、數位信號處理器或密碼處理器(未圖示)、晶片組1026、天線1028、顯示器(例如，觸控螢幕顯示器)1032、觸控螢幕控制器1046、電池1036、功率放大器1041、全球定位系統(GPS)器件1040、羅盤1042、揚聲器1050、攝影機1052、大容量儲存器件(諸如，硬碟機、緊密光碟(CD)或數位多功能光碟(DVD))、音訊編碼解碼器、視訊編碼解碼器、蓋革(Geiger)計數器、加速計、迴轉儀(未圖示)等等。

[0057]通訊晶片1006可實現用於資料至及自計算器件1000之傳送的無線通訊。「無線」一詞及其衍生詞可用以描述可經由使用經由非固體媒體之經調變電磁輻射來傳達資料的電路、器件、系統、方法、技術、通訊頻道等。該詞並不暗示相關聯器件不含有任何電線，但在一些實施例中，該等器件可不含有電線。通訊晶片1006可實施許多無線標準或協定中之任何者，包括(但不限於)電氣電子工程師學會(IEEE)標準，包括Wi-Fi (IEEE 802.11族)、IEEE 802.16標準(例如，IEEE 802.16-2005修正)、長期演進(LTE)項目連同任何修正、更新及/或修訂(例如，進階型LTE項目、超行動寬頻(UMB)項目(亦被稱作「3GPP2」)等)。IEEE 802.16

相容之BWA網路通常被稱作WiMAX網路(其為代表微波存取全球互通(Worldwide Interoperability for Microwave Access)之首字母縮略詞)，其為用於通過針對IEEE 802.16標準之符合度及互通性測試之產品的認證標記。通訊晶片1006可根據全球行動通訊系統(GSM)、通用封包無線電服務(GPRS)、通用行動電信系統(UMTS)、高速封包存取(HSPA)、演進型HSPA (E-HSPA)或LTE網路而操作。通訊晶片1006可根據GSM演進之增強型資料(EDGE)、GSM EDGE無線電存取網路(GERAN)、通用陸地無線電存取網路(UTRAN)或演進型UTRAN (E-UTRAN)而操作。通訊晶片1006可根據分碼多重存取(CDMA)、分時多重存取(TDMA)、數位增強型無線電信(DECT)、演進資料最佳化(EV-DO)、其衍生以及表明為3G、4G、5G及超出5G之任何其他無線協定而操作。在其他實施例中，通訊晶片1006可根據其他無線協定而操作。

[0058]計算器件1000可包括多個通訊晶片1006。舉例而言，第一通訊晶片1006可專用於較短程無線通訊(諸如，Wi-Fi及藍芽)，且第二通訊晶片1006可專用於較遠程無線通訊(諸如，GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO及其他)。

[0059]計算器件1000之處理器1004可包括如本文中所描述之IC封裝體總成(例如，圖1之IC封裝體總成100)中的晶粒(例如，圖1之晶粒102)。舉例而言，可使用諸如球狀柵格陣列(BGA)或平台柵格陣列(LGA)結構之封裝級互連體將

上面安裝有晶粒之封裝體基體(例如,圖2之封裝體基體204)與諸如主機板1002之電路板耦接。「處理器」一詞可指處理來自暫存器及/或記憶體之電子資料以將彼電子資料變換成可儲存於暫存器及/或記憶體中之其他電子資料的任何器件或器件之部分。

[0060]通訊晶片1006亦可包括如本文中所描述之IC封裝體總成(例如,圖2之IC封裝體總成200)中的晶粒(例如,圖2之晶粒210、212)。在另外實施中,容納於計算器件1000內之另一組件(例如,記憶體器件或其他積體電路器件)可含有如本文中所描述之IC封裝體總成(例如,具有如參看圖3至圖9所描述地形成之互連體結構的圖2之IC封裝體總成200)中的晶粒(例如,圖2之晶粒210、212)。此等晶粒可經組配以經由如本文中所描述之橋接體來發送或接收信號。

[0061]在各種實施中,計算器件1000可為膝上型電腦、迷你筆記型電腦、筆記型電腦、超級本、智慧型手機、平板電腦、個人數位助理(PDA)、超行動PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位攝影機、攜帶型音樂播放器或數位視訊錄製器。在另外實施中,計算器件1000可為處理資料之任何其他電子器件。

[0062]根據各種實施例,本發明描述許多實例。實例1為一種封裝體總成,其包含:一封裝體基體;嵌入於該封裝體基體中之一橋接體,該橋接體包括一橋接體基體;以及一互連體結構,其包括延伸穿過該封裝體基體以與安置

於該橋接體基體之表面上或下方之一傳導性特徵界面連接之一導通孔。該互連體結構可經組配以在該傳導性特徵與安裝於該封裝體基體上之一晶粒之間導引電氣信號。

[0063] 實例2可包括實例1之標的物，且進一步指定該導通孔填充有一傳導性材料且該傳導性特徵包含該傳導性材料，該傳導性材料包括銅(Cu)。

[0064] 實例3可包括實例2之標的物，且進一步指定該封裝體總成進一步包括形成於該導通孔之上且穿過該封裝體基體之一表面突出之一傳導性柱，該傳導性柱經組配以在該傳導性特徵與該晶粒之間導引該等電氣信號，其中該晶粒與該傳導性柱電氣耦接。

[0065] 實例4可包括實例1之標的物，且進一步指定該等電氣信號為輸入/輸出(I/O)信號。

[0066] 實例5可包括實例1之標的物，且進一步指定該橋接體基體包含一玻璃、陶瓷或半導體材料，該半導體材料包括矽(Si)，且其中該封裝體基體包含包括氧化矽(SiO<sub>2</sub>)之一介電材料。

[0067] 實例6可包括實例1之標的物，且進一步指定該晶粒為一邏輯晶粒或一記憶體晶粒。

[0068] 實例7可包括實例1之標的物，且進一步指定該導通孔之一直徑大於該傳導性特徵之一直徑。

[0069] 實例8可包括實例7之標的物，且進一步指定該傳導性特徵包括一導電線。

[0070] 實例9可包括實例8之標的物，且進一步指定該橋

接體包括經由該導電線與該互連體結構耦接之另一互連體結構，該傳導線在該互連體結構與該另一互連體結構之間安置於該橋接體基體內，以提供該晶粒與安裝於該封裝體基體之該表面上之另一晶粒之間的電氣連接，該另一晶粒與該另一互連體結構電氣耦接。

[0071] 實例10可包括實例1之標的物，且進一步指定該橋接體基體係使用味之素累積膜(ABF)層壓而嵌入於該封裝體基體中。

[0072] 實例11為一種裝置，其包含：一橋接體基體；以及至少一互連體結構，其包括：一傳導性特徵，其安置於該橋接體基體之一表面下方；以及一傳導性元件，其延伸至該橋接體基體之該表面中，該傳導性元件經組配以與該傳導性特徵界面連接以在該傳導性特徵與一晶粒之間導引電氣信號。

[0073] 圖12可包括實例11之標的物，且進一步指定該傳導性元件包括自該傳導性元件之一末端伸出的一傳導性柱，該末端與該傳導性特徵界面連接之另一末端相反，該傳導性柱經組配以與該晶粒電氣耦接。

[0074] 實例13可包括實例11之標的物，且進一步指定該等電氣信號為輸入/輸出(I/O)信號。

[0075] 實例14可包括實例11之標的物，且進一步指定該橋接體基體包含一玻璃、陶瓷或半導體材料。

[0076] 實例15可包括實例11之標的物，且進一步指定該傳導性元件及該傳導性特徵包含一傳導性材料，該傳導性



材料包括銅(Cu)，其中該傳導性特徵包括一導電線。

[0077] 實例16可包括實例11之標的物，且進一步指定該裝置進一步包含該晶粒，其中該傳導性元件包含穿過安置於該橋接體基體之上的一介電基體而形成之一導通孔，且該晶粒係安置於該橋接體基體上且與該傳導性元件電氣耦接。

[0078] 實例17可包括實例16之標的物，且進一步指定該傳導性特徵係安置於該橋接體基體之該表面下方。

[0079] 實例18為一種方法，其包含：穿過一封裝體基體形成一導通孔以暴露安置於嵌入於該封裝體基體中之一橋接體之一表面上或下方的一傳導性特徵，該橋接體包括包含一玻璃、陶瓷或一半導體材料之一橋接體基體；在該封裝體基體上形成一導電層使得該導通孔填充有包含該導電層之一傳導性材料，該經填充導通孔提供與該傳導性特徵之電氣連接；以及自該封裝體基體之一頂表面移除該導電層之一部分。

[0080] 實例19可包括實例18之標的物，且進一步指定該方法進一步包含由該導通孔中之該傳導性材料形成一傳導性柱，該傳導性柱自該經填充導通孔伸出且突出超過該封裝體基體之該頂表面。

[0081] 實例20可包括實例19之標的物，且進一步指定形成該傳導性柱包括對該導通孔之該傳導性材料之消滅蝕刻。

[0082] 實例21可包括實例18之標的物，且進一步指定形

成該導通孔進一步包括對該導通孔之一表面去污以清潔該導通孔。

[0083] 實例22可包括實例18之標的物，且進一步指定該方法包括在形成該導電層前，藉由無電電鍍或濺鍍將具有與該傳導性材料相同之化學性的材料沈積至該封裝體基體之一表面。

[0084] 實例23可包括實例18之標的物，且進一步指定形成該導電層包括藉由電解電鍍將該傳導性材料沈積至該封裝體基體之一表面，其中穿過一封裝體基體形成一導通孔包括藉由一準分子雷射鑽出該導通孔。

[0085] 實例24可包括實例18之標的物，且進一步指定該傳導性材料包含銅(Cu)，該半導體材料包含矽(Si)，且該封裝體基體包含有機介電材料及傳導性材料。

[0086] 實例25可包括實例18之標的物，且進一步指定該方法包括在形成一導通孔前，使用味之素累積膜(ABF)層壓將該橋接體嵌入至該封裝體基體中。

[0087] 實例26為一種裝置，其包含：用於形成穿過一封裝體基體且延伸至嵌入於該封裝體基體中之一橋接體之一表面中以暴露安置於該橋接體之該表面上或下方之一傳導性特徵之一導通孔之構件，該橋接體包括包含一玻璃、陶瓷或一半導體材料之一橋接體基體；用於在該封裝體基體上形成一導電層使得該導通孔填充有包含該導電層之一傳導性材料之構件，該經填充導通孔提供與該傳導性特徵之電氣連接；以及用於自該封裝體基體之一頂表面移除該導

電層之一部分之構件。

[0088] 實例27可包括實例18之標的物，且進一步指定該裝置進一步包含用於由該導通孔中之該傳導性材料形成一傳導性柱之構件，該傳導性柱自該經填充導通孔伸出且突出超過該封裝體基體之該頂表面。

[0089] 各種實施例可包括上述實施例之任何合適組合，包括以上按連接詞形式(及)(例如，「及」可為「及/或」)描述的實施例之替代性(或)實施例。此外，一些實施例可包括上面儲存有指令的一或多個製品(例如，非暫時性電腦可讀媒體)，該等指令當經執行時導致上述實施例中之任何者的動作。此外，一些實施例可包括具有用於進行上述實施例之各種操作之任何合適構件之裝置或系統。

[0090] 所說明實施的以上描述(包括在發明摘要中描述之內容)並不意欲為詳盡無遺漏的或將本發明之實施例限於所揭示之精確形式。雖然為了例示性目的在本文中描述具體實施及實例，但各種等效修改在本發明之範疇內係可能的，如熟習相關技術者將認識到。

[0091] 可依據以上詳細描述對本發明之實施例進行此等修改。在以下申請專利範圍中使用之術語不應被解釋為將本發明之各種實施例限於在說明書及申請專利範圍中揭示之具體實施。相反，範疇將完全由以下申請專利範圍判定，將根據申請專利範圍解釋之已確立原則來解釋申請專利範圍。

## 【符號說明】

- 100、200、300...積體電路(IC)封裝體總成
- 110、204、304...封裝體基體
- 120、206、306...橋接體
- 131、132、220、222、770、772、870、872...互連體結構
- 141、142...位置
- 150、152、270...導電線
- 161、162、210、212...晶粒
- 214、314...橋接體基體
- 240、242、244、246、340、342、344、346...層
- 260、262、360、362、420、422...導通孔
- 280、282、370、372...傳導性特徵
- 380...橋接體基體之表面
- 560...傳導性種子材料
- 640...傳導性材料層
- 660、662...傳導性材料層之部分
- 760、762...傳導性材料
- 860、862...柱
- 900...製造IC封裝體總成之方法
- 902、904、906、908、910...步驟
- 1000...計算器件
- 1002...主機板
- 1004...處理器
- 1006...通訊晶片
- 1020...依電性記憶體

- 1022...快閃記憶體
- 1024...非依電性記憶體
- 1026...晶片組
- 1028...天線
- 1030...圖形處理器
- 1032...顯示器
- 1036...電池
- 1040...全球定位系統(GPS)器件
- 1041...功率放大器
- 1042...羅盤
- 1046...觸控螢幕控制器
- 1050...揚聲器
- 1052...攝影機

## 申請專利範圍

1. 一種封裝體總成，其包含：
  - 一封裝體基體；
  - 嵌入於該封裝體基體中之一橋接體，該橋接體包括一橋接體基體；以及
  - 一互連體結構，其包括延伸穿過該封裝體基體以與安置於該橋接體基體之一表面上或下方之一傳導性特徵界面連接之一導通孔，
    - 其中該互連體結構經組配以在該傳導性特徵與安裝於該封裝體基體上之一晶粒之間導引電氣信號。
2. 如請求項1之封裝體總成，其中該導通孔填充有一傳導性材料，且該傳導性特徵包含該傳導性材料，該傳導性材料包括銅(Cu)。
3. 如請求項2之封裝體總成，其進一步包括形成於該導通孔之上且穿過該封裝體基體之一表面突出的一傳導性柱，該傳導性柱經組配以在該傳導性特徵與該晶粒之間導引該等電氣信號，其中該晶粒與該傳導性柱電氣耦接。
4. 如請求項1之封裝體總成，其中該等電氣信號為輸入/輸出(I/O)信號。
5. 如請求項1之封裝體總成，其中該橋接體基體包含一玻璃、陶瓷，或半導體材料，該半導體材料包括矽(Si)，且其中該封裝體基體包含包括氧化矽(SiO<sub>2</sub>)之一介電材

料。

6. 如請求項1之封裝體總成，其中該晶粒為一邏輯晶粒或一記憶體晶粒。
7. 如請求項1之封裝體總成，其中該導通孔之一直徑大於該傳導性特徵之一直徑。
8. 如請求項7之封裝體總成，其中該傳導性特徵包括一導電線。
9. 如請求項8之封裝體總成，其中該橋接體包括經由該導電線與該互連體結構耦接之另一互連體結構，該傳導線在該互連體結構與該另一互連體結構之間安置於該橋接體基體內，以提供該晶粒與安裝於該封裝體基體之該表面上之另一晶粒之間的電氣連接，該另一晶粒與該另一互連體結構電氣耦接。
10. 如請求項1至9中任一項之封裝體總成，其中該橋接體基體係使用味之素累積膜(ABF)層壓而嵌入於該封裝體基體中。
11. 一種裝置，其包含：
  - 一橋接體基體；以及
  - 至少一互連體結構，其包括：
    - 一傳導性特徵，其安置於該橋接體基體之一表面下方；以及
    - 一傳導性元件，其延伸至該橋接體基體之該表面中，該傳導性元件經組配以與該傳導性特徵界面連接以在該傳導性特徵與一晶粒之間導引電氣信

號。

12. 如請求項11之裝置，其中該傳導性元件包括自該傳導性元件之一末端伸出一傳導性柱，該末端與該傳導性特徵界面連接之另一末端相反，該傳導性柱經組配以與該晶粒電氣耦接。
13. 如請求項11之裝置，其中該等電氣信號為輸入/輸出(I/O)信號。
14. 如請求項11之裝置，其中該橋接體基體包含一玻璃、陶瓷或半導體材料。
15. 如請求項11之裝置，其中該傳導性元件及該傳導性特徵包含一傳導性材料，該傳導性材料包括銅(Cu)，其中該傳導性特徵包括一導電線。
16. 如請求項11之裝置，其進一步包含該晶粒，其中該傳導性元件包含穿過安置於該橋接體基體之上的一介電基體而形成之一導通孔，且該晶粒係安置於該橋接體基體上且與該傳導性元件電氣耦接。
17. 如請求項16之裝置，其中該傳導性特徵係安置於該橋接體基體之該表面下方。
18. 一種方法，其包含以下步驟：

穿過一封裝體基體形成一導通孔以暴露安置於嵌入於該封裝體基體中之一橋接體之一表面上或下方的一傳導性特徵，該橋接體包括包含一玻璃、陶瓷，或一半導體材料之一橋接體基體；

在該封裝體基體上形成一導電層使得該導通孔填



充有包含該導電層之一傳導性材料，該經填充導通孔提供與該傳導性特徵之電氣連接；以及

自該封裝體基體之一頂表面移除該導電層之一部分。

19. 如請求項18之方法，其進一步包含以下步驟：

由該導通孔中之該傳導性材料形成一傳導性柱，該傳導性柱自該經填充導通孔伸出且突出超過該封裝體基體之該頂表面。

20. 如請求項19之方法，其中形成該傳導性柱包括對該導通孔之該傳導性材料之消滅蝕刻。

21. 如請求項18之方法，其中形成該導通孔進一步包括對該導通孔之一表面去污以清潔該導通孔。

22. 如請求項18之方法，其進一步包含以下步驟：

在形成該導電層前，藉由無電電鍍或濺鍍將具有與該傳導性材料相同之化學性的材料沈積至該封裝體基體之一表面。

23. 如請求項18之方法，其中形成該導電層包括藉由電解電鍍將該傳導性材料沈積至該封裝體基體之一表面，其中穿過一封裝體基體形成一導通孔包括藉由一準分子雷射鑽出該導通孔。

24. 如請求項18之方法，其中該傳導性材料包含銅(Cu)，該半導體材料包含矽(Si)，且該封裝體基體包含有機介電材料及傳導性材料。

25. 如請求項18至24中任一項之方法，其進一步包含以下步

驟：

在形成一導通孔前，使用味之素累積膜(ABF)層壓將該橋接體嵌入至該封裝體基體中。

26. 一種裝置，其包含：

用於穿過一封裝體基體形成一導通孔以暴露安置於嵌入於該封裝體基體中之一橋接體之一表面上或下方的一傳導性特徵之構件，該橋接體包括包含一玻璃、陶瓷或一半導體材料之一橋接體基體；

用於在該封裝體基體上形成一導電層使得該導通孔填充有包含該導電層之一傳導性材料之構件，該經填充導通孔提供與該傳導性特徵之電氣連接；以及

用於自該封裝體基體之一頂表面移除該導電層之一部分之構件。

27. 如請求項26之裝置，其進一步包含用於由該導通孔中之該傳導性材料形成一傳導性柱之構件，該傳導性柱自該經填充導通孔伸出且突出超過該封裝體基體之該頂表面。

圖式

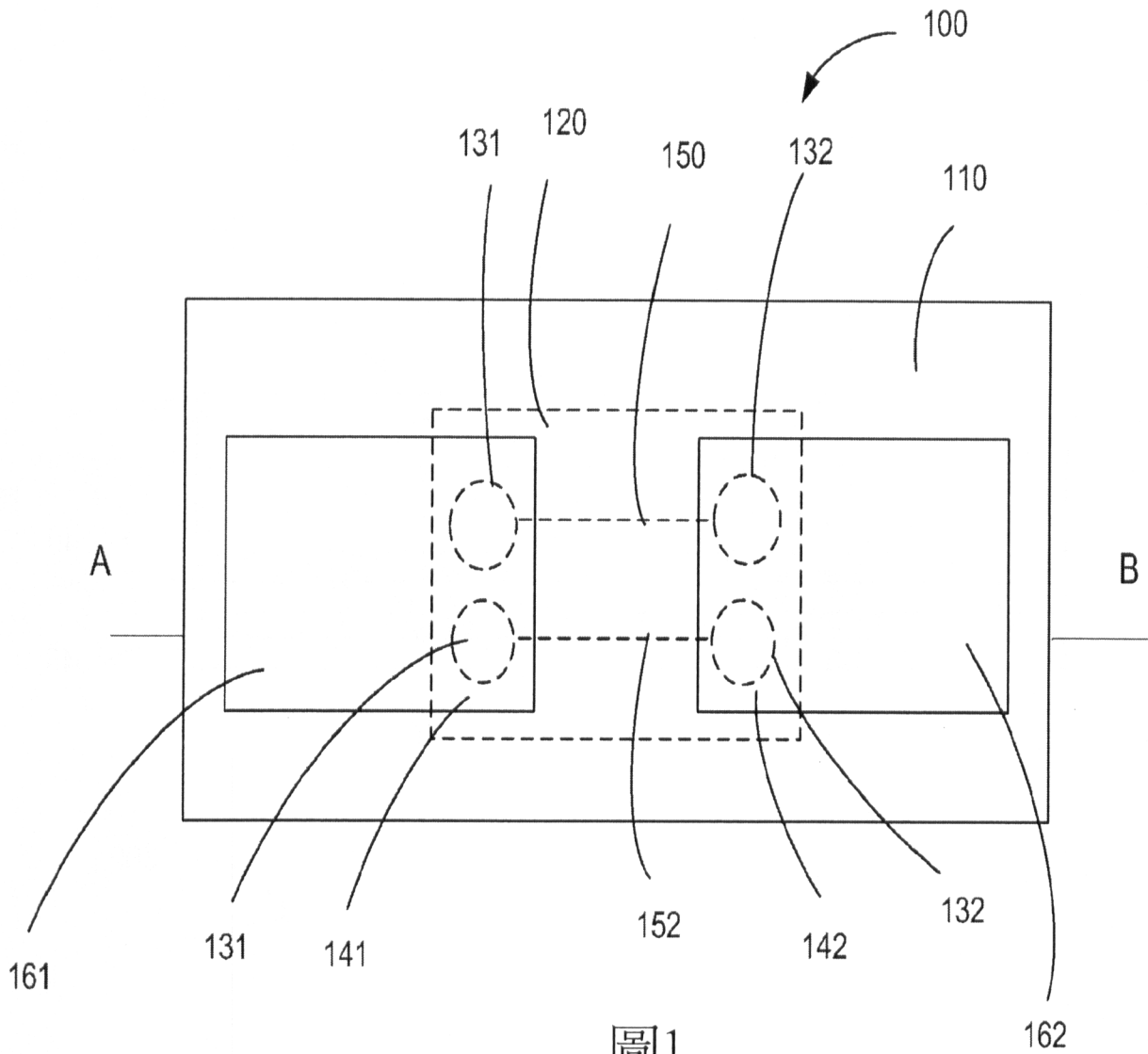


圖1

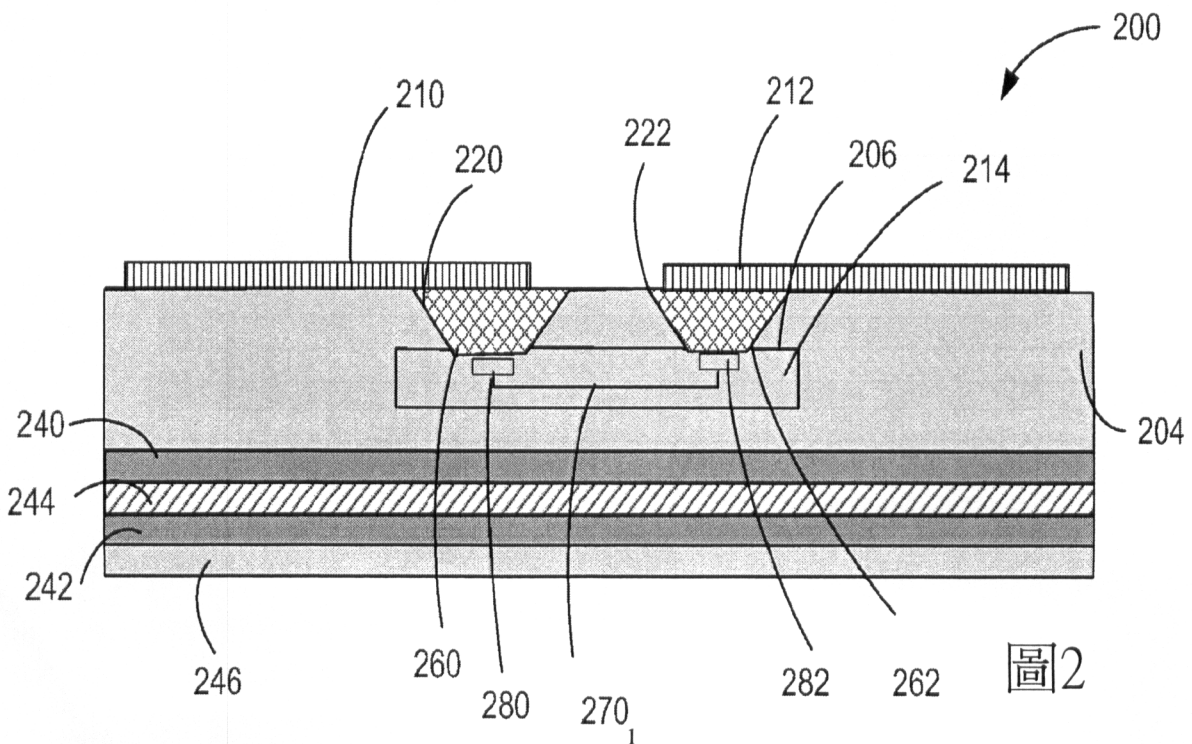


圖2

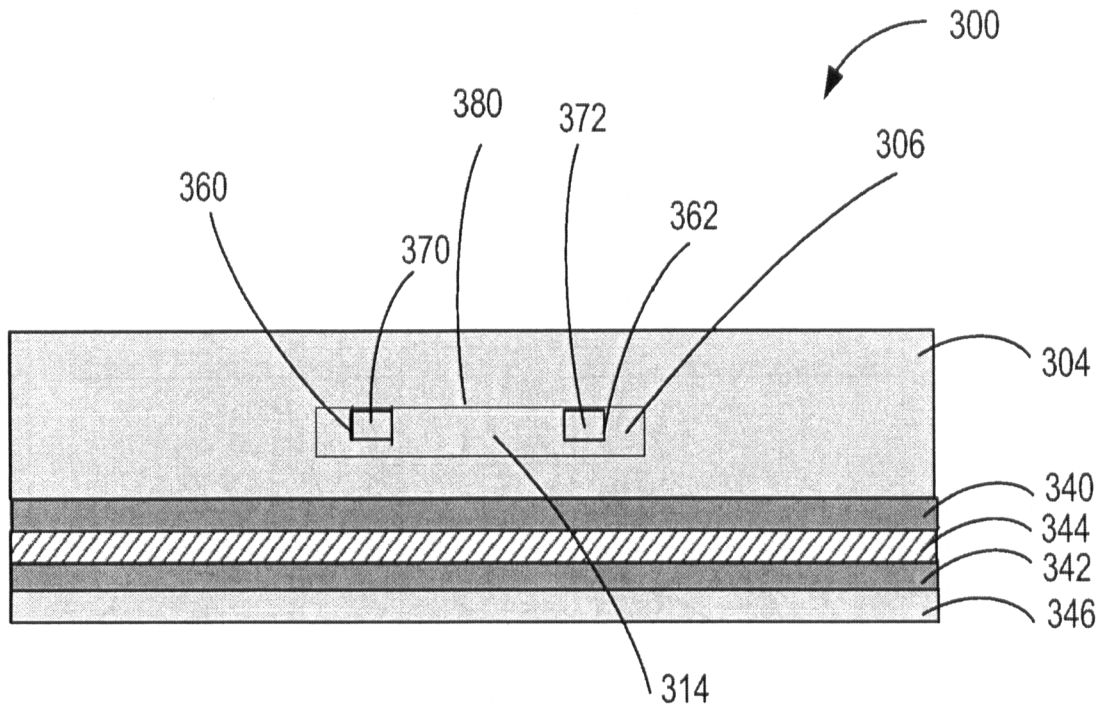


圖3

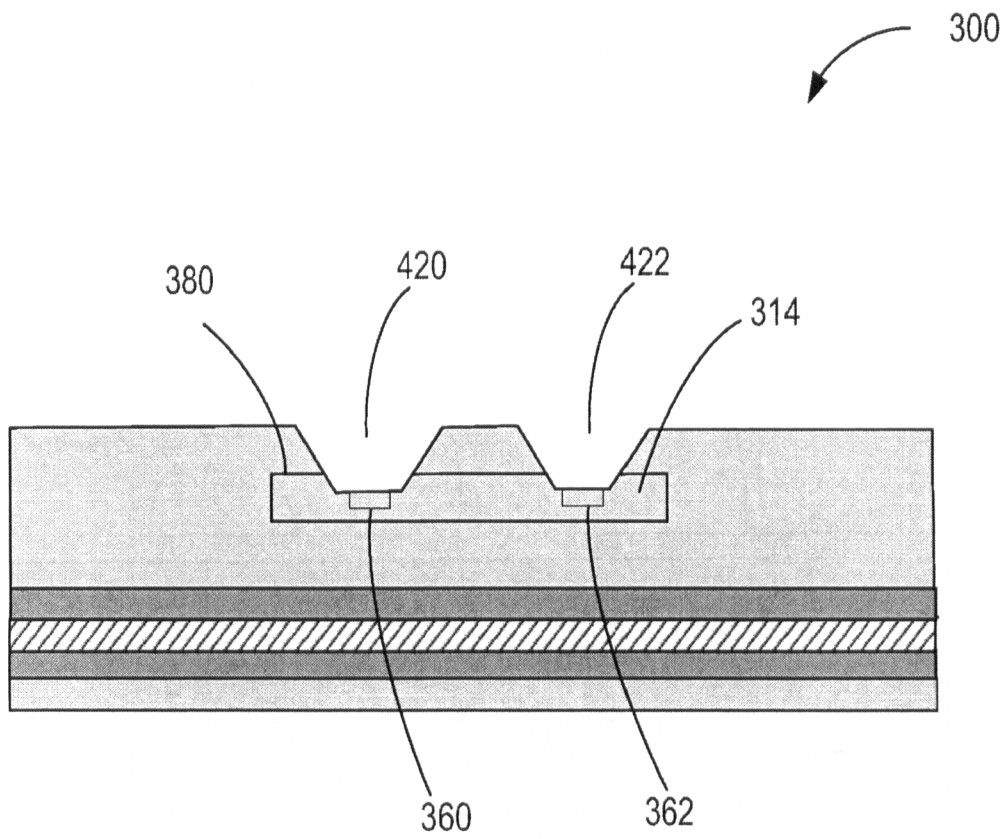


圖4

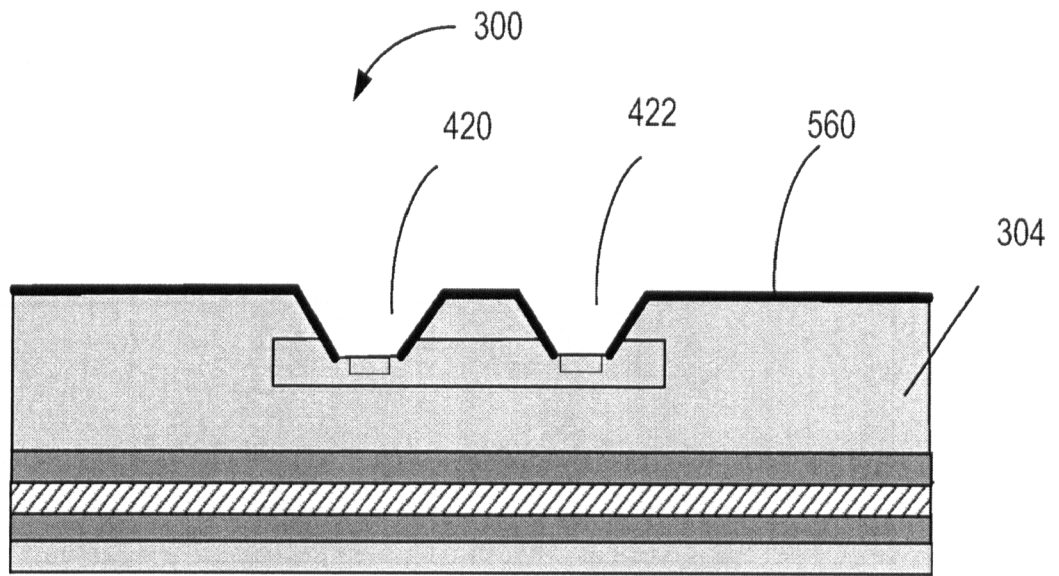


圖5

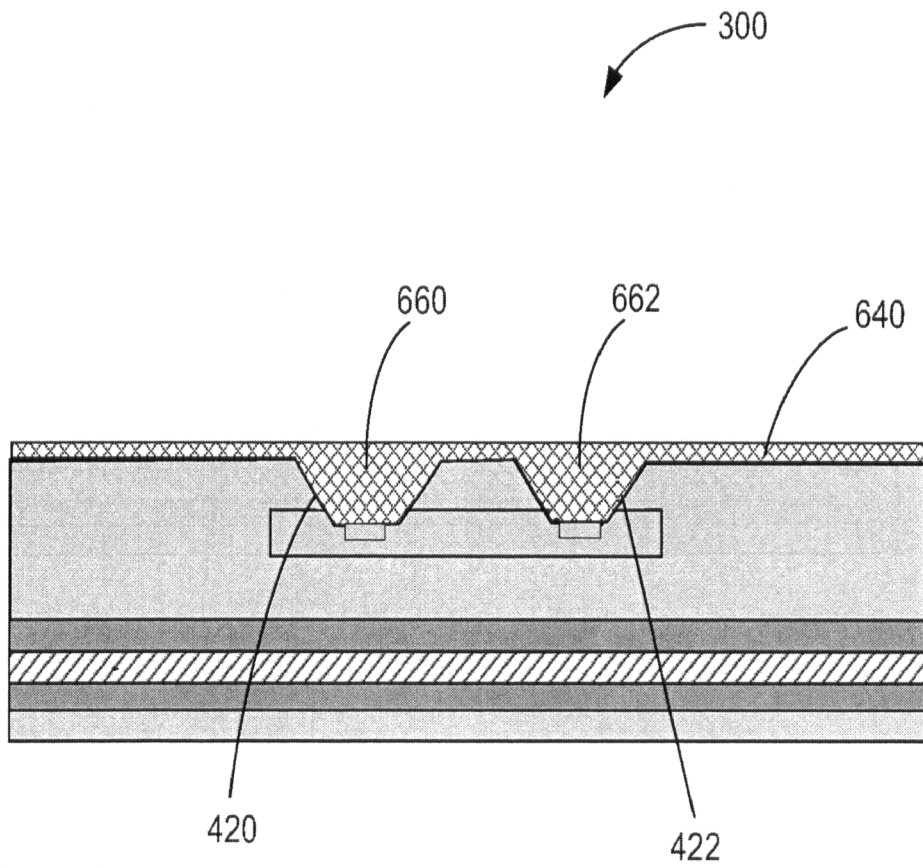


圖6

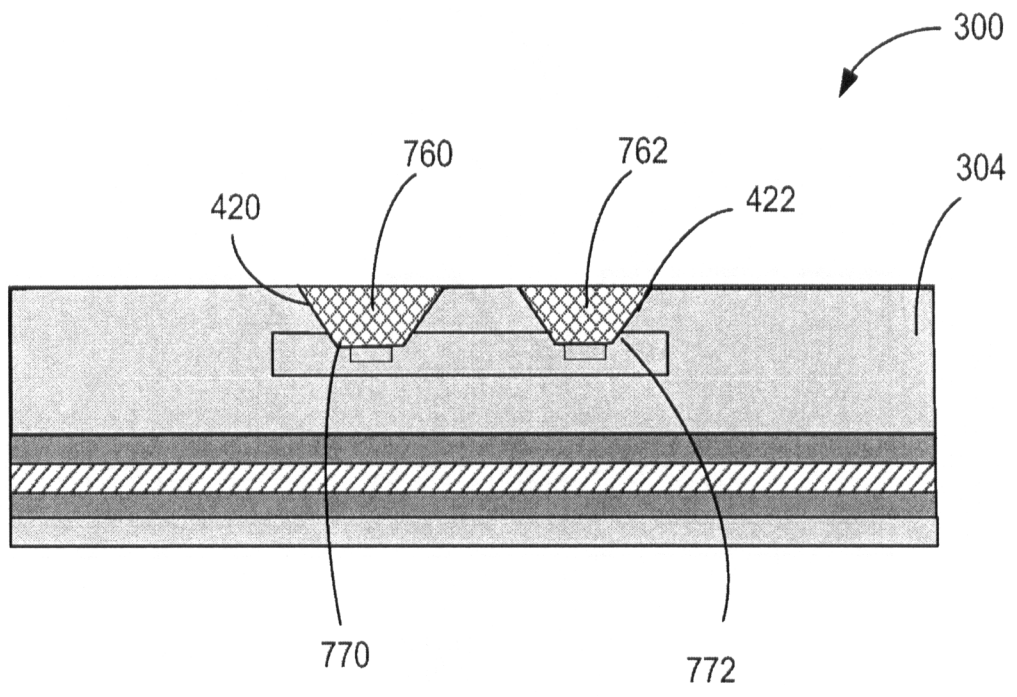


圖7

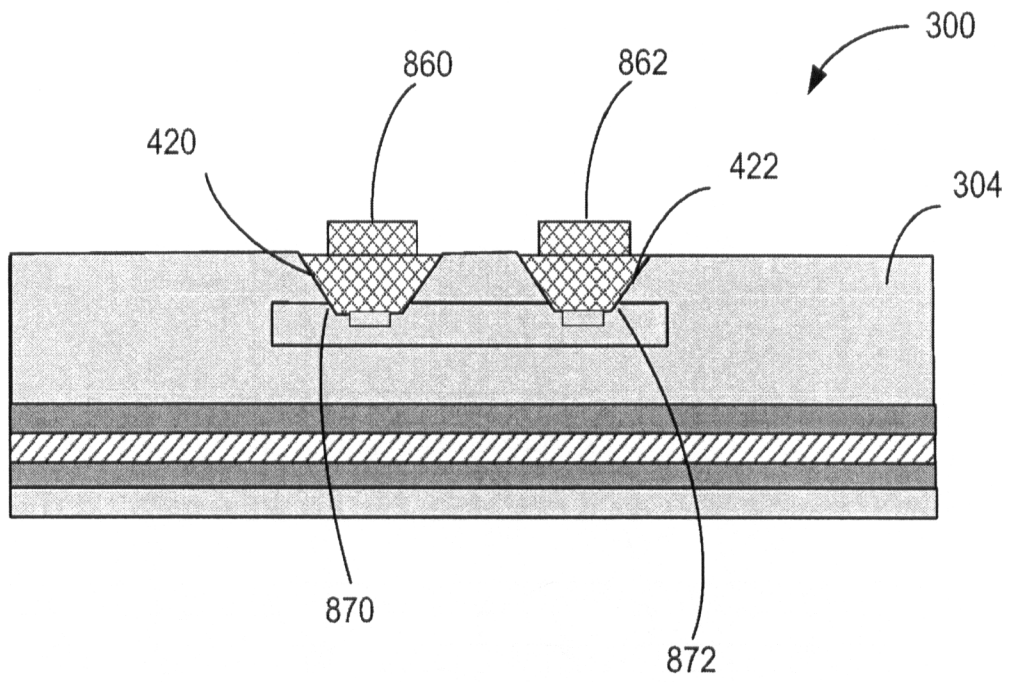


圖8

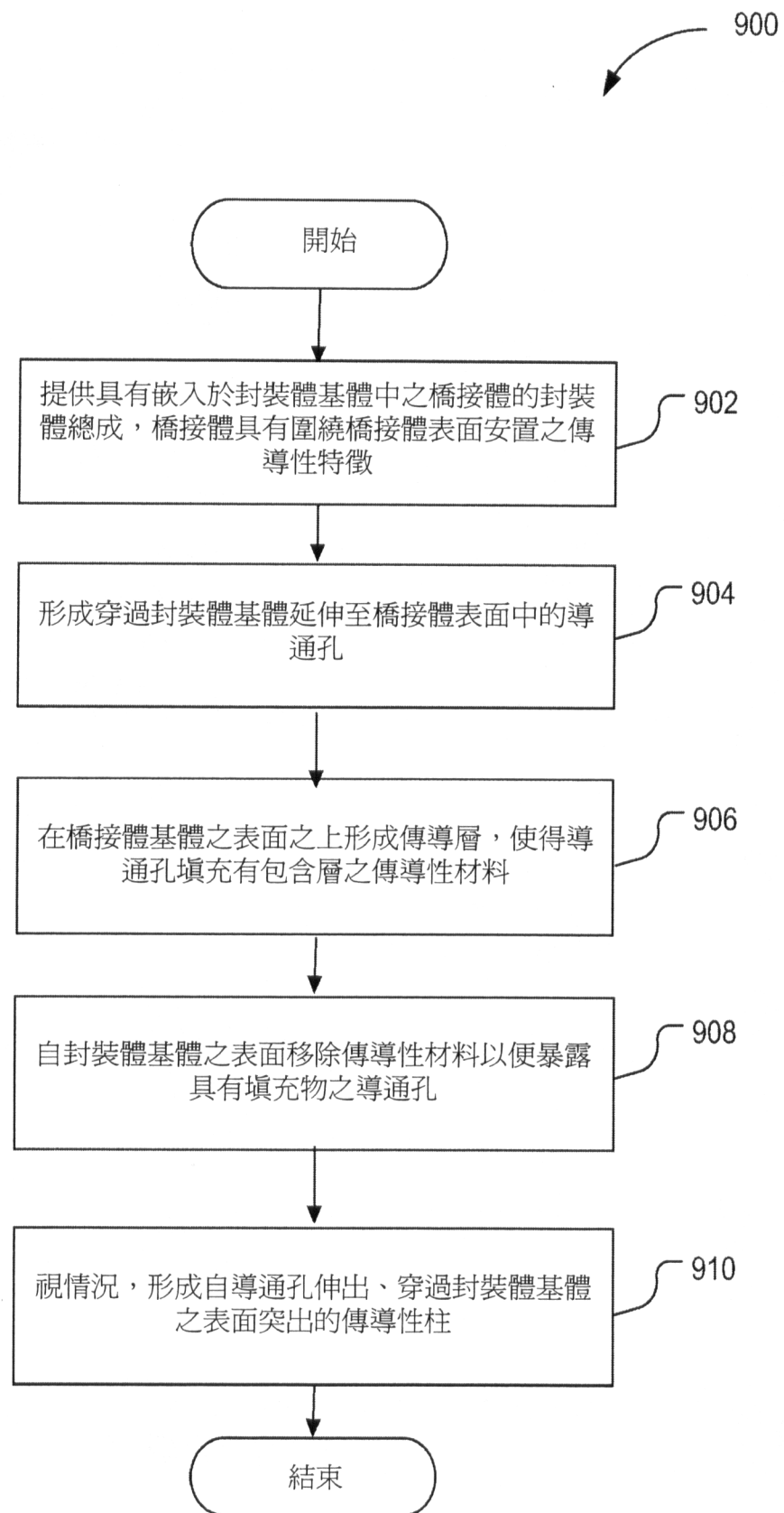


圖9

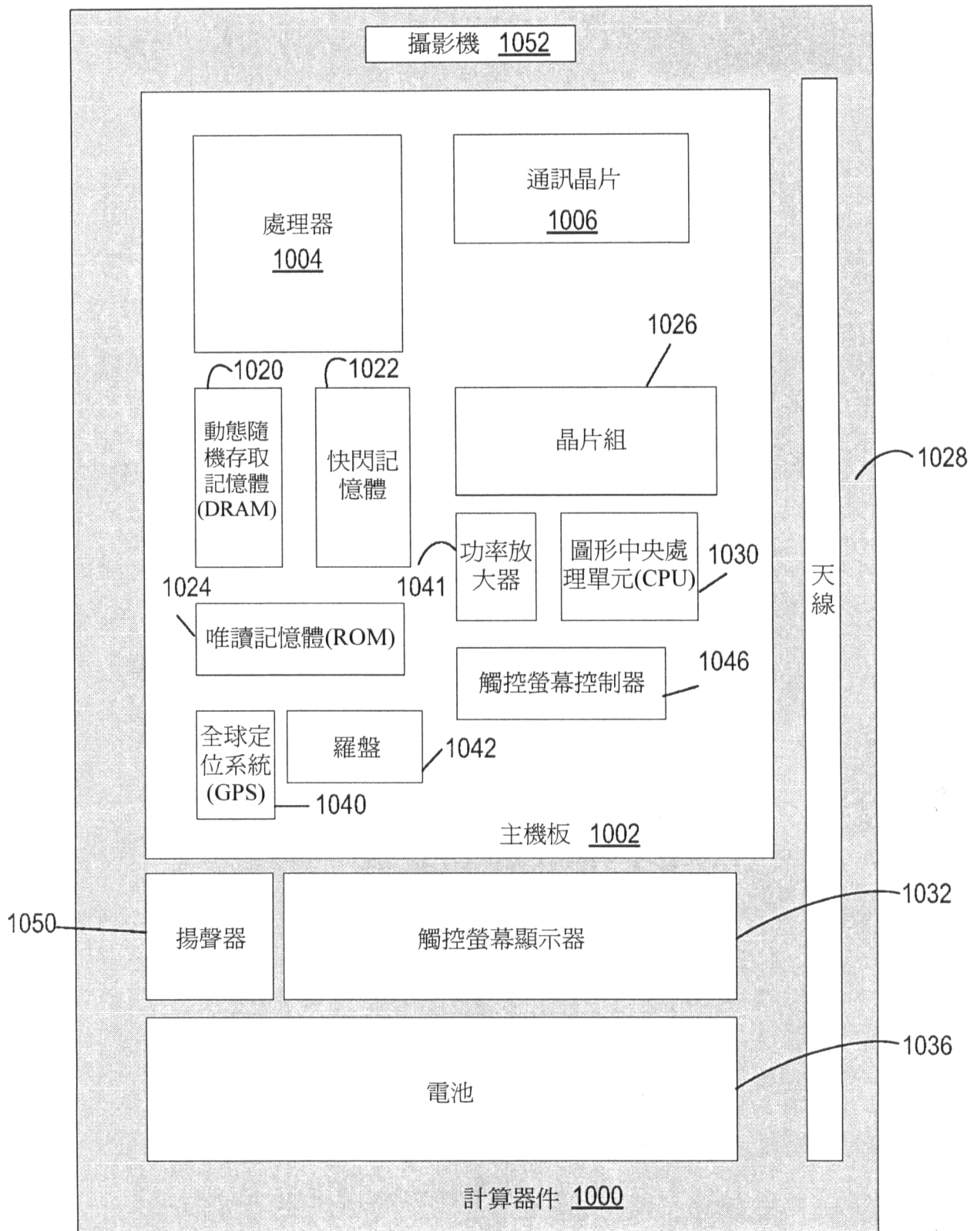


圖10