



(12)发明专利

(10)授权公告号 CN 103730346 B

(45)授权公告日 2016.08.31

(21)申请号 201310719312.3

CN 101621075 A, 2010.01.06,

(22)申请日 2013.12.24

CN 103022149 A, 2013.04.03,

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

CN 102867854 A, 2013.01.09,

CN 102709327 A, 2012.10.03,

(72)发明人 赵策 姜春生 袁广才

审查员 叶剑

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 21/28(2006.01)

H01L 29/786(2006.01)

H01L 21/336(2006.01)

(56)对比文件

WO 2012091297 A1, 2012.07.05,

CN 103378162 A, 2013.10.30,

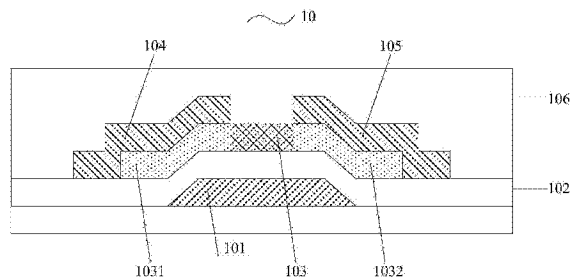
权利要求书2页 说明书11页 附图4页

(54)发明名称

一种薄膜晶体管及其制备方法、阵列基板、显示装置

(57)摘要

本发明实施例提供了一种薄膜晶体管及其制备方法、阵列基板、显示装置,涉及显示技术领域,可解决源、漏极与半导体有源层之间的接触电阻问题,并可减少构图工艺次数、降低成本。该制备方法包括在基板上形成栅极、栅绝缘层、金属氧化物半导体有源层、源极和漏极;所述形成金属氧化物半导体有源层包括:形成包括第一图案、第二图案、第三图案,并与源极和漏极直接接触的氧化铟系二元金属氧化物图案层;以形成在源极和漏极上方的绝缘层为阻挡层,采用离子注入技术向氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将第三图案的二元金属氧化物转化为多元金属氧化物半导体,形成金属氧化物半导体有源层。用于显示装置的制造。



1. 一种薄膜晶体管,包括设置在基板上的栅极、栅绝缘层、金属氧化物半导体有源层、源极和漏极;其特征在于,

所述金属氧化物半导体有源层设置在所述基板与所述源极和所述漏极之间,且与所述源极和所述漏极之间的间隙对应;

所述薄膜晶体管还包括与所述金属氧化物半导体有源层同层设置且接触的第一图案和第二图案;所述第一图案与所述源极对应且直接接触,所述第二图案与所述漏极对应且直接接触;

其中,所述第一图案和所述第二图案均包括氧化铟系二元金属氧化物,所述金属氧化物半导体有源层包括氧化铟系多元金属氧化物半导体,且所述氧化铟系多元金属氧化物为在所述氧化铟系二元金属氧化物中注入金属掺杂离子并经退火处理后得到的金属氧化物;

所述氧化铟系二元金属氧化物包括铟锡氧化物ITO、或铟镓氧化物IGO、或铟锌氧化物IZO;

所述金属掺杂离子包括锌离子 Zn^{2+} 、镓离子 Ga^{3+} 、锡离子 Sn^{2+} 、铝离子 Al^{3+} 、以及铪离子 Hf^{4+} 中的至少一种。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管为底栅型;

所述薄膜晶体管还包括设置在所述源极和所述漏极上方的保护层。

3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管为顶栅型。

4. 一种阵列基板,其特征在于,包括权利要求1至3任一项所述的薄膜晶体管。

5. 一种显示装置,其特征在于,包括权利要求4所述的阵列基板。

6. 一种薄膜晶体管的制备方法,包括在基板上形成栅极、栅绝缘层、金属氧化物半导体有源层、源极和漏极;其特征在于,

所述在基板上形成金属氧化物半导体有源层包括:

在基板上形成氧化铟系二元金属氧化物图案层,所述图案层包括与所述源极对应的第一图案、与所述漏极对应的第二图案、以及与所述源极和所述漏极之间的间隙对应的第三图案,且所述氧化铟系二元金属氧化物图案层与所述源极和所述漏极直接接触;

以形成在所述源极和所述漏极上方的绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层;

所述氧化铟系二元金属氧化物包括铟锡氧化物ITO、或铟镓氧化物IGO、或铟锌氧化物IZO;

所述金属掺杂离子包括锌离子 Zn^{2+} 、镓离子 Ga^{3+} 、锡离子 Sn^{2+} 、铝离子 Al^{3+} 、以及铪离子 Hf^{4+} 中的至少一种。

7. 根据权利要求6所述的方法,其特征在于,所述薄膜晶体管为底栅型;

所述方法还包括:在形成所述源极和所述漏极的基板上形成保护层;

其中,所述以形成在所述源极和所述漏极上方的绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层包括:

以所述保护层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将未被所述源极和所述漏极阻挡的所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层。

8.根据权利要求6所述的方法,其特征在于,所述薄膜晶体管为顶栅型;

其中,所述以形成在所述源极和所述漏极上方的绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层包括:

以所述栅绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将未被所述源极和所述漏极阻挡的所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层。

一种薄膜晶体管及其制备方法、阵列基板、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管及其制备方法、阵列基板、显示装置。

背景技术

[0002] 随着显示器尺寸的不断增大以及驱动电路频率的不断提高,现有的非晶硅薄膜晶体管的迁移率已经难以满足需求。

[0003] 高迁移率的薄膜晶体管(Thin Film Transistor, TFT)有多晶硅TFT和金属氧化物TFT。但多晶硅TFT的均一性差,制作工艺复杂,且受到激光晶化等设备的限制,不利于大规模生产;而金属氧化物TFT的迁移率高、均一性好、透明、制作工艺简单,可以更好地满足大尺寸的液晶显示器(Liquid Crystal Display,简称LCD)、有机发光二极管显示器(Organic Light Emitting Diode,简称OLED)、以及高分子发光二极管显示器(Polymer Light Emitting Diode,简称PLED)的需求,受到了广泛的关注。

[0004] 一般情况下,对于薄膜晶体管而言,在源、漏极与半导体有源层之间的接触表面上会产生一定的能量势垒,从而形成接触电阻;该能量势垒可以阻碍载流子的运动。当界面处的能量势垒较大,形成肖特基接触时,便容易引起信号的损失,从而影响TFT的性能。

[0005] 此外,现有的金属氧化物TFT的制备过程中,后续工艺中在对位于所述金属氧化物半导体有源层上方的源、漏金属层进行刻蚀时,可能会对所述金属氧化物半导体有源层产生损伤,从而导致TFT性能的恶化;因此,在所述金属氧化物半导体有源层的上方还会设置刻蚀阻挡层,以防止后续的制备工艺可能对所述金属氧化物半导体有源层产生的损伤。但刻蚀阻挡层的增加会导致TFT制备过程的复杂化,同时提高了成本。因此,在保证TFT性能的前提下,简化制备工艺十分重要。

发明内容

[0006] 本发明的实施例提供一种薄膜晶体管及其制备方法、阵列基板、显示装置,可解决源、漏极与半导体有源层之间的接触电阻问题,并减少构图工艺次数、同时降低成本。

[0007] 为达到上述目的,本发明的实施例采用如下技术方案:

[0008] 一方面,提供一种薄膜晶体管,包括设置在基板上的栅极、栅绝缘层、金属氧化物半导体有源层、源极和漏极;所述金属氧化物半导体有源层设置在所述基板与所述源极和所述漏极之间,且与所述源极和所述漏极之间的间隙对应;所述薄膜晶体管还包括与所述金属氧化物半导体有源层同层设置且接触的第一图案和第二图案;所述第一图案与所述源极对应且直接接触,所述第二图案与所述漏极对应且直接接触。其中,所述第一图案和所述第二图案均包括氧化铟系二元金属氧化物,所述金属氧化物半导体有源层包括氧化铟系多元金属氧化物半导体,且所述氧化铟系多元金属氧化物为在所述氧化铟系二元金属氧化物中注入金属掺杂离子并经退火处理后得到的金属氧化物。

[0009] 可选的,所述薄膜晶体管为底栅型;所述薄膜晶体管还包括设置在所述源极和所

述漏极上方的保护层。

[0010] 可选的,所述薄膜晶体管为顶栅型。

[0011] 进一步可选的,所述氧化铟系二元金属氧化物包括铟锡氧化物(Indium Tin Oxide,简称ITO)、或铟镓氧化物(Indium Gallium Oxide,简称IGO)、或铟锌氧化物(Indium Zinc Oxide,简称IZO);所述金属掺杂离子包括锌离子(Zn^{2+})、镓离子(Ga^{3+})、锡离子(Sn^{2+})、铝离子(Al^{3+})、以及铪离子(Hf^{4+})中的至少一种。

[0012] 还提供一种阵列基板,包括上述的薄膜晶体管。

[0013] 还提供一种显示装置,包括上述的阵列基板。

[0014] 另一方面,提供一种上述薄膜晶体管的制备方法,包括在基板上形成栅极、栅绝缘层、金属氧化物半导体有源层、源极和漏极。所述在基板上形成金属氧化物半导体有源层包括:在基板上形成氧化铟系二元金属氧化物图案层,所述图案层包括与所述源极对应的第一图案、与所述漏极对应的第二图案、以及与所述源极和所述漏极之间的间隙对应的第三图案,且所述氧化铟系二元金属氧化物图案层与所述源极和所述漏极直接接触;以形成在所述源极和所述漏极上方的绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层。

[0015] 可选的,所述薄膜晶体管为底栅型。所述方法还包括:在形成所述源极和所述漏极的基板上形成保护层;其中,所述以形成在所述源极和所述漏极上方的绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层包括:以所述保护层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将未被所述源极和所述漏极阻挡的所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层。

[0016] 可选的,所述薄膜晶体管为顶栅型。其中,所述以形成在所述源极和所述漏极上方的绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层包括:以所述栅绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将未被所述源极和所述漏极阻挡的所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层。

[0017] 进一步可选的,所述氧化铟系二元金属氧化物包括ITO、或IGO、或IZO;所述金属掺杂离子包括 Zn^{2+} 、 Ga^{3+} 、 Sn^{2+} 、 Al^{3+} 、以及 Hf^{4+} 中的至少一种。

[0018] 本发明实施例提供了一种薄膜晶体管及其制备方法、阵列基板、显示装置,该制备方法包括在基板上形成栅极、栅绝缘层、金属氧化物半导体有源层、源极和漏极。所述在基板上形成金属氧化物半导体有源层包括:在基板上形成氧化铟系二元金属氧化物图案层,所述图案层包括与所述源极对应的第一图案、与所述漏极对应的第二图案、以及与所述源极和所述漏极之间的间隙对应的第三图案,且所述氧化铟系二元金属氧化物图案层与所述源极和所述漏极直接接触;以形成在所述源极和所述漏极上方的绝缘层为阻挡层,采用离

子注入技术向所述氧化铟系二元金属氧化物图案层注入金属掺杂离子,并进行退火处理,将所述第三图案的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层。

[0019] 在本发明实施例中,一方面,由于所述氧化铟系二元金属氧化物为导电材料,经过离子注入和退火处理,将所述第三图案的氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体时,在所述源极和所述漏极下方形成了一个由导体向半导体过渡的区域,这样便在所述源极和所述漏极下方形成了一个提供载流子传输的过渡层,有效的解决了所述金属氧化物半导体有源层与所述源极和所述漏极之间的接触电阻的问题。另一方面,在所述源极和所述漏极上方形成有绝缘层,以该绝缘层为阻挡层,通过离子注入技术形成所述金属氧化物半导体有源层时,还可以避免在薄膜晶体管的制备过程中其它后续工艺可能对所述金属氧化物半导体有源层产生的影响,省略了刻蚀阻挡层的制备,从而减少了构图工艺次数、同时降低了成本。

附图说明

[0020] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0021] 图1(a)为本发明实施例提供一种薄膜晶体管的结构示意图一;

[0022] 图1(b)为本发明实施例提供一种进行离子注入的示意图一;

[0023] 图2(a)为本发明实施例提供一种薄膜晶体管的结构示意图二;

[0024] 图2(b)为本发明实施例提供一种进行离子注入的示意图二;

[0025] 图3~图5为本发明实施例提供一种形成薄膜晶体管的过程示意图一;

[0026] 图6~图8为本发明实施例提供一种形成薄膜晶体管的过程示意图二;

[0027] 图9为本发明提供的一种阵列基板的结构示意图。

[0028] 附图标记:

[0029] 10-薄膜晶体管;101-栅极;102-栅绝缘层;103-金属氧化物半导体有源层;1030-二元金属氧化物图案层;1031-第一图案;1032-第二图案;1033-第三图案;104-源极;105-漏极;106-保护层;20-像素电极。

具体实施方式

[0030] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 本发明实施例提供了一种薄膜晶体管10的制备方法,包括在基板上形成栅极101、栅绝缘层102、金属氧化物半导体有源层103、源极104和漏极105。

[0032] 所述在基板上形成金属氧化物半导体有源层103可以包括:在基板上形成氧化铟系二元金属氧化物图案层1030,所述图案层包括与所述源极104对应的第一图案1031、与所

述漏极105对应的第二图案1032、以及与所述源极104和所述漏极105之间的间隙对应的第三图案1033,且所述氧化铟系二元金属氧化物图案层1030与所述源极104和所述漏极105直接接触;以形成在所述源极104和所述漏极105上方的绝缘层为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层1030注入金属掺杂离子,并进行退火处理,将所述第三图案1033的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体,形成所述金属氧化物半导体有源层103。

[0033] 需要说明的是,第一,所述氧化铟系二元金属氧化物是指以氧化铟为基体,掺杂其它金属元素形成的一种二元金属氧化物;这里,所述氧化铟系二元金属氧化物为一种导电材料。

[0034] 第二,所述氧化铟系二元金属氧化物图案层1030包括第一图案1031、第二图案1032和第三图案1033三个部分,该三个部分仅仅是从结构上进行区分,与组成材料无关。当进行离子注入之后,所述第三图案1033的材料由所述氧化铟系二元金属氧化物转化为所述氧化铟系多元金属氧化物半导体;但对于所述薄膜晶体管10而言,其仍保持原有的图案形状并处于原先的位置。

[0035] 第三,所述氧化铟系二元金属氧化物图案层1030与所述源极104和所述漏极105直接接触是指,所述氧化铟系二元金属氧化物图案层1030的所述第一图案1031和所述第二图案1032分别与所述源极104和所述漏极105直接接触,而所述第三图案1033被所述源极104和所述漏极105之间的间隙露出。

[0036] 第四,以形成在所述源极104和所述漏极105上方的绝缘层为阻挡层是指,在制备薄膜晶体管10时,先形成所述源极104和漏极105,再形成该阻挡层。

[0037] 在离子注入的过程中,需要以绝缘层为阻挡层。这是由于进行离子注入的金属掺杂离子具有很高的能量,如果不设置阻挡层而直接进行离子注入,可能会因离子的轰击能量过高而导致半导体有源层的损伤,进而影响薄膜晶体管10的性能;因此在离子注入的过程中需要一种起阻挡作用的介质。这里,所述阻挡层可以是任何一种具有阻挡作用的绝缘层。

[0038] 根据薄膜晶体管的类型,当其本身就已包含了具有阻挡作用的绝缘层时,可以直接采用该绝缘层作为阻挡层;当其本身包含的绝缘层无法作为阻挡层时,可以重新制备一层具有阻挡作用的绝缘层。

[0039] 第五,经过离子注入使所述第三图案1033的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体之后,还可以根据需要进行退火处理,以使所述氧化铟系多元金属氧化物半导体103的组织均匀化,并使金属氧化物半导体103中的载流子处于有效位置,从而利于载流子的传输。

[0040] 其中,进行退火处理的气氛可以包括空气或者氧气,进行退火处理的温度为100-600℃。

[0041] 第六,对于采用离子注入技术形成所述金属氧化物半导体有源层103的方法,可适用于包括底栅型和顶栅型的任一种薄膜晶体管,在此不作限定,具体的工艺可根据薄膜晶体管的实际构造进行设计。

[0042] 本发明实施例提供了一种薄膜晶体管10的制备方法,包括在基板上形成栅极101、栅绝缘层102、金属氧化物半导体有源层103、源极104和漏极105。所述在基板上形成金属氧

化物半导体有源层103可以包括：在基板上形成氧化铟系二元金属氧化物图案层1030，所述图案层包括与所述源极104对应的第一图案1031、与所述漏极105对应的第二图案1032、以及与所述源极104和所述漏极105之间的间隙对应的第三图案1033，且所述氧化铟系二元金属氧化物图案层1030与所述源极104和所述漏极105直接接触；以形成在所述源极104和所述漏极105上方的绝缘层为阻挡层，采用离子注入技术向所述氧化铟系二元金属氧化物图案层1030注入金属掺杂离子，并进行退火处理，将所述第三图案1033的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体，形成所述金属氧化物半导体有源层103。

[0043] 在本发明实施例中，一方面，由于所述氧化铟系二元金属氧化物为导电材料，经过离子注入和退火处理，将所述第三图案1033的氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体时，相当于在所述源极104和所述漏极105下方形成了一个由导体向半导体过渡的区域，这样便在所述源极104和所述漏极105下方形成了一个可以提供载流子传输的过渡层，有效的解决了所述金属氧化物半导体有源层103与所述源极104和所述漏极105之间的接触电阻的问题。另一方面，在所述源极104和所述漏极105上方形成有绝缘层，以该绝缘层为阻挡层，通过离子注入技术形成所述金属氧化物半导体有源层103时，可以避免在薄膜晶体管10的制备过程中其它后续工艺可能对所述金属氧化物半导体有源层103产生的影响，省略了刻蚀阻挡层的制备，从而减少了构图工艺次数、同时降低了成本。

[0044] 可选的，如图1(a)和图1(b)所示，所述方法具体可以包括：在基板上依次形成所述栅极101、所述栅绝缘层102、所述氧化铟系二元金属氧化物的图案层1030、所述源极104和所述漏极105，以及位于所述源极104和所述漏极105上方的保护层106。

[0045] 其中，所述氧化铟系二元金属氧化物图案层1030包括与所述源极104对应且直接接触的所述第一图案1031、与所述漏极105对应且直接接触的所述第二图案1032、以及与所述源极104和所述漏极105之间的间隙对应的所述第三图案1033。

[0046] 在此情况下，在形成所述金属氧化物半导体有源层103时，参考图1(b)所示，可以以所述保护层106为阻挡层，采用离子注入技术向所述氧化铟系二元金属氧化物图案层1030注入金属掺杂离子，然后在例如空气气氛中以适当温度进行退火处理，将未被所述源极104和所述漏极105阻挡的所述第三图案1033的所述氧化铟系二元金属氧化物转化为所述氧化铟系多元金属氧化物半导体，从而形成所述金属氧化物半导体有源层103，进而得到参考图1(a)所示的底栅型薄膜晶体管。

[0047] 这里，所述金属掺杂离子的注入剂量以及轰击能量需要进行严格的控制。其注入剂量应能使所述二元金属氧化物形成具有半导体特性的所述多元金属氧化物半导体；而其轰击能量则需保证大部分的金属掺杂离子能够进入所述氧化铟系二元金属氧化物图案层1030的所述第三图案1033中，从而与所述氧化铟系二元金属氧化物结合形成所述氧化铟系多元金属氧化物半导体。因此，在进行离子注入的过程中，根据实际情况可采用高能量深入的方式进行作业。

[0048] 由于在离子注入的过程中，所述金属掺杂离子具有很高的轰击能量，因此，大部分的金属掺杂离子可以直接穿透所述保护层106而进入未被所述源极104和所述漏极105阻挡的所述第三图案1033。其中，由于在所述氧化铟系二元金属氧化物图案层1030的上方已经形成所述源极104和所述漏极105，穿透所述保护层106的金属掺杂离子受到所述源极104和

所述漏极105的阻挡,而使所述金属掺杂离子无法注入对应于所述源极104的所述第一图案1031和对应于所述漏极105的第二图案1032,仅注入未被所述源极104和所述漏极105阻挡的所述第三图案1033,从而仅将所述第三图案1033的所述氧化铟系二元金属氧化物转化为所述氧化铟系多元金属氧化物半导体,形成金属氧化物半导体有源层103。

[0049] 基于上述描述可知,经过离子注入和退火处理后,所述第三图案1033的材料为氧化铟系多元金属氧化物半导体材料,所述第一图案1031和所述第二图案1032的材料为氧化铟系二元金属氧化物导电材料。其中由于所述第一图案1031与所述源极104直接接触,所述第二图案1032与所述漏极105直接接触,因此可以视为所述源极104还包括所述第一图案1031,所述漏极105还包括所述第二图案1032。

[0050] 可选的,如图2(a)和图2(b)所示,所述方法具体还可以包括:在基板上依次形成所述氧化铟系二元金属氧化物图案层1030、所述源极104和所述漏极105、所述栅绝缘层102、以及所述栅极101。

[0051] 其中,所述氧化铟系二元金属氧化物图案层1030包括与所述源极104对应且直接接触的所述第一图案1031、与所述漏极105对应且直接接触的第二图案1032、以及与所述源极104和所述漏极105之间的间隙对应的所述第三图案1033。

[0052] 在此情况下,在形成所述金属氧化物半导体有源层103时,参考图2(b)所示,可以在形成所述栅绝缘层102之后,以所述栅绝缘层102为阻挡层,采用离子注入技术向所述氧化铟系二元金属氧化物图案层1030注入金属掺杂离子,然后在例如空气气氛中以适当温度进行退火处理,将未被所述源极104和所述漏极105阻挡的所述第三图案1033的所述氧化铟系二元金属氧化物转化为所述氧化铟系多元金属氧化物半导体,从而形成所述金属氧化物半导体有源层103;然后,在所述栅绝缘层102上方形成所述栅极101,从而得到参考图2(a)所示的顶栅型薄膜晶体管。

[0053] 这里,所述源极104和所述漏极105位于所述氧化铟系二元金属氧化物图案层1030的上方,当采用离子注入技术向所述氧化铟系二元金属氧化物图案层1030注入金属掺杂离子时,穿透所述栅绝缘层102的金属掺杂离子会受到所述源极104和所述漏极105的阻挡,而使所述金属掺杂离子无法注入对应于所述源极104的所述第一图案1031和对应于所述漏极105的第二图案1032,仅注入未被所述源极104和所述漏极105阻挡的所述第三图案1033,之后再经过退火处理,便可仅将所述第三图案1033的所述氧化铟系二元金属氧化物转化为所述氧化铟系多元金属氧化物半导体,形成金属氧化物半导体有源层103。

[0054] 基于上述描述可知,当经过离子注入和退火处理后,所述第三图案1033的材料为氧化铟系多元金属氧化物半导体材料,所述第一图案1031和所述第二图案1032的材料为氧化铟系二元金属氧化物导电材料。其中,由于所述第一图案1031与所述源极104直接接触,所述第二图案1032与所述漏极105直接接触,因此可以视为所述源极104还包括所述第一图案1031,所述漏极105还包括所述第二图案1032。

[0055] 进一步可选的,所述氧化铟系二元金属氧化物包括ITO、或IGO、或IZO;所述金属掺杂离子包括 Zn^{2+} 、 Ga^{3+} 、 Sn^{2+} 、 Al^{3+} 、以及 Hf^{4+} 中的至少一种。

[0056] 这里需要说明的是,由于所述氧化铟系二元金属氧化物经过离子注入之后,会形成所述氧化铟系多元金属氧化物;因此,用于进行离子注入的金属掺杂离子与需要进行离子注入的所述氧化铟系二元金属氧化物中所包含的元素必然均不相同;例如,在向ITO中注

入金属掺杂离子时,必然不会注入 Sn^{2+} 。

[0057] 目前,对于所述氧化铟系二元金属氧化物而言,ITO、IGO以及IZO都有较为广泛的研究;通过离子注入的方法向上述氧化铟系二元金属氧化物中掺入 Zn^{2+} 、 Ga^{3+} 、 Sn^{2+} 、 Al^{3+} 、以及 Hf^{4+} 中的至少一种,从而形成例如ITZO、IGTO、IGZO、HIZO、以及ATZIO等具有稳定特性的半导体材料。

[0058] 下面提供两个具体的实施例对本发明中所述薄膜晶体管10的制备方法进行具体说明。

[0059] 一方面,当所述薄膜晶体管10为底栅型,所述氧化铟系二元金属氧化物为ITO,所述金属掺杂离子为 Zn^{2+} 时,所述方法具体包括:

[0060] S101、如图3所示,在衬底基板上通过一次构图工艺形成包括栅极101的图案;并在形成有所述栅极101的基板上形成栅绝缘层102。

[0061] 其中,在形成所述栅极101的同时,还形成栅线、栅线引线等,当然,也可以形成公共电极线。

[0062] 这里,可以通过磁控溅射法在衬底基板上沉积一层厚度为1~1000纳米的导电薄膜;其中,所述导电薄膜通常可以采用铬、钛、钼、钨、铝、铜、铝镍合金、钼钨合金、钨铜合金等金属或合金材料,或者其它复合导电材料;采用掩膜板进行曝光、显影、刻蚀、剥离等构图工艺处理,形成所述栅极101、栅线(图中为标出)、栅线引线等图案。然后通过化学气相沉积法在形成有包括所述栅极101的图案的基板上沉积一层厚度为10~5000纳米的绝缘薄膜;所述绝缘薄膜的材料通常是氮化硅,也可以使用氧化硅、氮氧化硅以及氧化铝等绝缘材料中的一种或多种。

[0063] S102、如图4所示,在完成步骤S101的基板上形成ITO二元金属氧化物薄膜,并通过一次构图工艺形成ITO二元金属氧化物图案层1030。

[0064] 其中,所述ITO二元金属氧化物图案层1030包括与待形成的所述源极104对应的第一图案1031、与待形成的所述漏极105对应的第二图案1032,以及与待形成的所述源极104和所述漏极105之间的间隙对应的第三图案1033。

[0065] 这里,可以利用物理气相沉积法在形成有所述栅绝缘层102的基板上沉积一层厚度为50~2000纳米的ITO金属氧化物薄膜;然后采用掩膜板通过曝光、显影、刻蚀、剥离等构图工艺处理,形成所述ITO二元金属氧化物图案层1030。

[0066] 需要说明的是,在后续的制备工艺过程中会进行源漏金属层的刻蚀,通过选择适当的金属刻蚀液,可以使所述ITO不被刻蚀,从而免受该金属刻蚀液的影响;因此,本发明无需制备刻蚀阻挡层,可以直接进行金属刻蚀。与现有技术相比,这样可以减少一次构图工艺,从而提高量产效率,节约成本。

[0067] S103、如图5所示,在完成步骤S102的基板上形成源漏金属层薄膜,并通过一次构图工艺形成源极104和漏极105。

[0068] 其中,所述ITO二元金属氧化物图案层1030的所述第一图案1031和所述第二图案1032分别与所述源极104和所述漏极105对应且直接接触。

[0069] 这里,可以通过磁控溅射法在形成有所述ITO二元金属氧化物图案层1030的基板上沉积一层厚度为1~1000纳米的导电薄膜;其中,所述导电薄膜通常可以采用铬、钛、钼、钨、铝、铜、铝镍合金、钼钨合金、钨铜合金等金属或合金材料,或者其它复合导电材料;然后

采用掩膜板进行曝光、显影、刻蚀、剥离等构图工艺处理,形成与所述第一图案1031对应并直接接触的所述源极104、以及与所述第二图案1032对应并直接接触的所述漏极105。

[0070] 当然,在形成所述源极104和所述漏极105的同时,还形成数据线等。

[0071] S104、参考图1(b)所示,在完成步骤S103的基板上,形成保护层106。

[0072] 这里,可以利用化学气相沉积法在形成有所述源极104和所述漏极105的基板上沉积一层厚度为10~5000纳米的保护层薄膜,所述保护层薄膜的材料通常是氮化硅,也可以使用氧化硅、氮氧化硅以及氧化铝等绝缘材料中的一种或多种;然后采用掩膜板通过曝光、显影、刻蚀、剥离等构图工艺处理,形成所述保护层106。

[0073] S105、参考图1(b)所示,在完成步骤S104的基板上,以所述保护层106为阻挡层,采用离子注入技术向所述IT0二元金属氧化物图案层1030注入 Zn^{2+} ,然后在空气气氛中以适当温度进行退火处理,将所述第三图案1033的IT0转化为ITZO半导体,从而形成金属氧化物半导体有源层103,得到参考图1(a)所示的薄膜晶体管10的结构。

[0074] 根据上述步骤S101~S105,可以形成具有底栅型结构的薄膜晶体管10。其中,所述金属氧化物半导体有源层103包括ITZO半导体,所述源极104还包括所述第一图案1031,所述漏极105还包括所述第二图案1032。

[0075] 另一方面,当所述薄膜晶体管10为顶栅型,所述氧化物系二元金属氧化物为IZO,所述金属掺杂离子为 Ga^{3+} 时,所述方法具体包括:

[0076] S201、如图6所示,在衬底基板上形成IZO二元金属氧化物薄膜,并通过一次构图工艺形成IZO二元金属氧化物图案层1030。

[0077] 其中,所述IZO二元金属氧化物图案层1030包括与待形成的所述源极104对应的第一图案1031、与待形成的所述漏极105对应的第二图案1032、以及与待形成的所述源极104和所述漏极105之间的间隙对应的第三图案1033。

[0078] 这里,可以利用物理气相沉积法在衬底基板上沉积一层厚度为50~2000纳米的IZO金属氧化物薄膜;然后采用掩膜板通过曝光、显影、刻蚀、剥离等构图工艺处理,形成所述IZO二元金属氧化物图案层1030。

[0079] S202、如图7所示,在完成步骤S201的基板上,形成源漏金属层薄膜,并通过一次构图工艺形成源极104和漏极105。

[0080] 其中,所述IZO二元金属氧化物图案层1030的所述第一图案1031和所述第二图案1032分别与所述源极104和所述漏极105对应并直接接触。

[0081] 这里,可以通过磁控溅射法在形成有所述IZO二元金属氧化物图案层1030的基板上沉积一层厚度为1~1000纳米的导电薄膜;其中,所述导电薄膜通常可以采用铬、钛、钼、钨、铝、铜、铝镍合金、钼钨合金、钨铜合金等金属或合金材料,或者其它复合导电材料;

[0082] 然后采用掩膜板进行曝光、显影、刻蚀、剥离等构图工艺处理,形成与所述第一图案1031对应并直接接触的所述源极104、和与所述第二图案1032对应并直接接触的所述漏极105。

[0083] S203、如图8所示,在完成步骤S202的基板上,形成栅绝缘层102。

[0084] 这里,可以利用化学气相沉积法在形成有所述源极104和所述漏极105的基板上沉积一层厚度为10~5000纳米的绝缘薄膜,所述绝缘薄膜的材料通常是氮化硅,也可以使用氧化硅、氮氧化硅以及氧化铝等绝缘材料中的一种或多种。

[0085] S204、参考图2(b)所示,以所述栅绝缘层102为阻挡层,采用离子注入技术向所述IZO二元金属氧化物图案层1030注入 Ga^{3+} ,然后在空气气氛中以适当温度进行退火处理,将所述第三图案1033的IZO转化为IGZO半导体,从而形成金属氧化物半导体有源层103。

[0086] S205、参考图2(a)所示,在完成步骤S204的基板上形成金属薄膜,并通过一次构图工艺形成栅极101。

[0087] 其中,在形成所述栅极101的同时,还形成栅线、栅线引线等,当然,也可以形成公共电极线。

[0088] 这里,可以通过磁控溅射法在形成有所述栅绝缘层102的基板上沉积一层厚度为1~1000纳米的导电薄膜;其中,所述导电薄膜通常可以采用铬、钛、钼、钨、铝、铜、铝镍合金、钼钨合金、钨铜合金等金属或合金材料,或者其它复合导电材料;采用掩模板进行曝光、显影、刻蚀、剥离等构图工艺处理,形成所述栅极101、栅线(图中为标出)、栅线引线等图案。

[0089] 根据上述步骤S201~S205,可以形成具有顶栅型结构的薄膜晶体管10。其中,所述金属氧化物半导体有源层103包括IGZO半导体,所述源极104还包括所述第一图案1031,所述漏极105还包括所述第二图案1032。

[0090] 本发明实施例提供一种利用上述方法制备的薄膜晶体管10,参考图1(a)和图2(a)所示,包括设置在基板上的栅极101、栅绝缘层102、金属氧化物半导体有源层103、源极104和漏极105;所述金属氧化物半导体有源层103设置在所述基板与所述源极104和所述漏极105之间,且与所述源极104和所述漏极105之间的间隙对应。所述薄膜晶体管10还包括与所述金属氧化物半导体有源层103同层设置且接触的第一图案1031和第二图案1032;所述第一图案1031与所述源极104对应且直接接触,所述第二图案1032与所述漏极105对应且直接接触。

[0091] 其中,所述第一图案1031和所述第二图案1032均包括氧化铟系二元金属氧化物,所述金属氧化物半导体有源层103包括氧化铟系多元金属氧化物半导体,且所述氧化铟系多元金属氧化物为在所述氧化铟系二元金属氧化物中注入金属掺杂离子并经退火处理后得到的金属氧化物。

[0092] 需要说明的是,所述薄膜晶体管10可以是顶栅型结构,也可以是底栅型结构,在此不作限定。但无论所述薄膜晶体管10的结构如何,其必须保证所述第一图案1031和所述第二图案1032、以及所述金属氧化物半导体有源层103位于所述源极104和所述漏极105的下方,从而保证在进行离子注入的过程中可以仅使与所述源极104和所述漏极105之间的间隙对应的所述氧化铟系二元金属氧化物转化为氧化铟系多元金属氧化物半导体。

[0093] 其中,所述底栅型薄膜晶体管10是指所述栅极101在下、所述源极104和所述漏极105在上的一类薄膜晶体管;所述顶栅型薄膜晶体管10是指所述栅极101在上、所述源极104和所述漏极105在下的一类薄膜晶体管。

[0094] 由于所述第一图案1031与所述源极104直接接触,所述第二图案1032与所述漏极105直接接触,且所述第一图案1031和所述第二图案1032均包括所述氧化铟系二元金属氧化物导电材料;这样,在所述源极104和所述漏极105下方形成了一个由导体向半导体过渡的区域,从而提供了一个载流子传输的过渡层,有效的解决了所述金属氧化物半导体有源层103与所述源极104和所述漏极105之间的接触电阻的问题。

[0095] 可选的,参考图1(a)所示,当所述薄膜晶体管10为底栅型时,所述薄膜晶体管10可

以包括设置在衬底基板上的栅极101、设置在所述栅极101上方的栅绝缘层102、设置在所述栅绝缘层102上方的金属氧化物半导体有源层103、与所述金属氧化物半导体有源层103同层设置且接触的第一图案1031和第二图案1032、分别设置在所述第一图案1031和所述第二图案1032上方的源极104和漏极105、以及设置在所述源极104和所述漏极105上方的保护层106；所述金属氧化物半导体有源层103与所述源极104和所述漏极105之间的间隙对应。

[0096] 其中，所述第一图案1031和所述第二图案1032均包括氧化铟系二元金属氧化物，所述金属氧化物半导体有源层103包括氧化铟系多元金属氧化物半导体，且所述氧化铟系多元金属氧化物为在所述氧化铟系二元金属氧化物中注入金属掺杂离子并经退火处理后得到的金属氧化物。

[0097] 这里，所述氧化铟系二元金属氧化物为一种导电材料，由于所述第一图案1031与所述源极104对应且直接接触，所述第二图案1032与所述漏极105对应且直接接触，因此可视为所述源极104还包括所述第一图案1031，所述漏极105还包括所述第二图案1032。

[0098] 此外，由于所述金属氧化物半导体有源层103是在形成所述源极104和所述漏极105之后通过离子注入技术形成的，而在进行离子注入之前，需要对源漏金属层进行刻蚀，以形成所述源极104和所述漏极105。在此基础上，可以通过选择适当的金属刻蚀液，使与所述源极104和所述漏极105之间的间隙对应的所述氧化铟系二元金属氧化物材料免受该金属刻蚀液的影响，这样便可以省去刻蚀阻挡层的制备而直接进行金属刻蚀。与现有技术相比，这样可以减少一次构图工艺，从而提高量产效率，节约成本。

[0099] 可选的，参考图2(a)所示，当所述薄膜晶体管10为顶栅型时，所述薄膜晶体管10可以包括设置在衬底基板上的金属氧化物半导体有源层103、与所述金属氧化物半导体有源层103同层设置且接触的第一图案1031和第二图案1032、分别设置在所述第一图案1031和所述第二图案1032上方的源极104和漏极105、设置在所述源极104和所述漏极105上方的栅绝缘层102、以及设置在所述栅绝缘层102上方栅极101；所述金属氧化物半导体有源层103与所述源极104和所述漏极105之间的间隙对应。

[0100] 这里，所述氧化铟系二元金属氧化物为一种导电材料，由于所述第一图案1031与所述源极104对应且直接接触，所述第二图案1032与所述漏极105对应且直接接触，因此可视为所述源极104还包括所述第一图案1031，所述漏极105还包括所述第二图案1032。

[0101] 进一步可选的，所述氧化铟系二元金属氧化物包括ITO、或IGO、或IZO；所述金属掺杂离子包括 Zn^{2+} 、 Ga^{3+} 、 Sn^{2+} 、 Al^{3+} 、以及 Hf^{4+} 中的至少一种。

[0102] 这里需要说明的是，由于所述氧化铟系二元金属氧化物经过离子注入之后，会形成所述氧化铟系多元金属氧化物；因此，用于进行离子注入的金属掺杂离子与需要进行离子注入的所述氧化铟系二元金属氧化物中所包含的元素必然均不相同；例如，在向ITO中注入金属掺杂离子时，必然不会注入 Sn^{2+} 。

[0103] 在此基础上，可以对上述的所述氧化铟系二元金属氧化物与所述金属掺杂离子进行适当的组合，以使得到的氧化铟系多元金属氧化物半导体的特性与所述薄膜晶体管10的用途实现最佳匹配即可。

[0104] 本发明实施例提供一种薄膜晶体管10，包括设置在基板上的栅极101、栅绝缘层102、金属氧化物半导体有源层103、源极104和漏极105；所述金属氧化物半导体有源层103设置在所述基板与所述源极104和所述漏极105之间，且与所述源极104和所述漏极105之间

的间隙对应。所述薄膜晶体管10还包括与所述金属氧化物半导体有源层103同层设置且接触的第一图案1031和第二图案1032；所述第一图案1031与所述源极104对应且直接接触，所述第二图案1032与所述漏极105对应且直接接触。其中，所述第一图案1031和所述第二图案1032均包括氧化铟系二元金属氧化物，所述金属氧化物半导体有源层103包括氧化铟系多元金属氧化物半导体，且所述氧化铟系多元金属氧化物为在所述氧化铟系二元金属氧化物中注入金属掺杂离子并经退火处理后得到的金属氧化物。

[0105] 对于本发明实施例提供的薄膜晶体管10，所述第一图案1031和所述第二图案1032与所述金属氧化物半导体有源层103同层设置且接触，且所述金属氧化物半导体有源层103与所述源极104和所述漏极105之间的间隙对应。由于所述第一图案1031与所述源极104对应且接触，所述第二图案1032与所述漏极105对应且接触，且所述第一图案1031和所述第二图案1032均包括所述氧化铟系二元金属氧化物导电材料，这样便相当于在所述源极104和所述漏极105下方形成了一个由导体向半导体过渡的区域，从而形成了一个可以提供载流子传输的过渡层，有效的解决了所述金属氧化物半导体有源层103与所述源极104和所述漏极105之间的接触电阻的问题。

[0106] 本发明实施例提供了一种阵列基板，包括上述的薄膜晶体管10。

[0107] 这里，当所述阵列基板应用于液晶显示装置时，如图9所示，所述阵列基板还包括与所述薄膜晶体管10的所述漏极105电连接的像素电极20。

[0108] 当然，还可以形成公共电极。

[0109] 此外，当所述阵列基板应用于有机电致发光器件时，所述阵列基板还包括阴极，阳极。当然还可以根据需要制作平坦化层、像素界定层等。

[0110] 其中，所述像素界定层用于保证在通过打印技术形成发光层时，发光材料的液滴可以平整地铺满像素区域内，同时避免液滴流到相邻像素区。

[0111] 本发明实施例还提供了一种显示装置，包括上述的阵列基板。

[0112] 其中，所述显示装置可以为：液晶面板、OLED、电子纸、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或部件。

[0113] 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

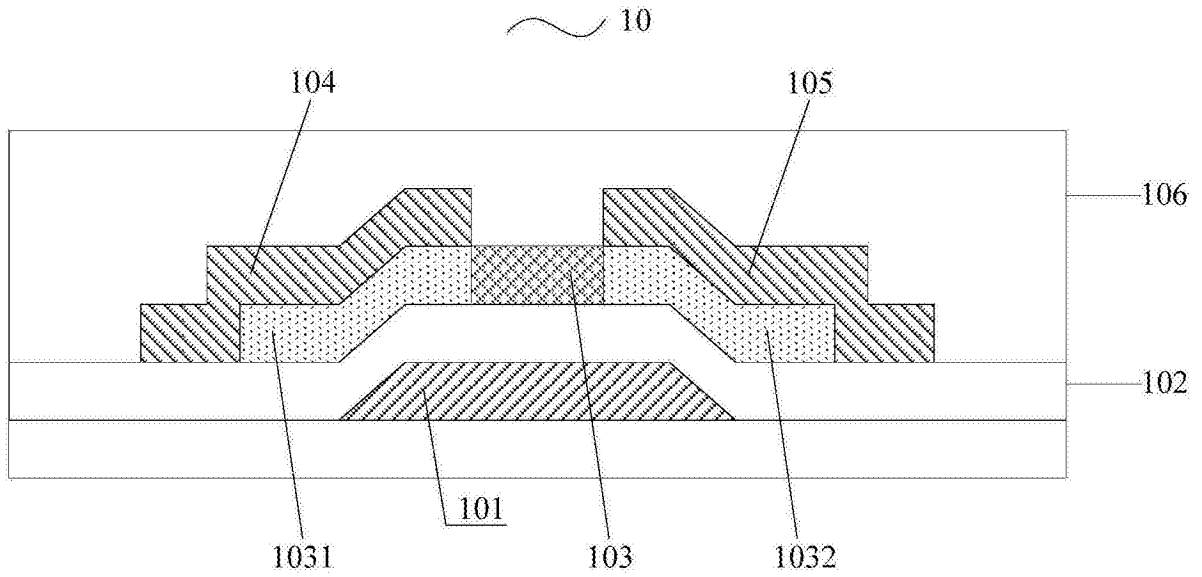


图1(a)

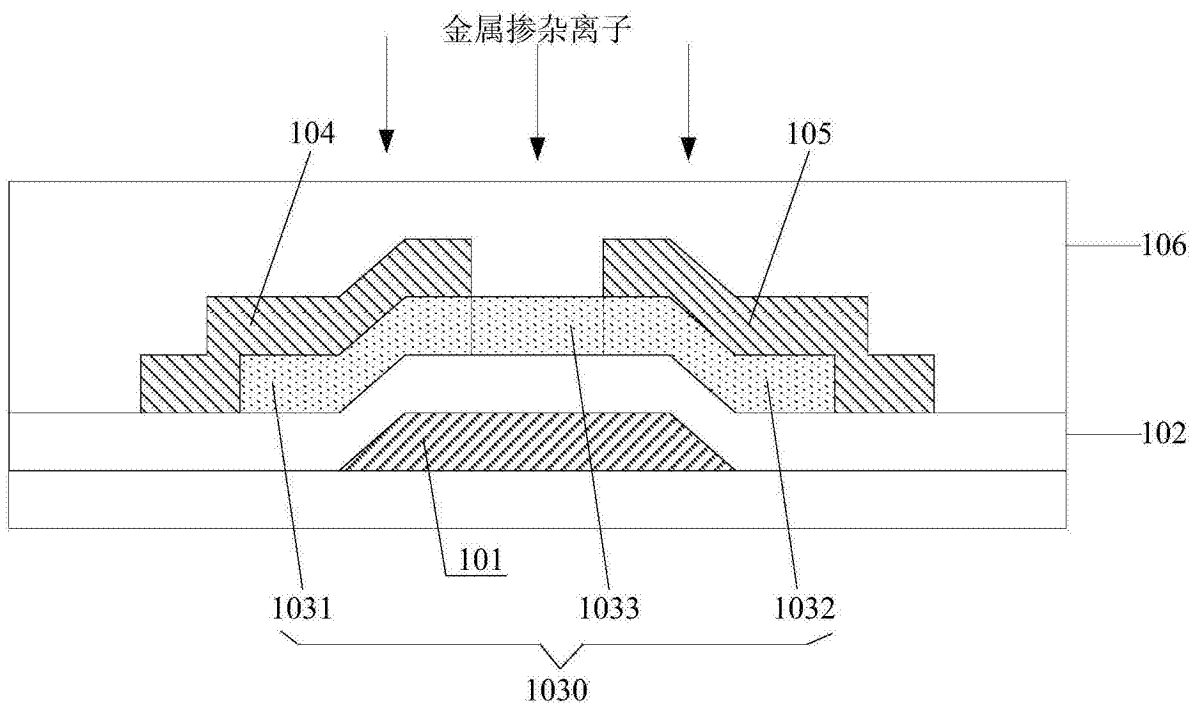


图1(b)

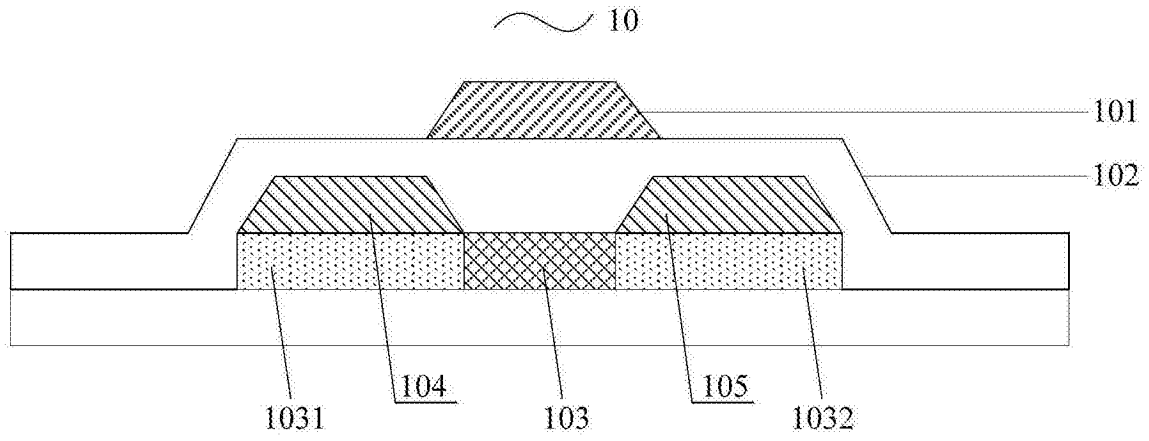


图2(a)

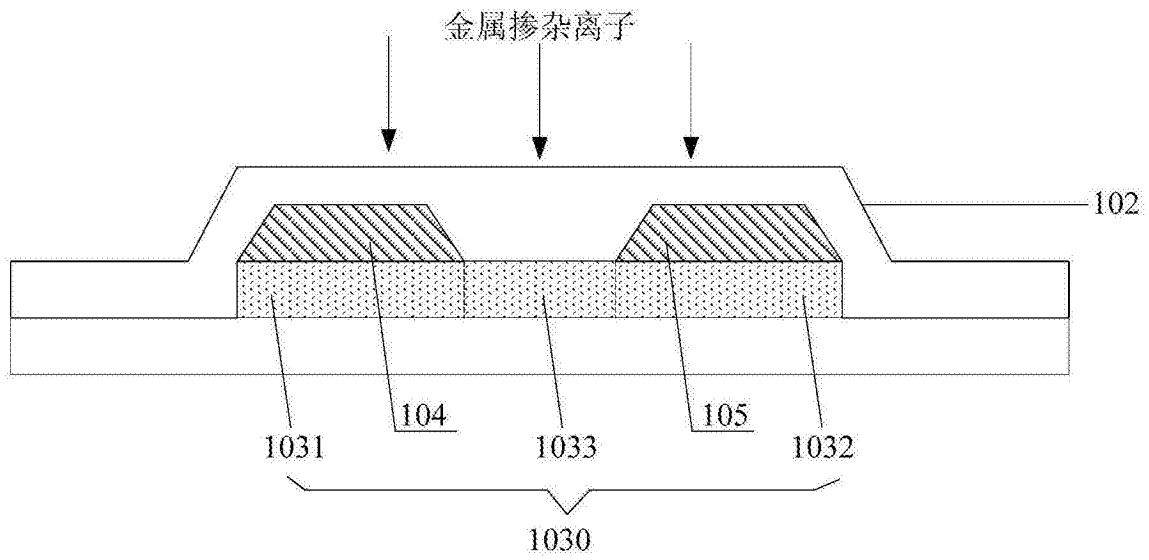


图2(b)

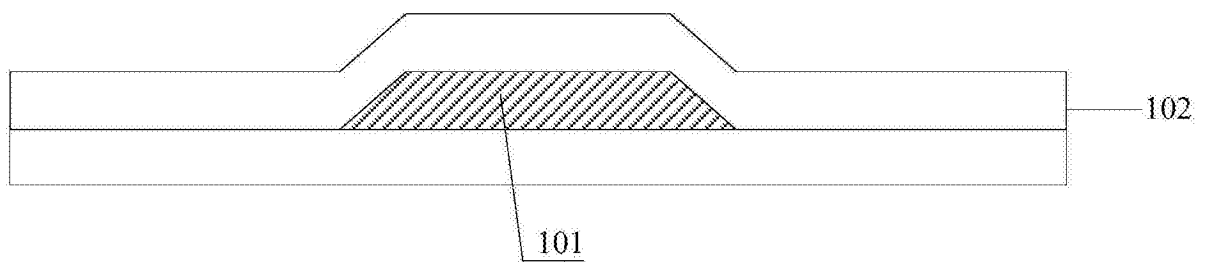


图3

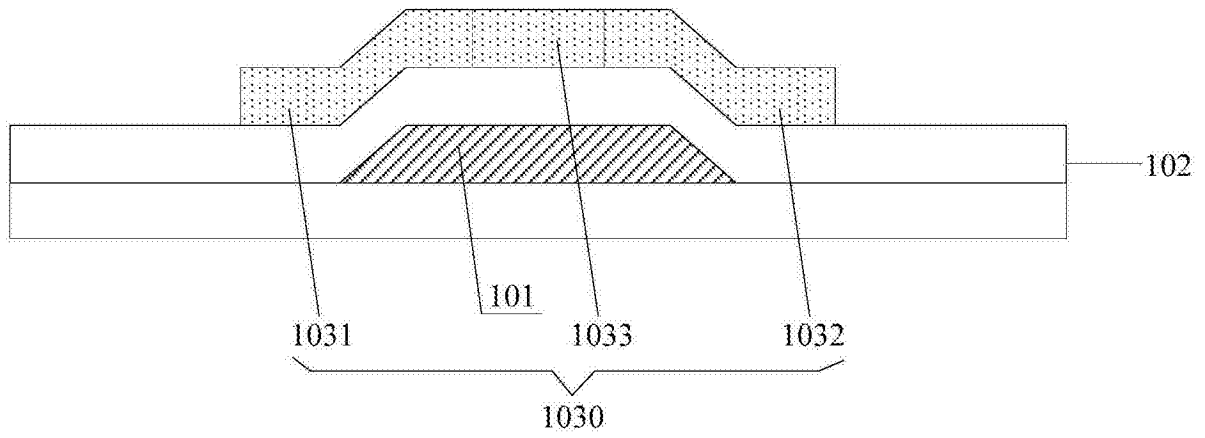


图4

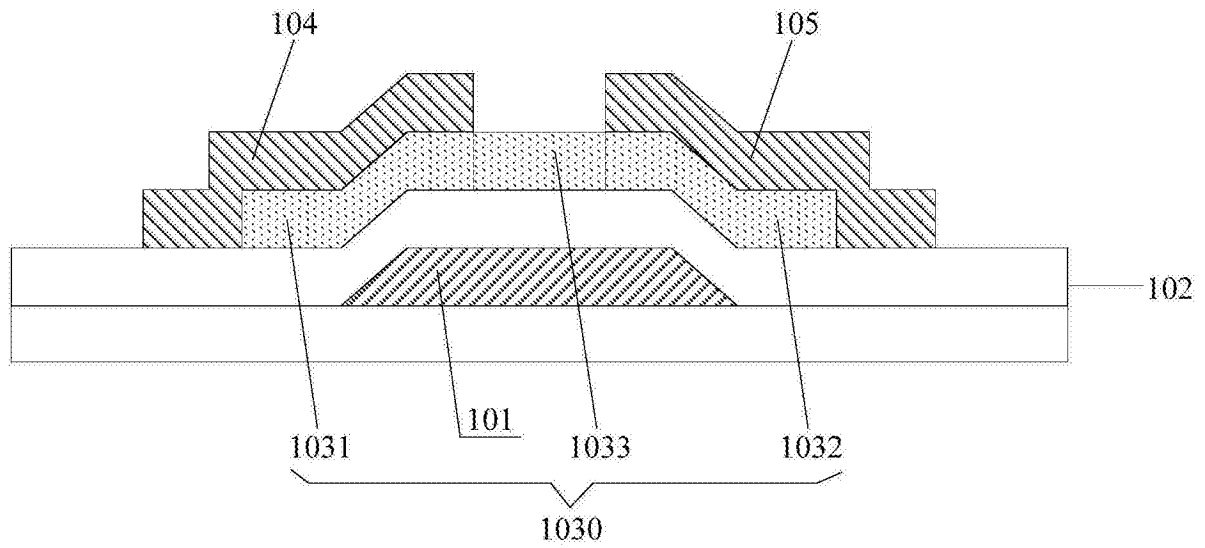


图5

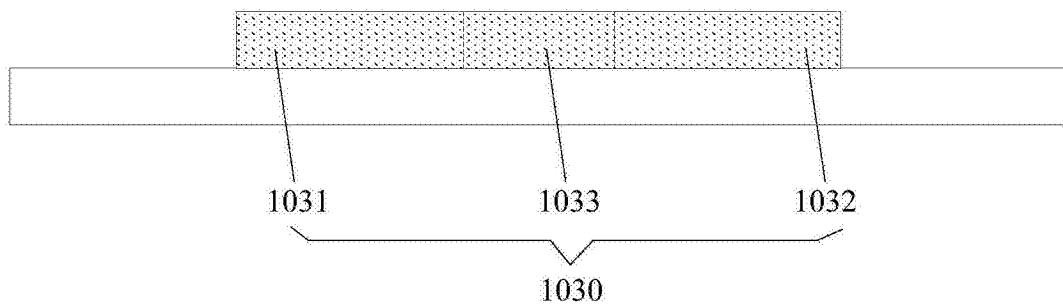


图6

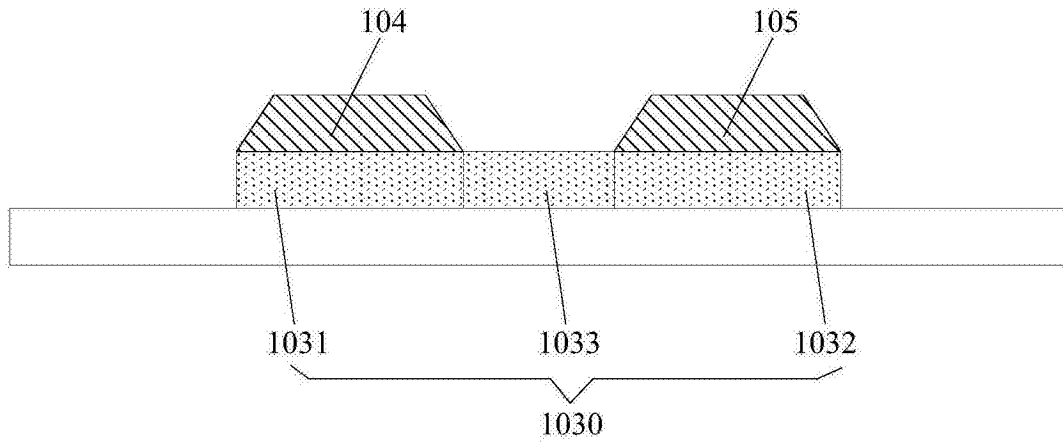


图7

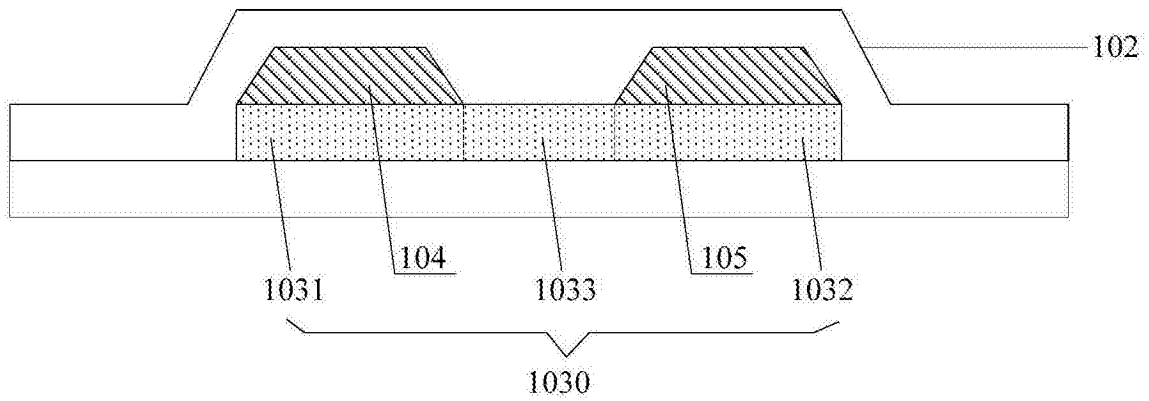


图8

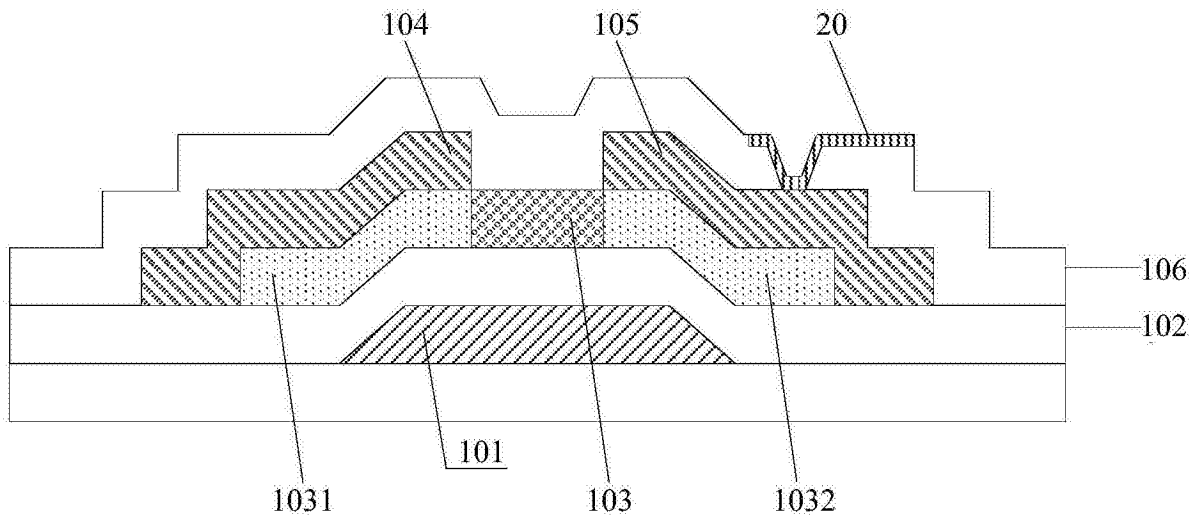


图9