

[19]中华人民共和国专利局

[51]Int.Cl⁶



[12] 发明专利说明书

H01L 29 / 86

H01L 27 / 10

H01L 21 / 02

[21] ZL 专利号 95108317.1

[45]授权公告日 1998 年 11 月 18 日

[11] 授权公告号 CN 1040814C

[22]申请日 95.7.6 [24]颁证日 98.10.24

[21]申请号 95108317.1

[30]优先权

[32]94.7.20 [33]CN[31]94111842.8

[73]专利权人 电子科技大学

地址 610054四川省成都市建设北路二段四号

[72]发明人 陈星弼

[74]专利代理机构 中国国际贸易促进委员会专利商标
事务所

代理人 王以平

[56]参考文献

EP0571695A1 1993.12. 1 H01L29 / 86

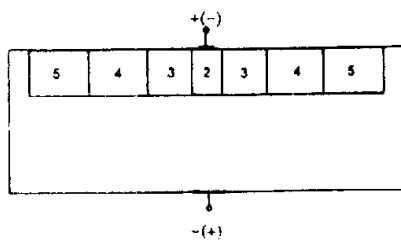
审查员 赵百令

权利要求书 3 页 说明书 9 页 附图页数 5 页

[54]发明名称 一种用于半导体器件的表面耐压区

[57]摘要

一种用于半导体器件的表面耐压区，它位于第一种导电类型的衬底（1）之上形成的第二种导电类型（2）的中心部分周围，该耐压区的平均有效第二种导电类型的杂质密度随离开所述第二种导电类型（2）的中心部分的距离的增加而逐渐或阶梯式减少。此种表面耐压区可使 $n^+ - P^-$ （或 P^+ 或 n ）结的击穿电压达到用同样衬底所做成的平行平面单边突变结的击穿电压的 90%，利用本发明可制作反应速度快、导通电压低、电流密度大的高压纵向器件及高压横向器件。



权 利 要 求 书

1.一种用于半导体器件的表面耐压区,所述半导体器件是以第一种导电类型的衬底及其上形成的第二种导电类型重掺杂区为基础的,其特征在于:

当所述表面耐压区在所述衬底和所述重掺杂区之间所加电压接近反向击穿电压而全部耗尽时,该表面耐压区中第二种导电类型的电离杂质的有效平均密度随着离开重掺杂区中心距离的增加而逐渐或阶梯式地下降,这里,平均密度系指在一个表面横向尺寸远小于 W_{PP} 而又大于该表面耐压区厚度的面积内有效的第二种导电类型杂质总数除以该面积所得的值,其中, W_{PP} 代表由该衬底形成的单边突变平行平面结在其击穿电压下的耗尽层厚度。

2.如权利要求1所述的表面耐压区,其特征在于:所述表面耐压区中的第二种导电类型杂质随离开所述第二种导电类型区的中心部分的距离的增加而减少的平均密度是通过既用第二种导电类型的杂质进行掺杂,又用第一导电类型的杂质进行补偿的方法而得到,其中,所述表面耐压区与衬底相邻的区域为第二种杂质类型区。

3.如权利要求2所述的表面耐压区,其特征在于:所述表面耐压区中第二种导电类型区的杂质密度为常数,而其上的第一种导电类型杂质在两个或两个以上连续的区域随着离开所述第二种导电类型区的中心部分的距离的增加而阶梯式增加。

4.如权利要求3所述的表面耐压区,其特征在于:所述两个或

两个以上连续的第一种导电类型杂质区域中至少有一个是由互相分隔开的小区构成的。

5.如权利要求2所述的表面耐压区,其特征在于:所述补偿杂质的第一种导电类型杂质是掺在所述表面耐压区上层的沿表面水平方向上的锯齿形区域内。

6.如权利要求2所述的表面耐压区,其特征在于:至少有两层以上的、具有不同长度的所述补偿杂质的第一种导电类型层沿垂直方向插入在所述第二种导电类型区之内。

7.如权利要求1-6所述的表面耐压区,其特征在于:在所述第一种导电类型的衬底与所述第二种导电类型的表面耐压区之间设置有一个薄的绝缘层。

8.如权利要求1所述的表面耐压区,其特征在于:包括两个或两个以上具有同样的第二种导电类型杂质密度的掺杂小区,且这些区互相隔开。

9.一种高压半导体器件,该器件包括第一种导电类型的衬底以及以其上形成的第二种导电类型重掺杂压为基础的表面耐压区,其特征在于:

当所述表面耐压区在所述衬底和所述重掺杂区之间所加电压接近反向击穿电压而全部耗尽时,该表面耐压区中第二种导电类型的电离杂质的有效平均密度随着离开重掺杂区中心距离的增加而逐渐或阶梯式地下降,这里,平均密度系指在一个表面横向尺寸远小于 W_{PP} 而又大于该表面耐压区厚度的面积内有效的第二种导电类型杂质总数除以该面积所得的值,其中, W_{PP} 代表由该衬底形成的单边突变平行平面结在其击穿电压下的耗尽层厚度。

10.一种如权利要求9的高压半导体器件，其特征在于：所述表面耐压区中的第二种导电类型杂质随离开所述第二种导电类型区的中心部分的距离的增加而减少的平均密度是通过既用第二种导电类型的杂质进行掺杂，又用第一导电类型的杂质进行补偿的方法而得到，其中，所述表面耐压区与衬底相邻的区域为第二种杂质类型区。

11.一种如权利要求10的高压半导体器件，其特征在于：所述表面耐压区中第二种导电类型区的杂质密度为常数，而其上的第一种导电类型杂质在两个或两个以上连续的区域随着离开所述第二种导电类型区的中心部分的距离的增加而阶梯式增加。

12.一种如权利要求11的高压半导体器件，其特征在于：所述两个或两个以上连续的第一种导电类型杂质区域中至少有一个是由互相分隔开的小区构成的。

13.一种如权利要求10的高压半导体器件，其特征在于：所述补偿杂质的第一种导电类型杂质是掺在所述表面耐压区上层的沿表面水平方向上的锯齿形区域内。

14.一种如权利要求10的高压半导体器件，其特征在于：至少有两层以上的、具有不同长度的所述补偿杂质的第一种导电类型层沿垂直方向插入在所述第二种导电类型区之内。

15.一种如权利要求9的高压半导体器件，其特征在于：包括两个或两个以上具有同样的第二种导电类型杂质密度的掺杂小区，且这些区互相隔开。

一种用于半导体器件的表面耐压区

本发明涉及半导体高压器件及功率器件技术,特别是涉及一种用于半导体器件的表面耐压区。

众所周知,平面(planar) $n^+—p^-$ (或 $p^+—n^-$)结的击穿电压常受限于表面击穿。这里利用图1所示的 $n^+—p$ 结剖面,对此现象作一简单解释。

图中1为第一种导电类型区,如 p^- (或 n^-)型衬底,2为形成在第一种导电类型衬底上的第二种导电类型区,如 n^+ (或 p^+)型区,当 $n^+—p$ (或 $p^+—n^-$)结加上反向偏压后,沿中间线只有纵向电场,其值在 $n^+—p$ (或 $p^+—n^-$)冶金结面最高,其沿线积分等于反向偏压。沿 p (或 n)区表面有一横向电场,其沿表面的积分也等于反向偏压。由于曲率效应,在 n^+ (或 p^+)区表面附近的电场分布很不均匀,在 n^+ (或 p^+)区附近有特别高的电场。此高电场使碰撞电离击穿电压远低于同衬底的单边突变平行平面结的碰撞电离击穿电压。

为了提高表面击穿电压,已有不少的有关技术可以利用。这种技术称为平面结终端技术,关于平面结终端技术可参考文献:B. J. Baliga. IEE Proc, Vol 129. pt I. No. 5 pp. 173—179 (1982)。在各种平面结终端技术中,可能使击穿电压达到同衬底的平行平面突变结90%的,只有结终端扩展(JTE)、可变表面掺杂(VLD)及电阻场板(RFP)。而结终端扩展不可能在最短的表面距离内达到最大的击穿电压;可变表面掺杂需采用结较深的扩散,且其制造方法与现代亚微米工艺不兼容;电阻场板则需要增加复杂的电阻膜制作,使工艺复杂,成本提高。此外,即使采用这三种技术,也不可能使表面耐压区同时成为横向器件中导通电阻较小的漂移区。

横向器件中为提高击穿电压和降低导通电阻,有偏置栅(offset-gate)及RESURF两种技术,见文献S. Ochi, et al., IEEE Trans.

Electron Devices Vol.ED - 27 p.399 (1980) ;E.J.Wildi, et. al., IEDM Digest p.268 (1982), 但这两种技术一般都需要专门的离子注入工艺才能达到较好的效果, 从而增加了工艺的复杂性。而且即使那样, 也不能达到在同样击穿电压下提供比本发明具有更低的导通电阻(对MOS器件)及基极电阻(对双极型器件)的效果。

本发明的目的在于提供一种新的表面耐压区及其制作方法。利用本发明, 可在一定电阻率的衬底上以最短的表面距离实现最高的击穿电压。此表面耐压区的结构使得在制作方法上有许多灵活性, 便于和现代亚微米工艺兼容, 基于此种灵活性使得BiCMOS工艺及CMOS工艺兼容的高压集成电路与功率集成电路能以更低的成本和更高的性能实现。

本发明是根据发明者关于最佳可变表面掺杂的理论构想而来的, 见文献X.B.Chen等, Solid - State Electronics, Vol. 35, pp.1365 - 1370 (1992) (本发明受到中国国家自然科学基金资助)。

为了实现上述目的, 本发明提供了一种半导体器件的表面耐压区, 所述表面耐压区位于在第一种导电类型的衬底之上形成的第二种导电类型区的中心部分的周围, 其中, 该表面耐压区的第二种导电类型杂质的有效平均密度随着离开所述第二种导电类型区的中心部分的距离的增加而逐渐或阶梯式减少, 这里 W_{pp} 指由该衬底构成的单边突变平行平面结在击穿电压下的耗尽层厚度, 所述杂质的平均密度是指在第二种导电类型区的中心部分与第一种导电类型的衬底之间外加反向电压近于反向击穿电压而使表面耐压区全部耗尽的情况下, 在横向尺寸远小于 W_{pp} 且大于该表面耐压区的厚度的面积内的第二种导电类型的电离杂质原子的总数减去第一种导电类型的电离杂质原子总数的差值(即有效的第二种导电类型杂质总数)除以所述面积所得的值。

本发明还提供了一种半导体器件的表面耐压区, 其中此区中的掺杂密度的变化是通过既用第二种导电类型的杂质又再用第一种导电类型的杂质进行补偿的方法而得到的。

本发明还提供了利用此种补偿方法的下述结构的表面耐压区:

所述补偿掺杂的第一种导电类型杂质的掺杂密度在所述表面耐压

区上层的两个或两个以上连续的区域随着离开所述第二种导电类型区的中心部分的距离的增加而阶梯式增加;

所述第一种导电类型杂质补偿掺杂的两个或两个以上连续区域中,至少有一个由互相分隔开的小区构成;

所述补偿掺杂的第一种导电类型杂质掺杂在所述表面耐压区上层沿表面水平方向上的锯齿形区域内;

所述补偿掺杂的第一种导电类型杂质沿垂直方向至少分为互相隔开的两层掺于所述第二种导电类型的表面耐压区内。

上述第一种导电类型区中的杂质离子形成对第二种导电类型杂质离子的杂质补偿,本发明中此种杂质补偿是指当表面耐压区在击穿电压下为全耗尽时,反型杂质对峰值电场的抵偿作用。例如,表面耐压区中某处上层为P型,下层为n型,则受主对峰值电场的作用几乎全为其下层的施主的一部分所抵偿。

在现代亚微米技术中,上述第一种导电类型杂质的补偿区的宽度及相邻区的横向距离可做到小于3微米,半导体耐压层通常为1微米左右,而由同衬底构成的单边平行平面突变结在击穿电压下的耗尽层厚度约为20微米,因此本发明提供的表面耐压区结构易于用离子注入借助于适当的掩模而形成,使高压器件与亚微米工艺兼容具有可行性。

显然,如在第一种导电类型衬底与第二种导电类型区以及上述表面耐压区之间增加一层薄的绝缘层,只要衬底与表面耐压区的外边缘互相电连接,则电场分布并不会发生重大变化。换言之,本发明也可用于半导体-绝缘体-半导体(SIS,如绝缘体为氧化层则为SOS)上以获得高压模向器件。

下面结合附图说明本发明。

图1为一般的 $n^+ - P$ (或 $P^+ - n$)平面结构;

图2为本发明的表面耐压区中掺杂分布的示意剖面图;

图3是表面耐压区包括三段掺杂密度不同的连续区域的示意剖面图;

图4是表面耐压区包括二段掺杂密度不同的区域以及位于二段掺杂密度不同的区域之间的多个杂质密度相同的相互隔开的小区

的示意剖面图；

图 5 是表面耐压区包括许多互相分隔开的杂质密度相同的小区的示意剖面图；

图 6 是表面耐压区为沿表面水平方向上的锯齿形区域有补偿杂质区的示意俯视图；

图 7 是表面耐压区包括沿垂直方向的多层补偿杂质区的示意剖面图；

图 8 是在表面耐压区与衬底之间有薄氧化层的结构的剖面示意图；

图 9 是表面耐压区利用互相分隔开而占空比随离开中心部分距离变化的小区以达到平均杂质密度连续变化的结构的剖面示意图。

图 10 是利用图 3 的表面耐压区构成的高压晶体管的示意剖面图；

图 11 是利用图 3 的表面耐压区构成的高压 JFET 的示意剖面图；

图 12 是利用图 7 的表面耐压区构成的高压 MOST 的示意剖面图；

图 13 是利用图 3 的表面耐压区构成的高压 IGBT 的示意剖面图。

现在结合图 2 说明本发明的表面耐压区能提高耐压的原理。图 2 中, 1 为第一种导电类型(如为 p^- 型)的衬底, 2 为重掺杂的第二种导电类型(如为 n^+ 型)的区域, 3、4 和 5 分别为掺杂密度与区 2 不同的第二种导电类型的区域。为了提高平面结的击穿电压, 使上述 3、4 和 5 区中的掺杂密度从 3 区逐渐或阶梯式地降低至 5 区。在外加反向偏压接近于平面结的击穿电压而使 3、4 和 5 区耗尽时, 由于 3 区的掺杂密度约为 $N_B W_{pp}$, 故在其全耗尽时, 其中电离施主(或受主)产生的附加电场在 2、3 区的交界处与 2 区产生的电场方向相反, 从而使 2 区边缘处的电场大大下降。同理, 3 区在与 4 区交界处的电场由于 4 区的存在而比无 4 区存在时小了很多; 4 区在 4、5 区边界处的电场亦由于 5 区的存在而比无 5 区时小了许多。5 区本身是掺杂密度很低的

区域,加之外加偏压在表面大部分已被从2区边缘到5区的外边缘所吸收。在5区外边缘与衬底1之间只存在较小的电位差,所以,5区的边缘只有较弱的电场。因此,图2所示的结构就可以使平面结的击穿电压达到或超过理想平行平面结的90%。而且,在优化设计中,图2所示结构的表面耗尽区所占的距离仅为理想平行平面结的最大耗尽层厚度的1.8倍左右。由此可见,本发明的表面耐压区结构可在最短的水平距离内达到最高的击穿电压。

为了实现使表面耐压区的掺杂密度随着离开2区的中心部分的距离的增加而减少的设计思想,除了利用扩散、离子注入等方法分别直接得到掺杂密度阶梯式降低的3、4和5区的方法外,还可以通过先在衬底1上得到一个掺杂类型与衬底相反的高掺杂的2区,然后再用与衬底掺杂类型相同的杂质进行补偿的方法得到。

图3所示即为按上述方法得到的表面耐压区结构。图中,1为 p^- 型衬底,2为 n^+ 掺杂区,6、7和8区是用 p 型杂质按依次增加的密度掺杂得到的区域。当2区中心部分与衬底1之间加上足够高的反向偏压后,6、7和8区以及其下部的那部分2区中的杂质离子将全部电离。6、7和8区之下的2区中的电离施主产生的一部分电力线立即终止于其上部的6、7、8区中的电离受主,其剩余部分的电力线密度相当于图2中3、4和5区的电力线密度。也就是说,用上述这种杂质补偿的方法得到的结构对沿2区与衬底1的冶金结面的总电场产生的作用与图2所示的3、4和5区所产生的作用相同。

图3中的9是一个与衬底1掺杂类型相同的纯 p 区,它与衬底1直接相连,使得外加偏压可直接加在2区中心部分和9区之上,而不是加在2区中心部分与衬底1的下端面上。

图4所示为图3所示结构的一种变型。在图4所示的结构中用多个互相隔开的小的8区来代替图3中的7区。通过适当选择这些小8区的占空比可使其平均受主密度与图3中的7区一致,甚至可使平均受主密度逐渐由6区增加至8区的值。由于小8区的掺杂密度和8区相同,故可以减少产生7区的工艺步骤,从而降低成本。

图4中还示出了一个重掺杂埋层区10,其作用是使9区与衬底1之间达到更好的电接触。

图5所示为另一种结构的表面耐压区的剖面图。在此结构中,用多个互相隔开的小8区来补偿2区中的掺杂,使表面耐压区中的杂质密度随着离2区中心部分的距离的增加而减少。通过适当选择这些小区的占空比随距离的变化,只有一种掺杂密度就可以实现表面耐压区杂质密度的逐渐变化。这种结构可省去产生6区及7区的两个工艺步骤,从而降低成本。

图6为另一种同用一种掺杂密度的区域实现表面有效掺杂密度随距离变化的结构的平面俯视图。将补偿掺杂用的第一种导电类型(如p型)的杂质掺在表面耐压区上层的锯齿形区域内,如此得到的结构可使平均受主密度随着离开2区的中心部分的距离的增加而逐渐增加。从而使有效施主的平均密度随离开2区中心部分的距离的增加而逐渐减少。

图中的9为与衬底相连的纯p区,其上的黑色区域为金属电极。

图7所示为本发明表面耐压区的又一种变型。在这种结构中,补偿掺杂用的第一种导电类型(如p型)的杂质是沿垂直方向分层掺杂于第二种导电类型的n区2内的。随着离开2区的中心部分的距离的增加,用于补偿2区施主密度的受主杂质层从一个6区增加到三个长度不同的6区。用这种方法同样可以使有效施主的平均密度随着离开2区中心部分的距离的增加而逐渐减少。

由上述结合附图3—7的说明可知,本发明的表面耐压区不仅可以最短的表面耐压区横向距离实现最高击穿电压,而且实施的工艺也可以有很大的灵活性。如果有三种产生适合于6、7、8区的掺杂密度的工艺,则可用图3所示的结构。如果有两种适合6和8区的掺杂密度的工艺,则可用图4所示的结构。如果只有一种能产生适合8区的掺杂密度的工艺,就可用图5和6所示的结构。如果只有一种适合于得到6区掺杂密度的工艺但可多次进行,则在2区的厚度足够厚时可以采用图7所示的结构。

图8所示为在衬底1和表面耐压区之间设置有一个薄的绝缘层15的结构。这种结构可用于SIS(如果用氧化层作为绝缘层则为SOS)结构的半导体器件。

图9为本发明表面耐压区的另一种结构。这种结构不使用衬底

掺杂工艺。通过在第一种导电类型的衬底上直接掺以第二种导电类型的杂质以形成多个互相隔开的掺杂密度相同的小区,使这些小区的占空比随着离开中心部分距离的增加而减少,就可达到使第二种导电类型杂质的平均掺杂密度随距离变化的要求。

在图3—图9的例子中,本发明的表面耐压区至少有三段平均施主(或受主)密度不同的区域,击穿电压可达到同衬底的平行平面结的90%以上。而常规的RESURF技术相当于只有一段恒定掺杂密度的区域,因此击穿电压远低于本发明的效果。

在图3—图9的例子中,表面耐压区均是在杂质密度均匀的n型掺杂区上加入不同的p型掺杂区。本领域的普通技术人员均可知道,如表面耐压区是密度不同的n型区,其上有均匀的p区,也可以得到有效施主密度随距离变化的效果。甚至可以在表面耐压区中既采用不同密度的p区也采用不同密度的n区,也可达到同样的效果。

以上的描述中设衬底1为 p^- 型,2区为 n^+ 型掺杂。本领域的普通技术人员均可知道,当衬底1为 n^- 型、2区为 p^+ 型掺杂时,本发明的构思是一样适用的。

下面再利用上述表面耐压区,通过制作器件的实施例进一步说明本发明。

实施例1:利用本发明的表面耐压区制作二极管。这只需要将附图3—图7中电极+(-)做成阳(阴)极,电极-(+)做成阴(阳)极。为了得到较好的欧姆接触,可在金属电极下另做导电类型与接触区相同的重掺区。这种重掺区在本发明各附图中均省略而未画出。

实施例2:利用本发明的表面耐压区来制作晶体管。这只需在图3—附图7的2区中央再做一个导电类型与2区相反的 p^+ (或 n^+)区作发射区E,2区作为基区B,9区与衬底相连作为集电区C。

如附图10所示的是利用附图3的表面耐压区作高压晶体管的一例。

实施例3:利用本发明的表面耐压区来制作JFET。这只需将附图3—附图6的2区中央作为漏D,将表面耐压区外的2区作为源S,在表面耐压区的末端的8区上做一个 p^+ 型11区作为栅G。源与衬底相连。

如图 11 示出了利用附图 3 的表面耐压区作高压 JFET 的一例。

实施例 4: 利用本发明的表面耐压区来制作横向 MOST。这只需将附图 3—附图 7 的 2 区的中心部分作为漏 D, 在表面耐压区外部设置一小段无补偿掺杂的区, 在这一小段之外设置一个纯为第一种导电类型的 9 区, 其中又有一个与 2 区导电类型相同的重掺杂区 13 作为源 S, 在上述小段无补偿掺杂的 2 区与 13 区的交界部分之上形成一个薄氧化层 12, 其上覆盖金属作为栅 G, 即可得到用本发明的表面耐压区制作的横向 MOST。

图 12 示出利用附图 7 的表面耐压区作高压横向 MOST 的例子。

发明者对图 3 的表面耐压区用一个 0.8 微米 BiCMOS 工艺作横向 MOST 的情形作了模拟。发现其导通电阻很低、反应速度快、电流密度大。其优值

$$FM = \frac{\text{击穿电压} \cdot \text{电流密度}}{\text{关断时间}} = 18 \text{ 千伏} \cdot \text{安} / \text{厘米}^2 \cdot \text{纳秒}$$

为一般横向器件的 250 倍, 如采用图 7 的表面耐压区, 则导通电阻可以进一步降低。这是因为在导通时 6 区与 2 区大部分未耗尽。

实施例 5: 利用本发明的表面耐压区制作高压 IGBT。这和制造横向 MOST 的区别是在 2 区中央顶部做一个导电类型与 2 区相反的重掺杂区 14, 该区是阴极 K (或阳极) A, 横向 MOST 的源在这里是阳极 A (或阴极 K)。

图 13 所示为利用本发明的表面耐压区制作高压 IGBT 的实施例。

其工艺步骤举例如下:

1) 利用掩模在杂质浓度为 1×10^{15} 厘米⁻³ 的衬底上形成一个窗口, 再离子注入硼 (其剂量约为 $4 \cdot 10^{12}$ 厘米⁻²) 作为埋层区 10; 2) 在整个衬底上外延一层轻掺杂的 n 区, 其厚度约为 1 微米; 3) 利用掩模作磷离子注入以形成 2 区, 其剂量约为 3×10^{12} 厘米⁻², n 型杂质分布在经过整个工艺过程后为高斯型, 峰值在深度为 0.8 微米处, 半宽为 0.4 微米; 4) 利用掩模作硼离子注入以形成 8 区和 9 区, 其剂量约为 2×10^{13} 厘米⁻², 其 p 型杂质的分布在经过整个工艺过程后的峰值在表面附近, 半宽为 0.4 微米; 5) 利用掩模对 6 区及 9 区作硼离子注

入,其剂量约为 1×10^{12} 厘米⁻²;6)利用掩模对7区作硼离子注入,其剂量约为 1.5×10^{12} 厘米²;再经过本领域的常规工艺即可制成高压IGBT。在上述方法中,9区的形成利用了4)和5)两步工艺,再加上埋层10区的扩散,故9区为一个纯p型区。

虽然上述实施例均系结合横向器件所作了说明,本领域的普通技术人员均应理解,本发明的表面耐压区同样适用于纵向器件。

发明者还对叉指(interdigital)图形的器件在指端(Ends of fingers)的击穿电压利用圆柱坐标作了研究。发现只要改变各区的相对长度或各小区的占空比而维持表面耐压区总长度不变,仍可达到上述耐压值。但指端不宜作为器件的有源区。

综上所述,本发明的优点是(1)提供了半导体器件高耐压的表面区和制造方法;(2)在工艺上与现代亚微米集成电路工艺兼容;(3)制作出的器件的导通电阻(对FET型管)或基极电阻(对晶体管)低。利用本发明不仅可制作分立器件,而且能以高性能、低成本实现高压集成电路及功率集成电路。

说明书附图

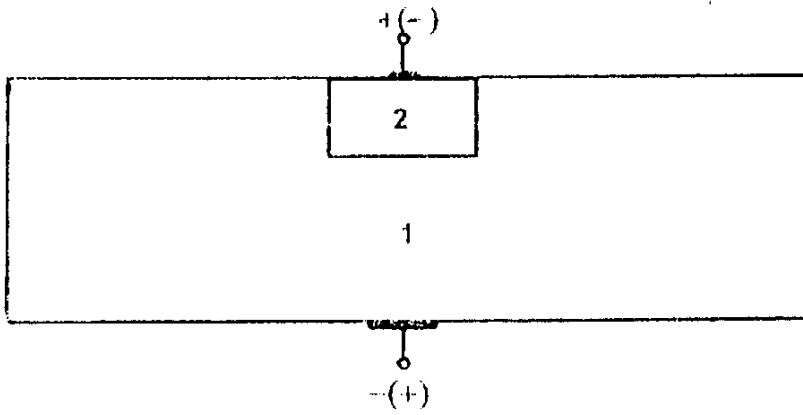


图 1

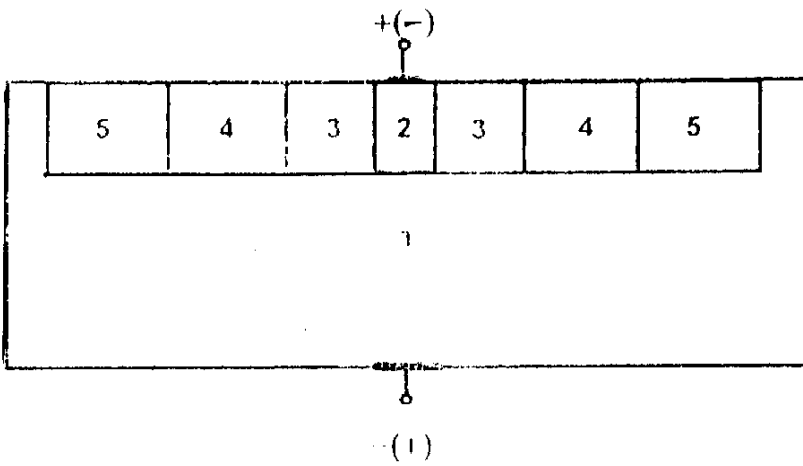


图 2

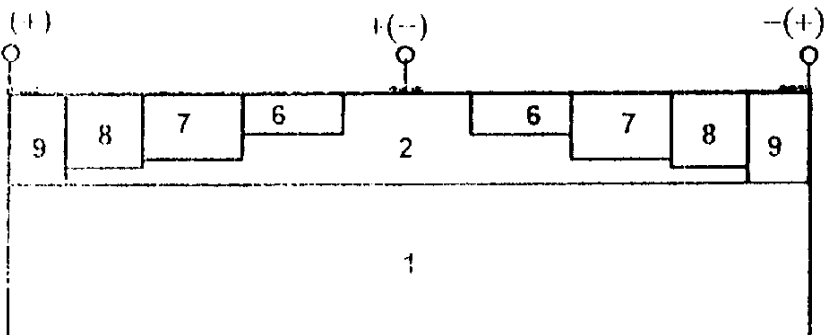


图 3

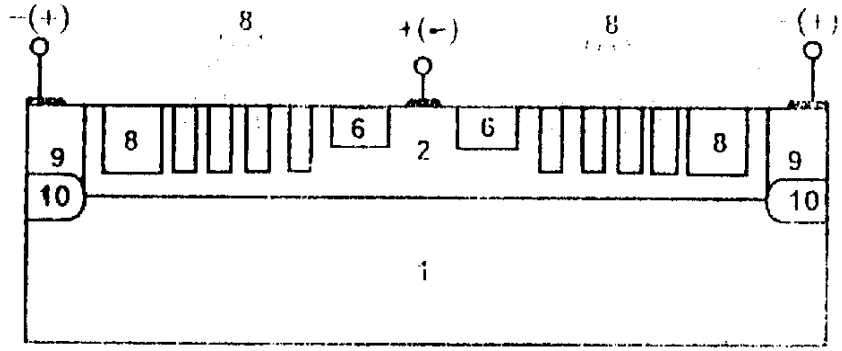


图 4

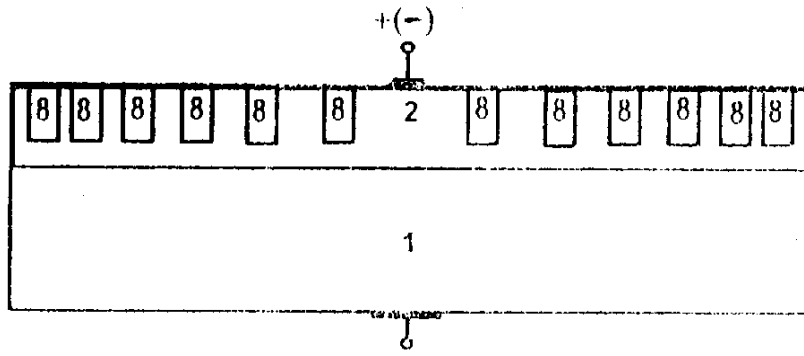


图 5

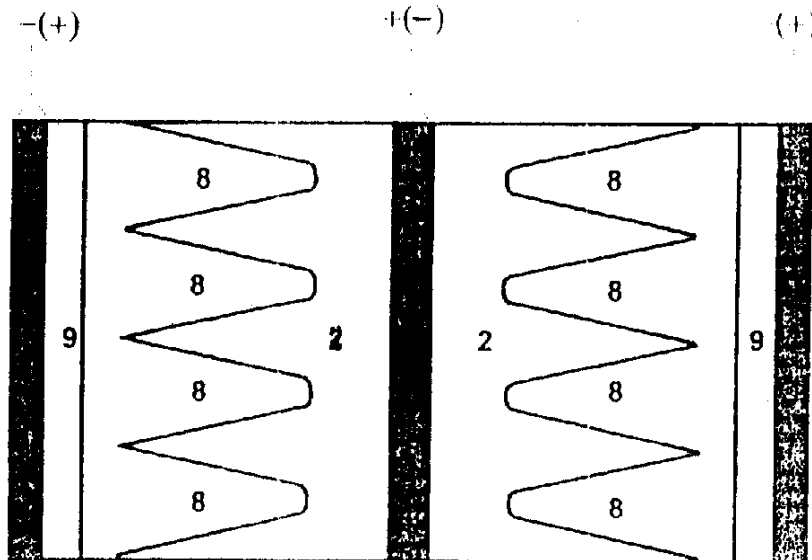


图 6

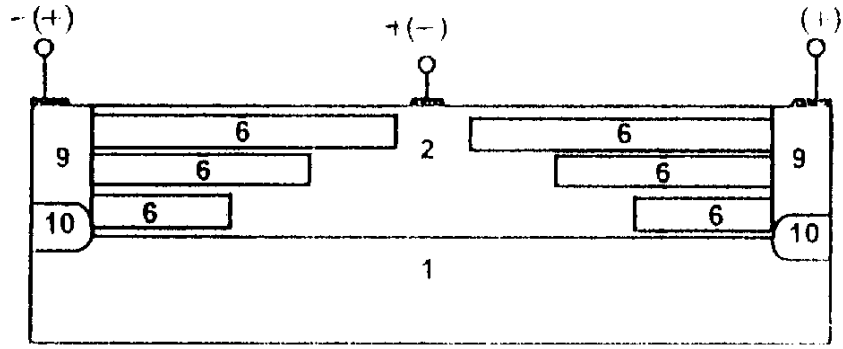


图 7

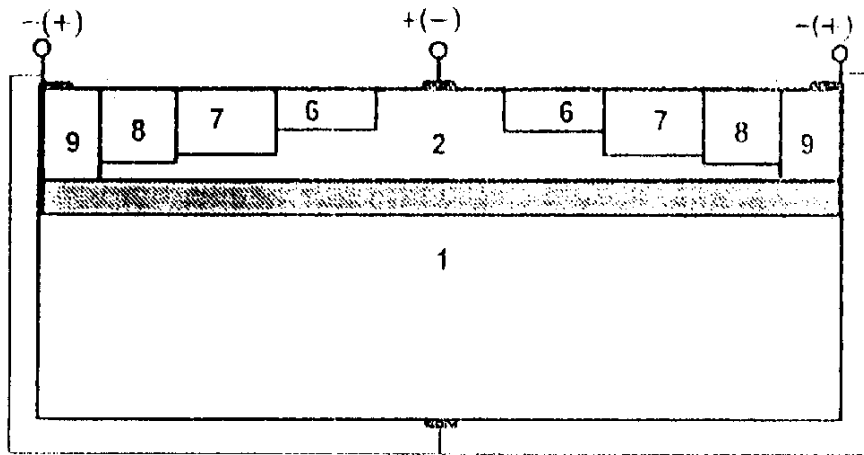


图 8

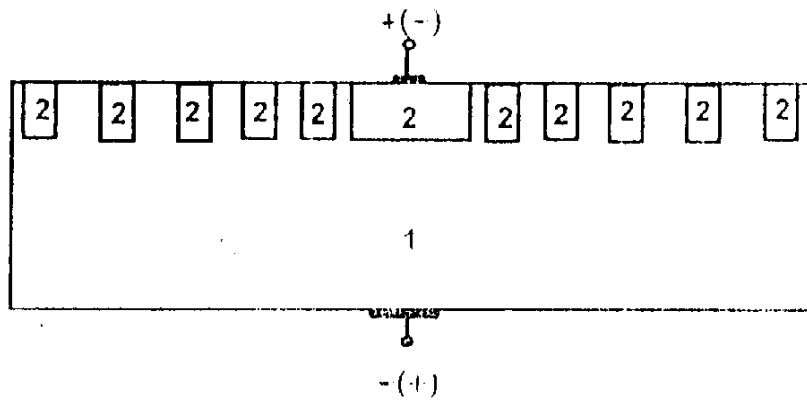


图 9

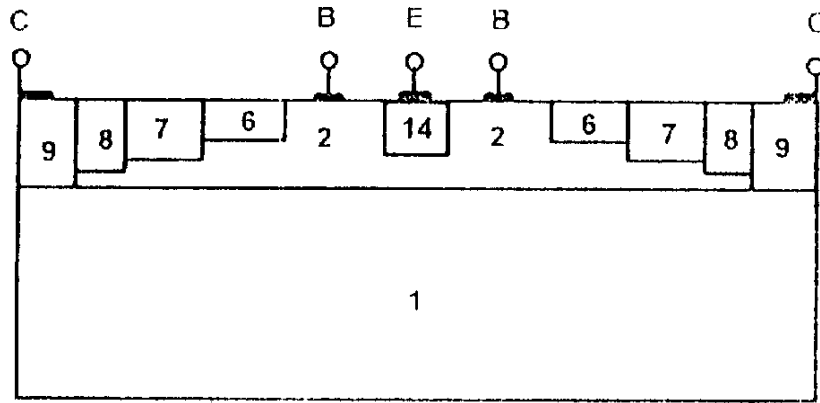


图 10

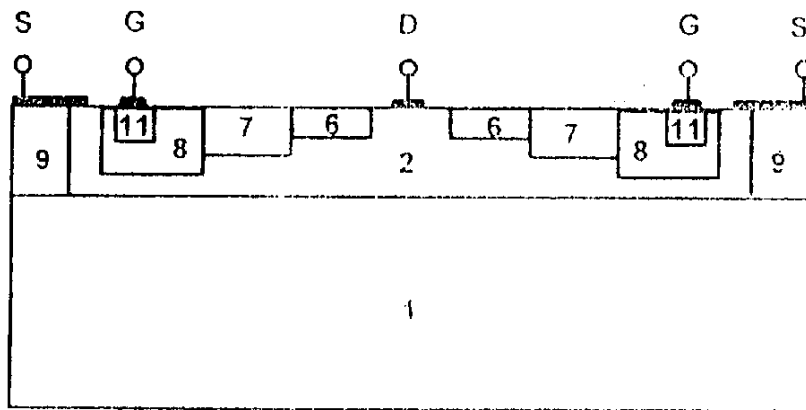


图 11

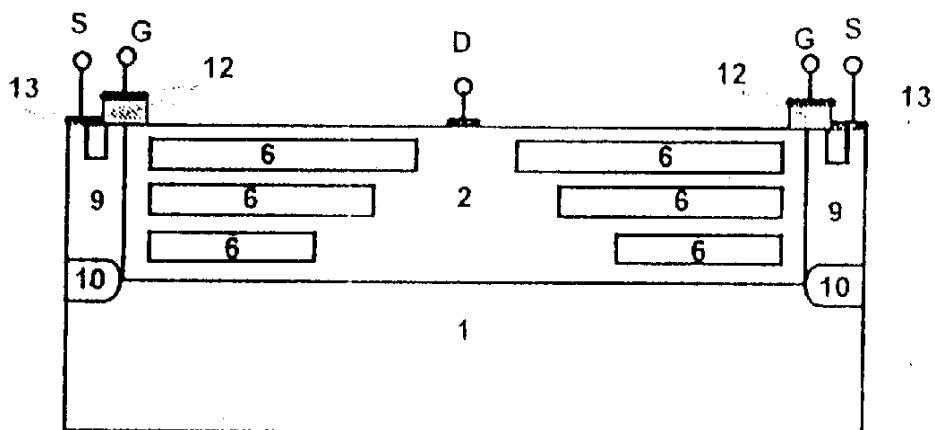


图 12

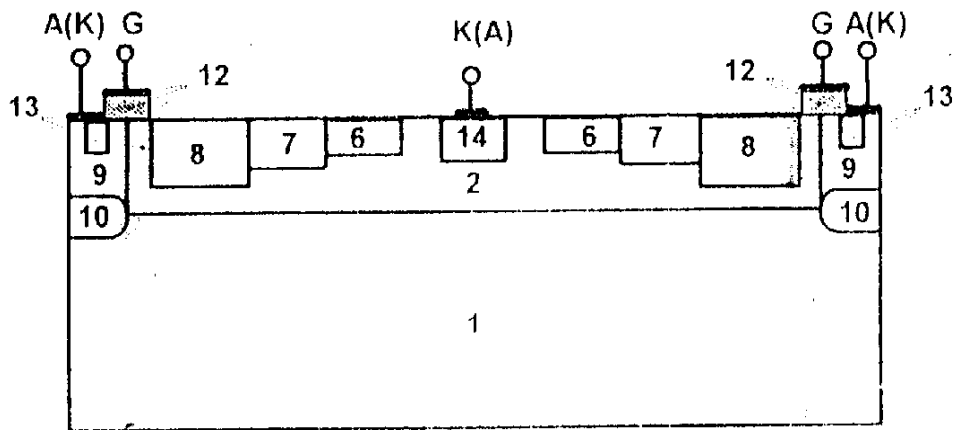


图 13