

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4522213号
(P4522213)

(45) 発行日 平成22年8月11日(2010.8.11)

(24) 登録日 平成22年6月4日(2010.6.4)

(51) Int. Cl. F I
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 P
 HO 1 L 21/301 (2006.01) HO 1 L 21/78 Q

請求項の数 4 (全 22 頁)

<p>(21) 出願番号 特願2004-285026 (P2004-285026) (22) 出願日 平成16年9月29日 (2004.9.29) (65) 公開番号 特開2006-100580 (P2006-100580A) (43) 公開日 平成18年4月13日 (2006.4.13) 審査請求日 平成19年9月3日 (2007.9.3)</p>	<p>(73) 特許権者 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号 (74) 代理人 100131071 弁理士 ▲角▼谷 浩 (72) 発明者 野間 崇 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内 (72) 発明者 北川 勝彦 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内 審査官 宮本 靖史</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に第1の絶縁膜を介して形成された第1の配線を覆うように、接着剤を介して支持体を接着する工程と、

前記支持体を接着した前記半導体基板の面の反対側の面に対してパターンングを行い、第1の絶縁膜を露出させる工程と、

前記第1の絶縁膜が露出した前記半導体基板の面に第2の絶縁膜を形成する工程と、

前記第1の絶縁膜と前記第2の絶縁膜をエッチングし、前記第1の配線を露出させる工程と、

前記第1の配線と電氣的に接続される第2の配線を形成する工程と、

前記第2の配線を被覆するように第1の保護膜を形成する工程と、

前記第1の保護膜を介して前記半導体基板の面に切り込みを入れる工程と、

前記切り込みを入れる工程の後に、前記第1の保護膜を除去する工程と、

前記切り込みを入れた面からダイシングを行い、各々の半導体素子を分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】

半導体基板上に第1の絶縁膜を介して形成された第1の配線を覆うように、接着剤を介して支持体を接着する工程と、

前記支持体を接着した前記半導体基板の面の反対側の面に対してパターンングを行い、第1の絶縁膜を露出させる工程と、

10

20

前記第1の絶縁膜が露出した前記半導体基板の面に第2の絶縁膜を形成する工程と、
前記第1の絶縁膜と前記第2の絶縁膜をエッチングし、前記第1の配線を露出させる工
程と、

前記第1の配線と電氣的に接続される第2の配線を形成する工程と、
前記第2の配線を被覆するように第1の保護膜を形成する工程と、
前記第1の保護膜を介して前記半導体基板の面から支持体まで切り込みが入るように加
工する工程と、

前記切り込みを入れた面からダイシングを行い、各々の半導体素子を分離する工程とを
有することを特徴とする半導体装置の製造方法。

【請求項3】

前記切り込みを第2の保護膜で覆う工程を有し、ダイシング工程では前記第2の保護膜
及び前記支持体のみが切削されることを特徴とする請求項1または請求項2に記載の半導
体装置の製造方法。

【請求項4】

前記第1の保護膜として有機系樹脂を用いたことを特徴とする請求項1乃至請求項3に
記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置の製造方法に関し、特に、半導体チップの外形寸法とほぼ同サイズの外形寸
法を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、パッケージ技術として、CSP (Chip Size Package) が注目
されている。CSPとは、半導体チップの外形寸法とほぼ同サイズの外形寸法を有する小
型パッケージをいう。従来より、CSPの一種として、BGA型の半導体装置が知られて
いる。このBGA型の半導体装置は、半田等の金属部材からなるボール状の導電端子をパ
ッケージの一主面上に格子状に複数配列し、パッケージの他方の面上に形成される半導体
チップと電氣的に接続したものである。

【0003】

そして、このBGA型の半導体装置を電子機器に組み込む際には、各導電端子をプリン
ト基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される
外部回路とを電氣的に接続している。

【0004】

このようなBGA型の半導体装置は、側部に突出したリードピンを有するSOP (Sm
all Outline Package) やQFP (Quad Flat Packa
ge) 等の他のCSP型半導体装置に比べて、多数の導電端子を設けることができ、しか
も小型化できるという長所を有する。このBGA型の半導体装置は、例えば携帯電話機に
搭載されるデジタルカメラのイメージセンサチップとしての用途がある。

【0005】

図14は従来のBGA型の半導体装置の概略構成を成すものであり、図14(a)は、
このBGA型の半導体装置の表面側の斜視図である。また、図14(b)はこのBGA型
の半導体装置の裏面側の斜視図である。

【0006】

BGA型の半導体装置100は、第1及び第2のガラス基板104a、104bの間に
半導体チップ101が樹脂105a、105bを介して封止されている。第2のガラス基
板104bの一主面上、即ちBGA型の半導体装置100の裏面上には、ボール状の端子
(以下、導電端子111と称す) が格子状に複数配置されている。この導電端子111は
、第2の配線109を介して半導体チップ101へと接続される。複数の第2の配線10
9には、それぞれ半導体チップ101の内部から引き出されたアルミニウム配線が接続さ

10

20

30

40

50

れており、各導電端子111と半導体チップ101との電氣的接続がなされている。

【0007】

このBGA型の半導体装置100の断面構造について図15を参照して更に詳しく説明する。図15はダイシングラインに沿って、個々のチップに分割されたBGA型の半導体装置100の断面図を示している。

【0008】

半導体チップ101の表面に配置された絶縁膜102上に第1の配線103が設けられている。この半導体チップ101は樹脂105aによって第1のガラス基板104aと接着されている。また、この半導体チップ101の裏面は、樹脂105bによって第2のガラス基板104bと接着されている。そして、第1の配線103の一端は第2の配線109と接続されている。この第2の配線109は、第1の配線103の一端から第2のガラス基板104bの表面に延在している。そして、第2のガラス基板104b上に延在した第2の配線109上には、ボール状の導電端子111が形成されている。

10

【0009】

上述した技術は、以下の特許文献1に記載されている。

【特許文献1】特許公表2002-512436号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

前述した半導体装置は、2枚のガラス基板を用いるため、半導体装置が厚くなること、コストが高くなることが欠点として挙げられる。そこで、ガラス基板を第1の配線が形成される側のみ接着する方法が検討された。その場合、ガラス基板が接着されない側は、半導体基板になるため、ガラス基板と比較すると、エッチング加工が容易になる。この利点を生かして、第1の配線と第2の配線を接続させるために、スクライプ領域の半導体基板や絶縁膜をエッチングして、第1の配線を露出させる。この結果、2枚のガラスを用いる方法と比べると、第1の配線と第2の配線の接触面積を増大させることができる。その後、第2の配線、保護膜、導電端子等を形成し、最終的にガラス基板を切断することで、半導体装置を個別に分離する。

20

【0011】

その反面、第1の配線を露出させた後、スクライプ領域は半導体基板上に回路を形成する際に成膜された絶縁膜が露出した状態になる。この時、前記スクライプ領域には、前記絶縁膜、樹脂、ガラス基板しか存在しない。各部の厚さを考えると、実質的に、全ての半導体チップをガラス基板だけで支える状態になる。更に、半導体基板の材料とガラス基板では熱膨張率が異なるため、ガラス基板には大きな反りが生じる。そのため、作業途中のハンドリングにより、ガラス基板に対し、ガラス基板と接着されている半導体チップ等の荷重がかかるようになる。その結果、図12に示すように、半導体チップの外周部で半導体チップと不図示のガラス基板の間に剥離204が発生したり、ガラス基板202にクラック205が発生したりする。結果として、半導体装置の歩留まりや信頼性が低下する問題が発生するようになった。

30

【課題を解決するための手段】

40

【0012】

本発明では、図13に示すように、スクライプ領域全体をエッチングせずに、第1の配線が露出する部分のみをエッチングする。以降、この第1の配線を露出させた部分をウィンドウ303と呼ぶ。その結果、不図示のガラス基板のほとんどの部分は、不図示の樹脂や絶縁膜を介し、半導体基板302と接着した状態に保たれる。この状態で、絶縁膜、第2の配線等を形成していき、最後に、図13中の304で示された領域をダイシングで除去することにより、半導体装置を個別に分離させる。

【0013】

また、本発明では、図10に示すように、半導体装置を個別に分離する際、ダイシング時の切断領域304の全体に沿って、切り込み30を形成し、更にその切り込み30を第

50

2の保護膜10で覆った後に、ダイシングを行うものである。

【0014】

更に、本発明では、図7に示すように、切り込み30を入れる工程の前に第2の配線8を覆うように第1の保護膜25を形成するものである。

【発明の効果】

【0015】

本発明は、ガラス基板に生じるクラックや半導体チップ周辺部での剥離の発生を防止することにより、半導体装置の歩留まりや信頼性を向上させる効果を有する。また、ガラス基板を2枚から1枚にしたことで、半導体装置の薄型化やコスト低減を図ることもできる

10

【0016】

更に、切り込みを入れる工程の前に第2の配線を覆うように保護膜を形成したことで、第2の配線が切りくず等で汚染されることを抑止できる。また、切り込み30を入れる際に用いられるブレードの冷却水による配線の腐食を抑止できる。

【発明を実施するための最良の形態】

【0017】

次に、本発明の実施形態による半導体装置の製造方法を、図1乃至図11の半導体装置の断面図、及び図13の半導体装置の平面図を参照しながら説明する。

【0018】

20

最初に、図1に示すように、半導体基板1を用意する。これらの半導体基板1は、前記半導体基板1上に、例えばCCDのイメージセンサや半導体メモリを、半導体のプロセスにより形成したものである。その表面上に第1の絶縁膜2を介して、後に、半導体チップ毎に分断するための境界S（ダイシングラインまたはスクライプラインと呼ばれる。）付近で、所定の間隙を有して第1の配線3を形成する。ここで、第1の配線3は、半導体装置のボンディングパッドから、境界S付近まで拡張されたパッドである。すなわち、第1の配線3は外部接続パッドであって、半導体装置の図示しない回路と電氣的に接続されている。

【0019】

次に、第1の配線3が形成された半導体基板1上に、支持体として用いるガラス基板4を、透明の接着剤として樹脂5（例えばエポキシ樹脂）を用いて接着する。なお、ここでは、支持体としてガラス基板、接着剤としてエポキシ樹脂を使用しているが、シリコン基板やプラスチックの板、更にはテープ状のものを支持体として用いてもよく、接着剤はこれらの支持体に対して適切な接着剤を選択すればよい。

30

【0020】

その後、前記半導体基板1について、ガラス基板4を接着した面と反対側の面をバックグラインドして、基板の厚さを薄くする。

【0021】

次に、図2(a)及び図2(b)に示すように、前記半導体基板1において、ガラス基板4を接着した面と反対側の面に対して、第1の配線3の一部を露出できるように開口部を設けた不図示のレジストパターンをマスクとして、半導体基板1の等方性エッチング（もしくは異方性エッチング）を行う。この結果、第1の配線3が存在する部分では、図2(a)に示すように、境界Sの部分で半導体基板1を開口する開口部であるウィンドウ20が形成され、第1の絶縁膜2が露出した状態となる。一方、第1の配線3が存在しない部分では、図2(b)に示すように、半導体基板1が残ったままとなる。結果として、図2(a)及び図2(b)の半導体装置を半導体基板1側から見た場合には、図13の平面図のようになる。なお、図13では第1の配線を301、半導体基板を302、ウィンドウを303として説明している。

40

【0022】

上述したように、第1の配線3に対応する位置のみを露出し得るウィンドウ20を設け

50

たことにより、半導体基板 1 とガラス基板 4 が第 1 の絶縁膜 2 や樹脂 5 を介して接着する領域が増大する。これにより、ガラス基板 4 による支持強度が高められる。また、半導体基板 1 とガラス基板 4 との熱膨張率の差異によるガラス基板 4 の反りの増大が低減され、半導体装置に生じるクラックや剥離が低減される。

【 0 0 2 3 】

なお、当該エッチングは、ドライエッチング、ウェットエッチングのどちらで行ってもよい。また、これ以降の工程の説明では、図 2 (a) 及び図 2 (b) と同様に、ウィンドウ 2 0 が形成されている部分の断面図を図番 (a) 、ウィンドウ 2 0 が形成されていない部分の断面図を図番 (b) として示す。

【 0 0 2 4 】

エッチングされた半導体基板 1 の面では、面内の凹凸や残渣、異物があり、また、図 2 (a) 中に丸く囲んで 1 a , 1 b として示したように、ウィンドウ 2 0 において角になる部分が尖った形状になっている。

【 0 0 2 5 】

そこで、図 3 (a) 及び図 3 (b) に示すように、残渣や異物の除去、尖った部分の先端部を丸めるためにウェットエッチングを行う。これにより、図 2 (a) で丸く囲んだ 1 a , 1 b の尖った部分は、図 3 (a) で丸く囲んだ 1 a , 1 b に示すように滑らかな形状になる。

【 0 0 2 6 】

次に、図 4 (a) 及び図 4 (b) に示すように、前記半導体基板 1 において、ガラス基板 4 を接着した面と反対側の面に対して、第 2 の絶縁膜 6 の成膜を行う。本実施形態ではシランベースの酸化膜を 3 μ m 程度成膜する。

【 0 0 2 7 】

次に、前記半導体基板 1 において、ガラス基板 4 を接着した面と反対側の面に対して、不図示のレジストを塗布し、ウィンドウ 2 0 内の境界 S に沿う部分を開口させるようにパターンニングを行って、レジスト膜を形成する。そして、図 5 (a) 及び図 5 (b) に示すように、その不図示のレジスト膜をマスクにして、第 2 の絶縁膜 6 、第 1 の絶縁膜 2 をエッチングし、第 1 の配線 3 の一部を露出させる。

【 0 0 2 8 】

次に、図 6 (a) 及び図 6 (b) に示すように、後に導電端子 1 1 を形成する位置に対応するように、柔軟性を有する緩衝部材 7 を形成する。なお、緩衝部材 7 は導電端子 1 1 に加わる力を吸収し、導電端子 1 1 の接合時のストレスを緩和する機能を持つものであるが、本発明は緩衝部材 7 の不使用を制限するものではない。

【 0 0 2 9 】

次に、前記ガラス基板 4 の反対側の面に、第 2 の配線層を形成する。これにより、第 1 の配線 3 と配線層が電氣的に接続される。

【 0 0 3 0 】

その後、前記ガラス基板 4 の反対側の面に、不図示のレジストを塗布する。ここで、ウィンドウ 2 0 が形成されている部分では、ウィンドウ 2 0 内の境界 S に沿う部分を開口させるようにレジスト膜のパターン形成を行う。一方、ウィンドウ 2 0 が開口されていない部分では、前記配線層を露出するようにレジスト膜のパターン形成を行う。そして、前記不図示のレジスト膜をマスクとしてエッチングを行い、境界 S 付近の配線層を除去する。また、ウィンドウ 2 0 が形成されていない部分の配線層を除去し、第 2 の配線 8 を形成する。

次に、図 7 (a) 及び図 7 (b) に示すように、前記第 2 の配線 8 を被覆するように全面に第 1 の保護膜 2 5 を形成する。この第 1 の保護膜 2 5 を形成するためには、ガラス基板 4 の反対側の面を上に向けて、熱硬化性の有機系樹脂をスプレー塗布する。そして、前記有機系樹脂を熱硬化させることで、第 1 の保護膜 2 5 が形成される。尚、保護膜 2 5 の形成は、上述したスプレー塗布法に限らず、スピン塗布法を用いても良いが、スプレー塗

10

20

30

40

50

布法ではより膜厚の均一な保護膜を形成することができる。従って、本実施形態の保護膜 25 では、膜厚が比較的均一に形成されているため、その後の工程で当該保護膜 25 を除去する場合の除去作業が簡便になる。また、保護膜 25 を除去しないで半導体装置を完成させるプロセスの場合には、ウィンドウ 20 の底部に保護膜 25 が厚く溜まることなく、反りの発生を抑制できる。即ち、前記ウィンドウ 20 の底部に保護膜 25 が厚く溜まっていると、有機系樹脂が粘性のあるペーストの性質を有するため、保護膜 25 をベーキング（加熱処理）によって熱硬化させた際に、前記ウィンドウ 20 に溜まった有機系樹脂が、半導体装置の他の部分を覆う有機系樹脂に比べてより大きく収縮することで、半導体ウエハが反ってしまうという現象があった。しかし、本発明では、そのような問題の発生を抑制できる。

10

次に、図 8 (a) 及び図 8 (b) に示すように、境界 S に沿って、前記第 1 の保護膜 25 を介してガラス基板 4 を例えば 30 μm 程度の深さで切削するように、切り込み 30 (逆 V 字型の溝) を形成する。

【 0 0 3 1 】

即ち、半導体基板 1 上において第 1 の配線 3 が存在する部分（即ち、ウィンドウ 20 内の境界 S に沿う部分）では、第 1 の保護膜 25、樹脂 5 及びガラス基板 4 の一部が切削されて、上記切り込み 30 が形成される。この時、ウィンドウ 20 内の第 2 の配線 8 に接触しないような幅のブレードを用いる必要がある。

【 0 0 3 2 】

一方、半導体基板 1 上において第 1 の配線 3 が存在しない領域（即ち、ウィンドウ 20 が形成されない領域）では、第 1 の保護膜 25、第 2 の絶縁膜 6、半導体基板 1、第 1 の絶縁膜 2、樹脂 5、及びガラス基板 4 の一部が切削されて、上記切り込み 30 が形成される。

20

ここで、本実施形態では、切り込みを入れる工程の前に第 2 の配線 8 を覆うように第 1 の保護膜 25 を形成したことで、第 2 の配線 8 が切りくず等で汚染されることを抑制できる。また、切り込み 30 を入れる際に用いられるブレードの冷却水による配線の腐食を抑制できる。

30

なお、本実施形態では、切り込み 30 の形状は楔形の断面形状をしているが、矩形状の断面形状であっても良い。

【 0 0 3 3 】

次に、図 9 (a) 及び図 9 (b) に示すように、前記第 1 の保護膜 25 を除去した後に、ガラス基板 4 の反対側の面に対して無電解メッキ処理を行い、第 2 の配線 8 に対して、Ni - Au メッキ膜 9 を形成する。この膜は、メッキであるため、第 2 の配線 8 が存在する部分にのみ形成される。

【 0 0 3 4 】

次に、図 10 (a) 及び図 10 (b) に示すように、ガラス基板 4 の反対側の面に第 2 の保護膜 10 を形成する。第 2 の保護膜 10 を形成する場合も、前記第 1 の保護膜 25 の形成工程と同様にして有機系樹脂を基板面上に形成する。これにより、境界 S に沿って形成された切り込み 30 の内壁を含む半導体基板 1 の裏面側に、第 2 の保護膜 10 が形成される。

40

【 0 0 3 5 】

即ち、半導体基板 1 上において第 1 の配線 3 が存在する部分（即ち、ウィンドウ 20 内の境界 S に沿う部分）では、第 2 の絶縁膜 6 の表面から、切り込み 30 の内壁において露出する樹脂 5、及びガラス基板 4 を覆うようにして、第 2 の保護膜 10 が形成される。一方、半導体基板 1 上において第 1 の配線 3 が存在する部分以外の領域（即ち、ウィンドウ 20 が形成されない領域）では、第 2 の絶縁膜 6 の表面から、切り込み 30 の内壁において露出する第 2 の絶縁膜 6、半導体基板 1、第 1 の絶縁膜 2、樹脂 5、及びガラス基板 4

50

の各露出部を覆うようにして、第2の保護膜10が形成される。

【0036】

その後、導電端子11を形成する部分の第2の保護膜10を、不図示のレジストマスク（緩衝部材7に対応する位置に開口部を有する）を利用したエッチングにより除去し、緩衝部材7に対応するNi-Auメッキ膜9上の位置に導電端子11を形成する。この導電端子11は、Ni-Auメッキ膜9を介して第2の配線8と電氣的に接続されている。導電端子11は、はんだパンプや金パンプで作成する。特に、金パンプを用いる場合、導電端子11の厚さを、160 μ mから数 μ m～数十 μ mに減少させることができる。

【0037】

そして、図11(a)及び図11(b)に示すように、切り込み30を設けた部分から境界Sに沿ってダイシングを行い、半導体装置を各々の半導体チップに分離する。このダイシングに用いるブレードの幅は、ガラス基板4及び切り込み30内の保護膜10のみを切削し得る幅である必要がある。

【0038】

上述したように、本実施形態の半導体装置の製造方法によれば、2段階のダイシング、即ち、切り込み30を形成して、さらに、その切り込み30を覆う保護膜10を形成した後にダイシングを行う。これにより、半導体装置を個々の半導体チップに分離するダイシングの際、境界S（即ち、ダイシングライン）に沿って形成された切り込み30の内壁が保護膜10で覆われているため、ガラス基板4及び保護膜10のみをダイシングすることで分離を行うことができる。即ち、ガラス基板4及び保護膜10以外の層（樹脂5、及び第2の配線8等）にブレードが接触することが無い。従って、分離された半導体装置、即ち半導体チップの断面やエッジ部に、ダイシング時のブレードの接触による剥離が生じることを極力抑止できる。

【0039】

結果として、半導体装置の歩留まりや信頼性を向上することが可能となる。また、本発明の半導体装置は、1枚のガラス基板から成るため、半導体装置の薄型化やコスト低減を図ることも可能となる。

【0040】

また、本実施形態の説明では、切り込み30を形成した後に、第1の保護膜25を除去しているが、当該第1の保護膜25を除去しないことを制限するものではなく、この場合には、第2の配線8上にNi-Auメッキ膜9を形成した状態で、第1の保護膜25を形成し、切り込み30を入れる。そして、前記第1の保護膜25に対して、導電端子11を形成する領域をレジストマスクを利用したエッチングにより除去し、緩衝部材7に対応するNi-Auメッキ膜9上の位置に導電端子11を形成するものである。

【0041】

なお、本実施形態では、第2の配線8と電氣的に接続する導電端子11を形成したが、本発明はこれに限定されない。即ち、本発明は、導電端子が形成されない半導体装置（例えばLGA: Land Grid Array型パッケージ）に適用されるものであってもよい。

【図面の簡単な説明】

【0042】

【図1】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図3】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図4】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図9】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

10

20

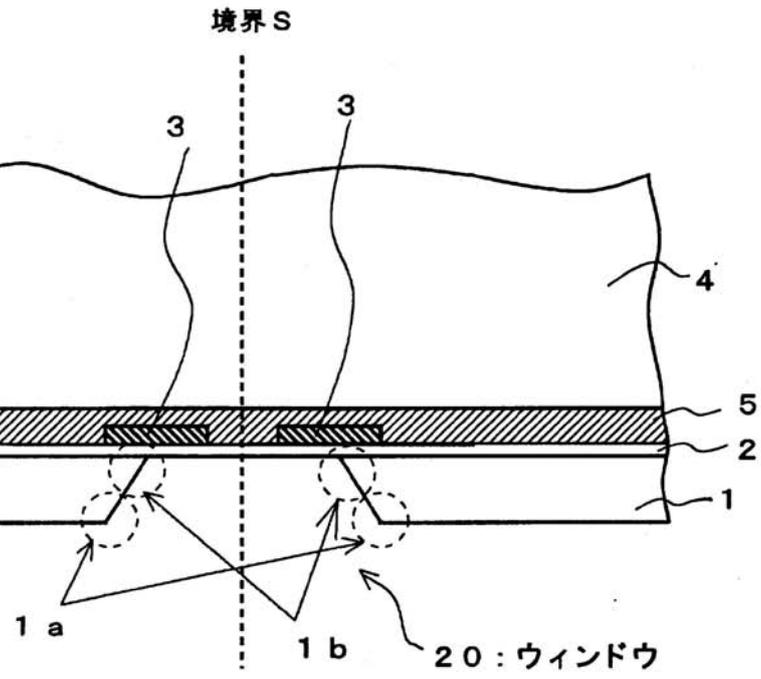
30

40

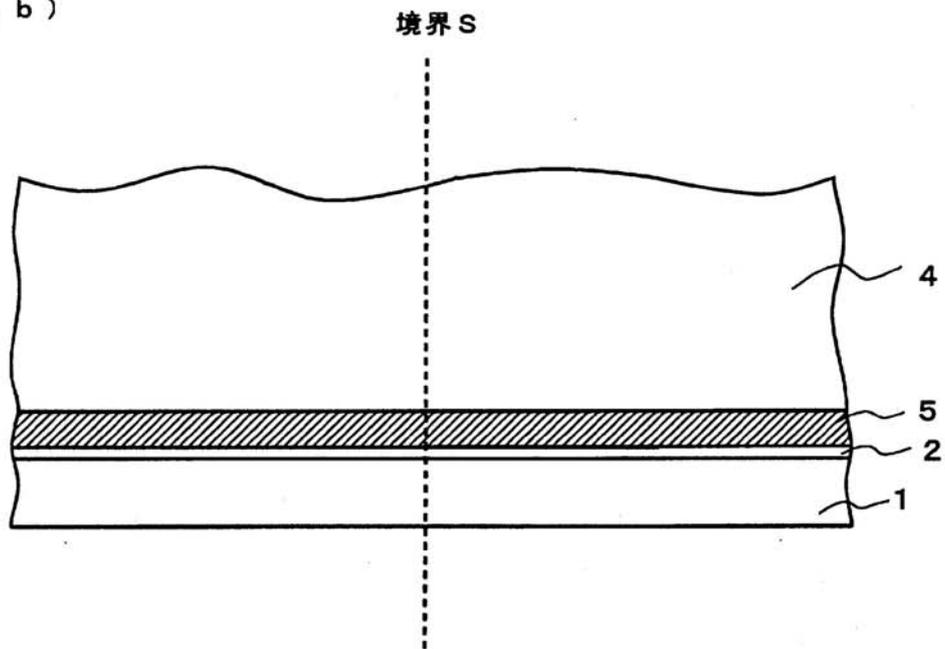
50

【図2】

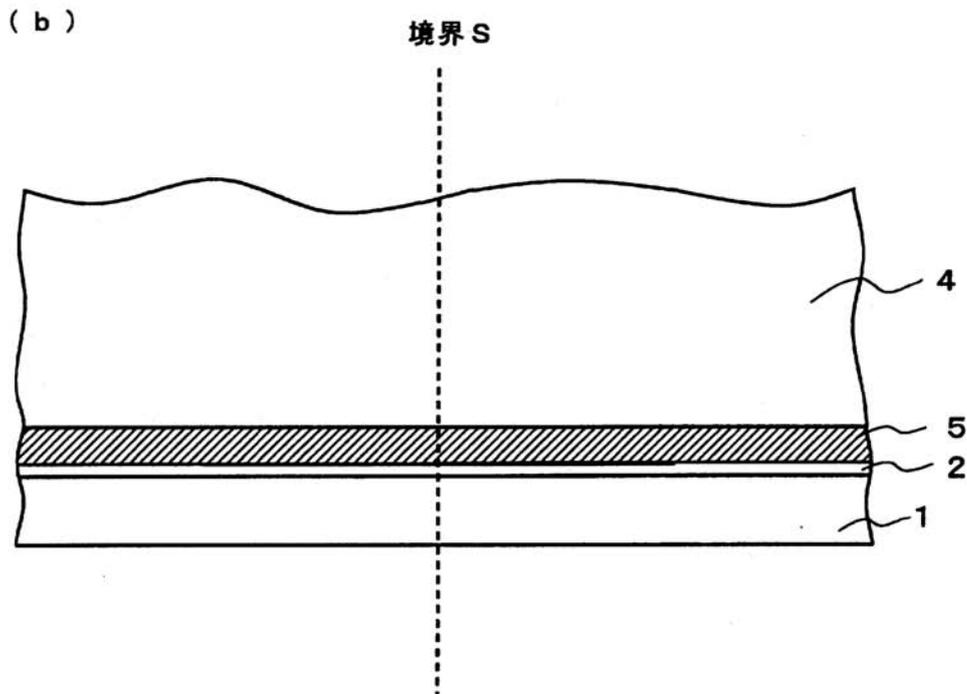
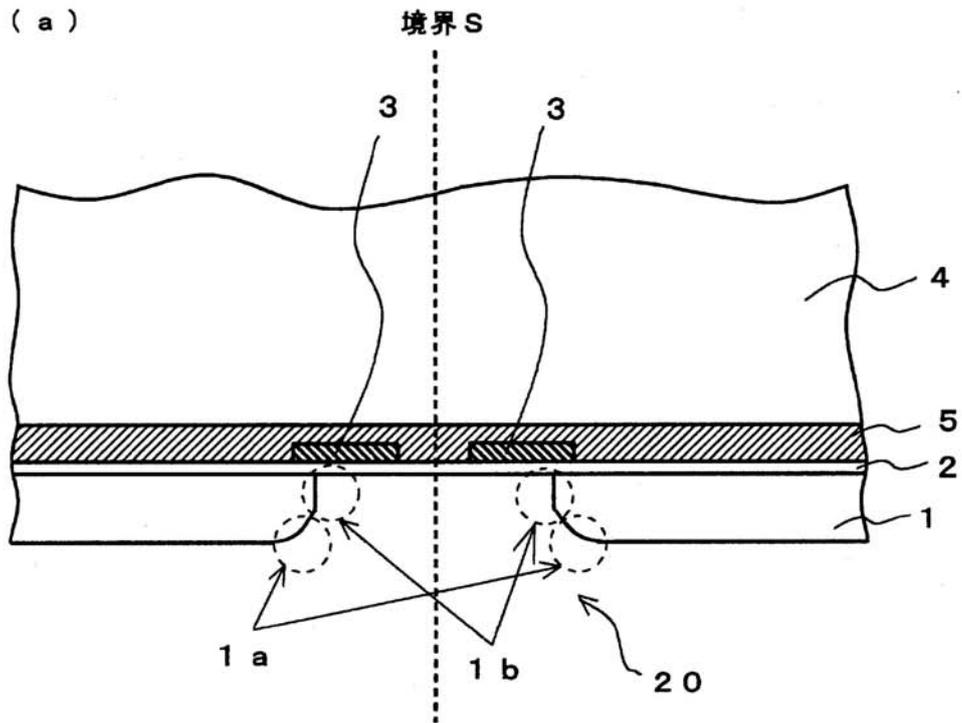
(a)



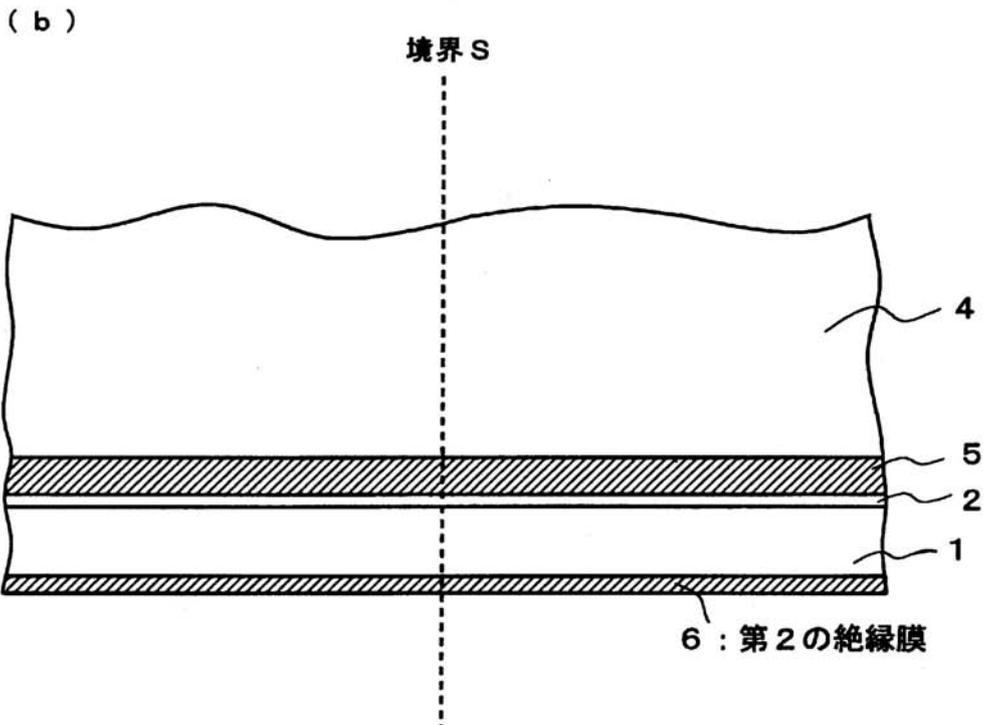
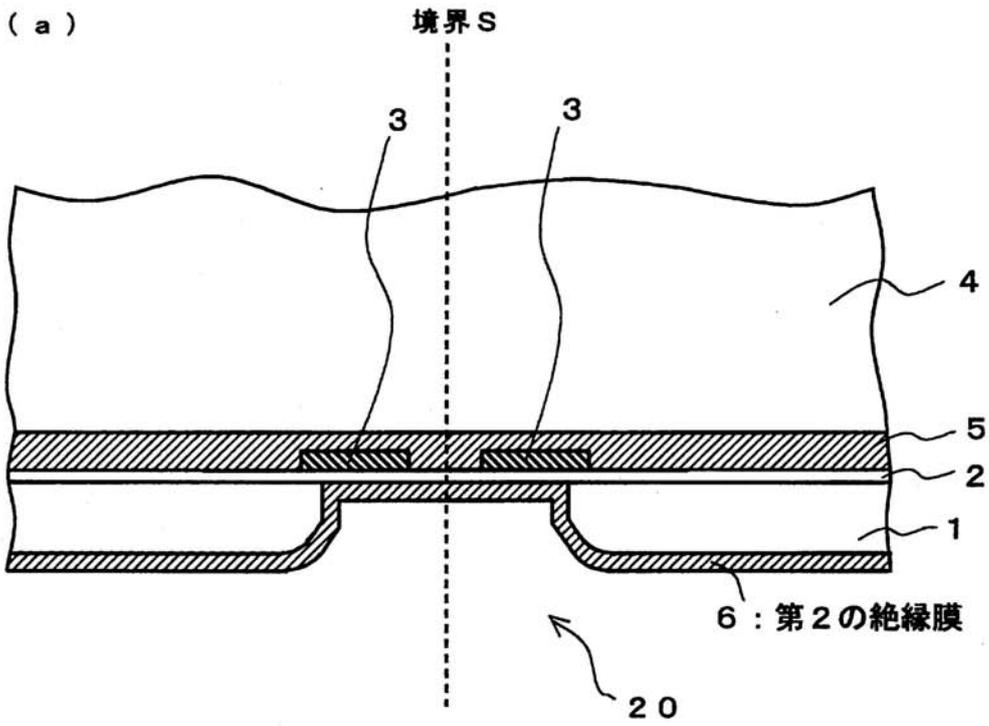
(b)



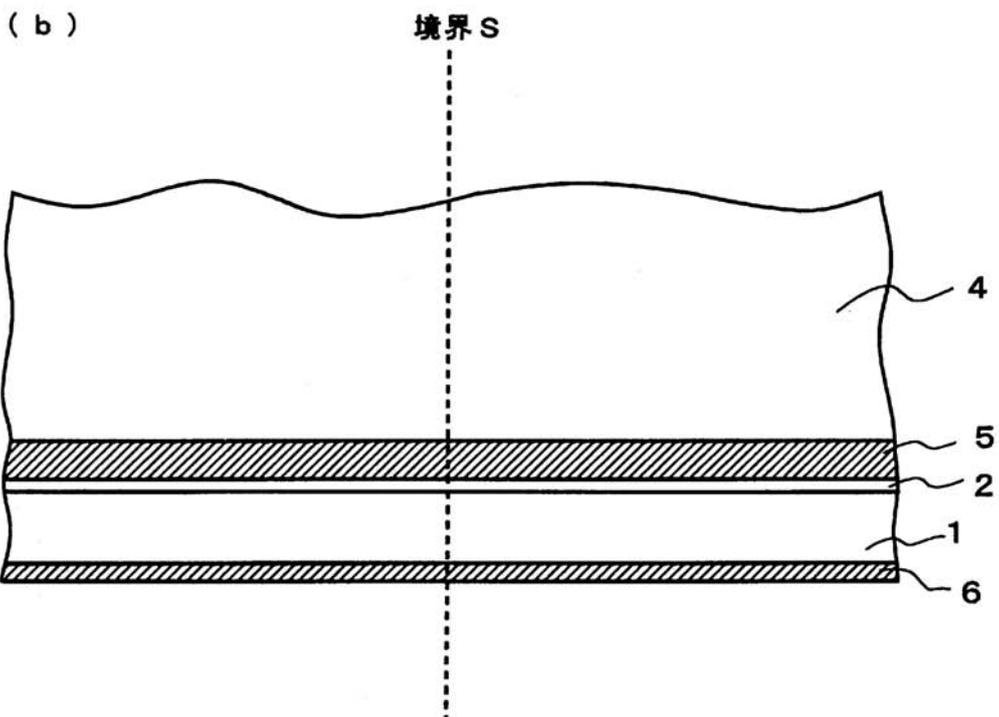
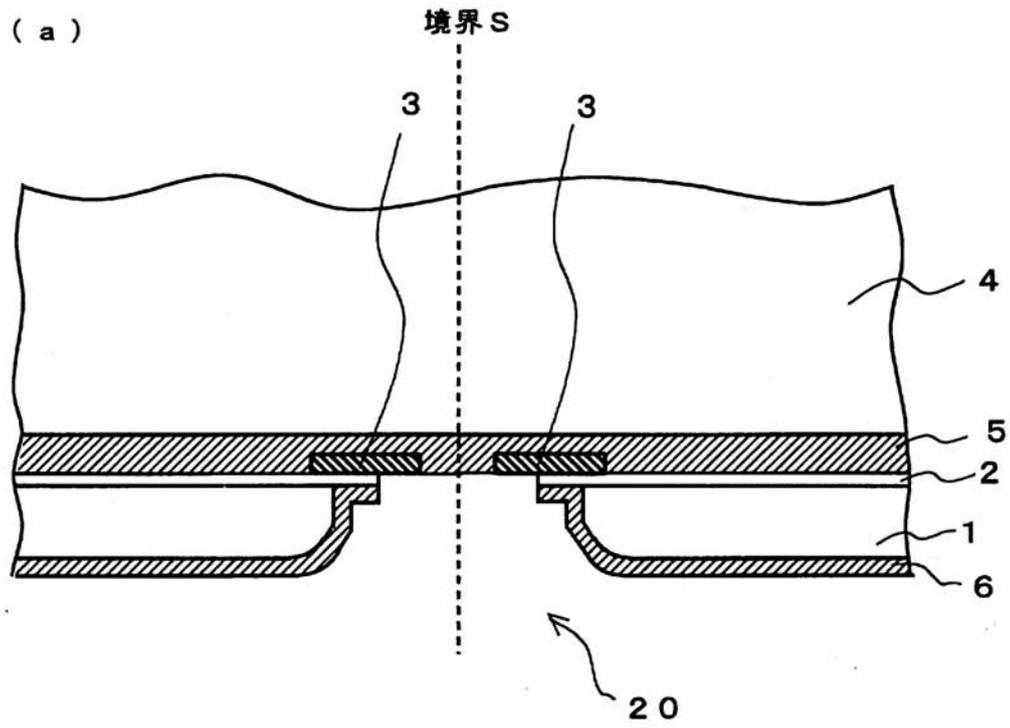
【図3】



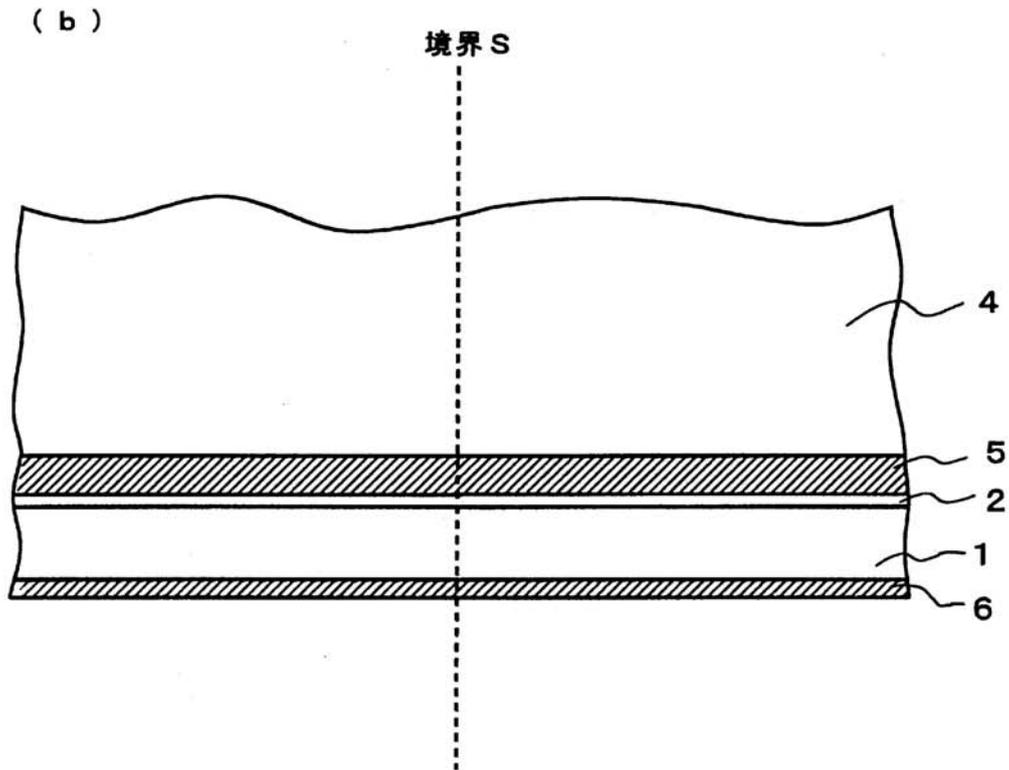
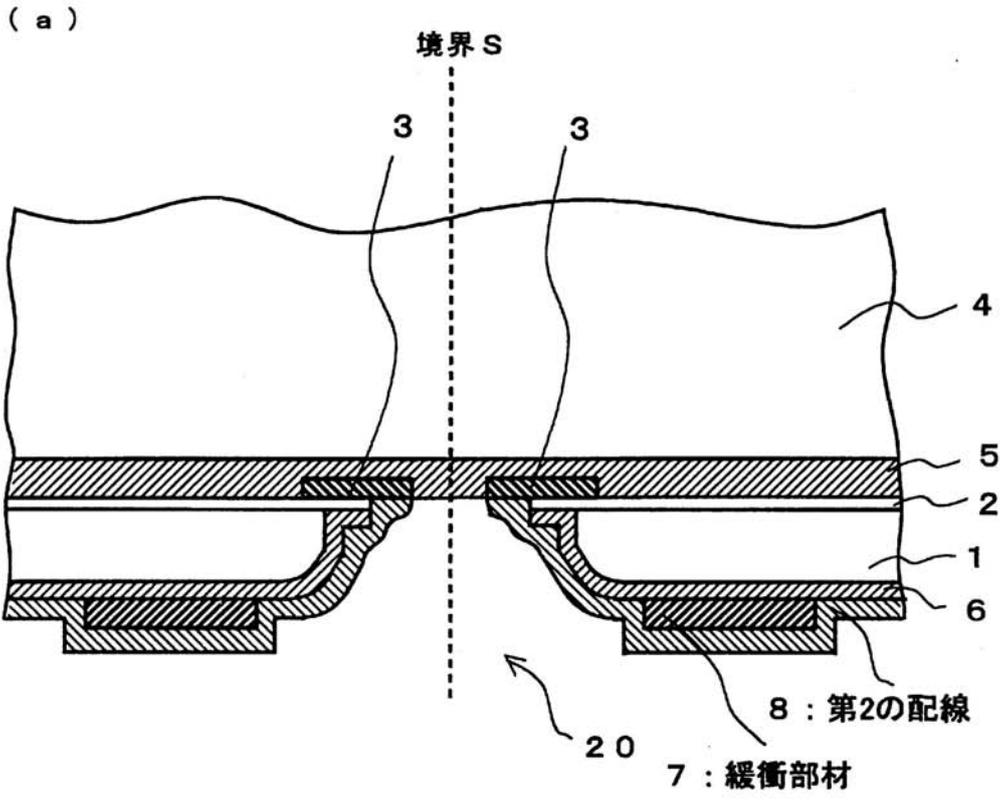
【図4】



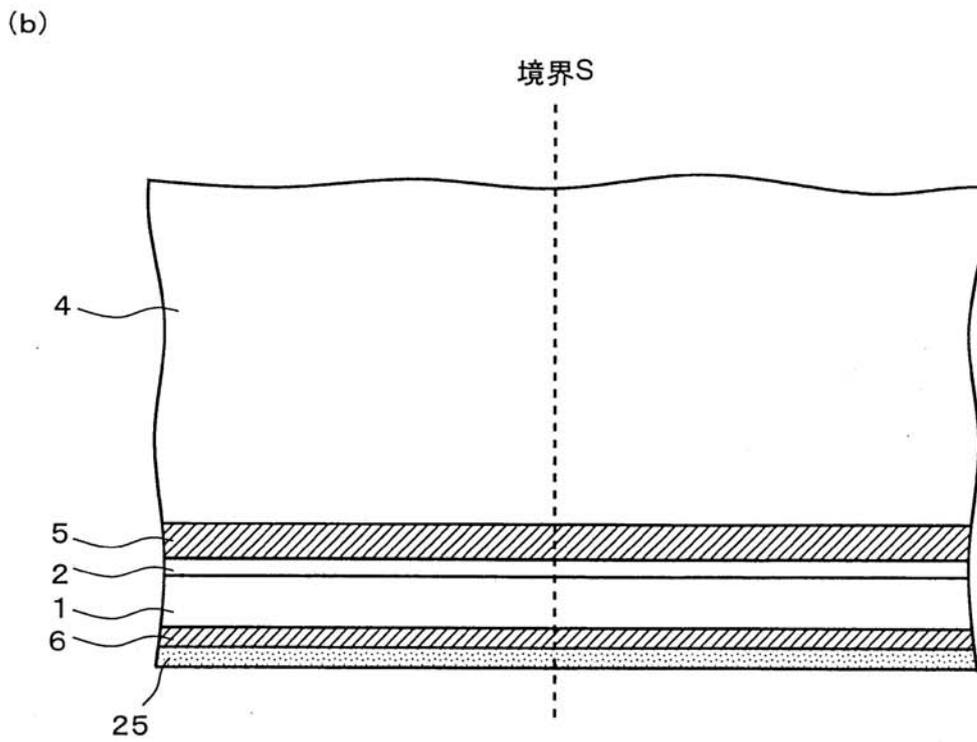
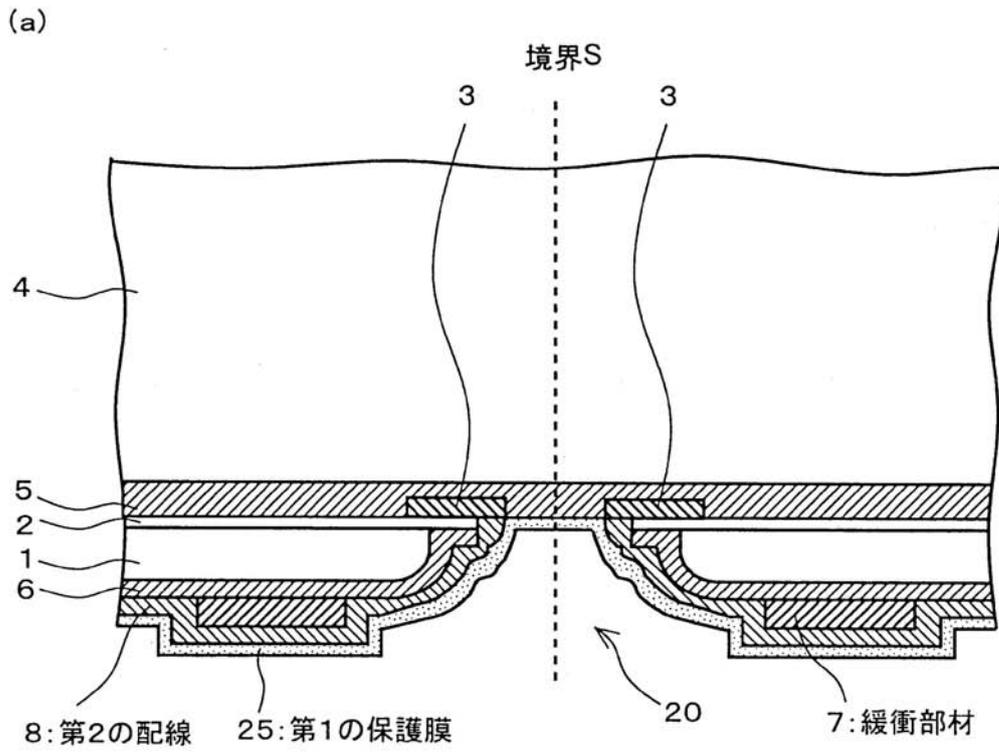
【図5】



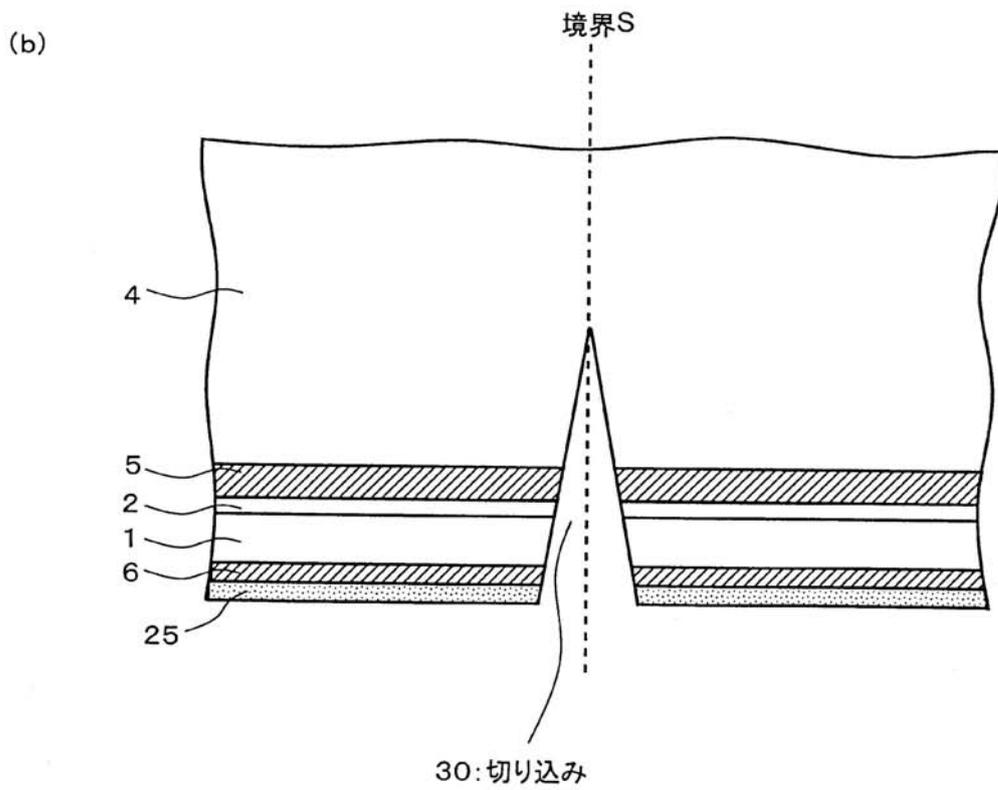
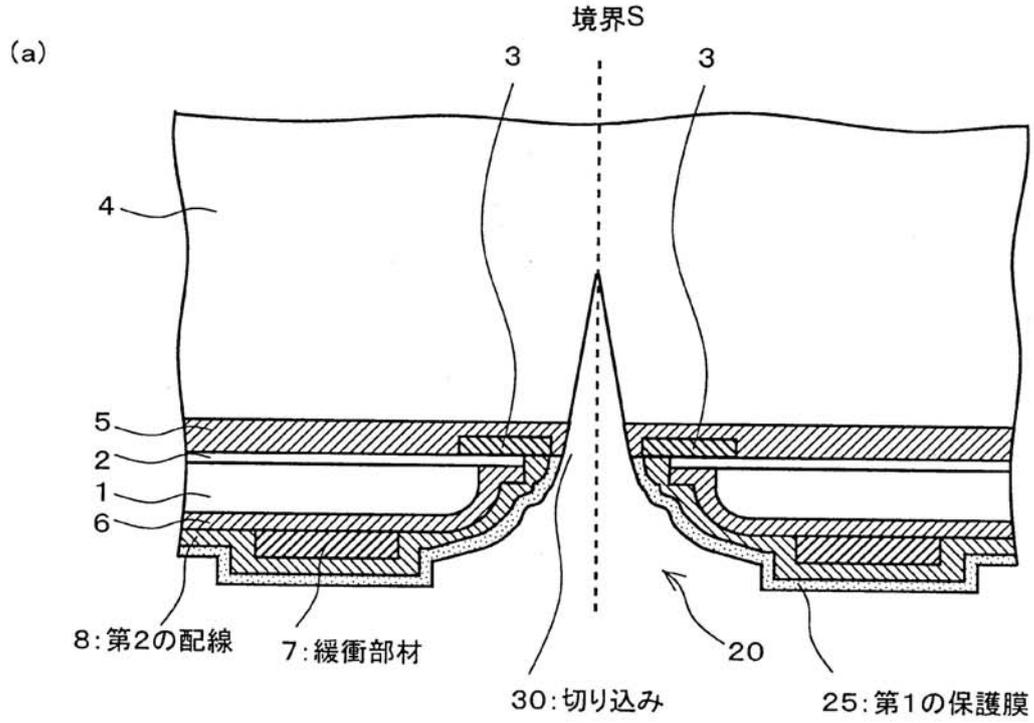
【図6】



【図7】

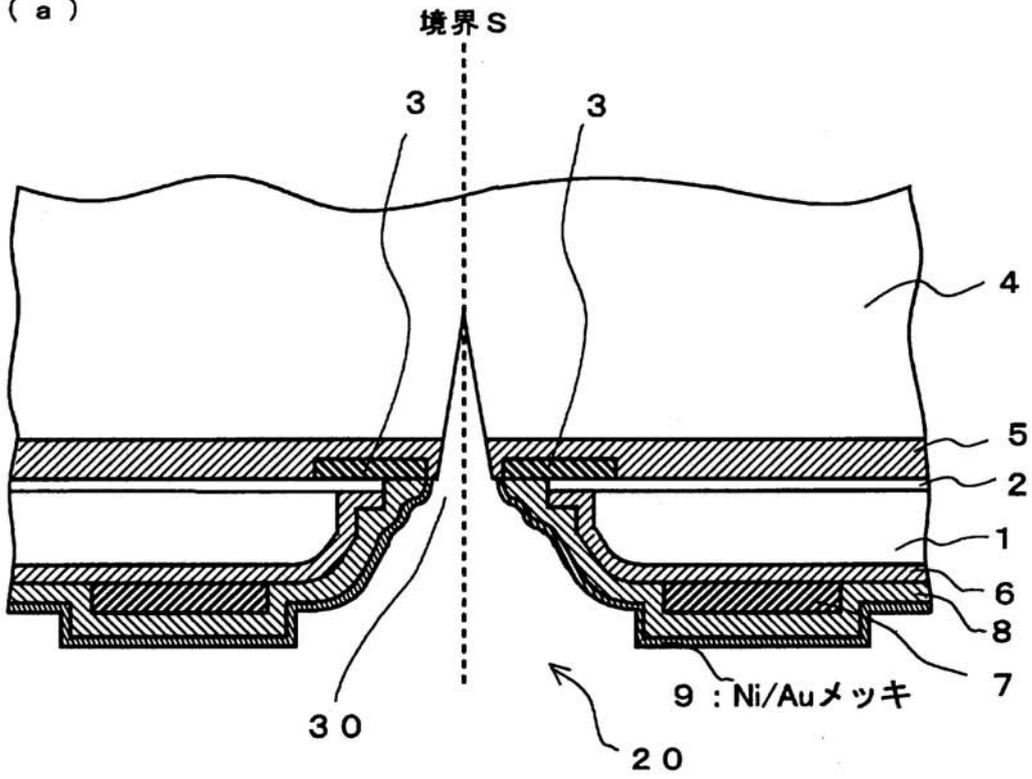


【図8】

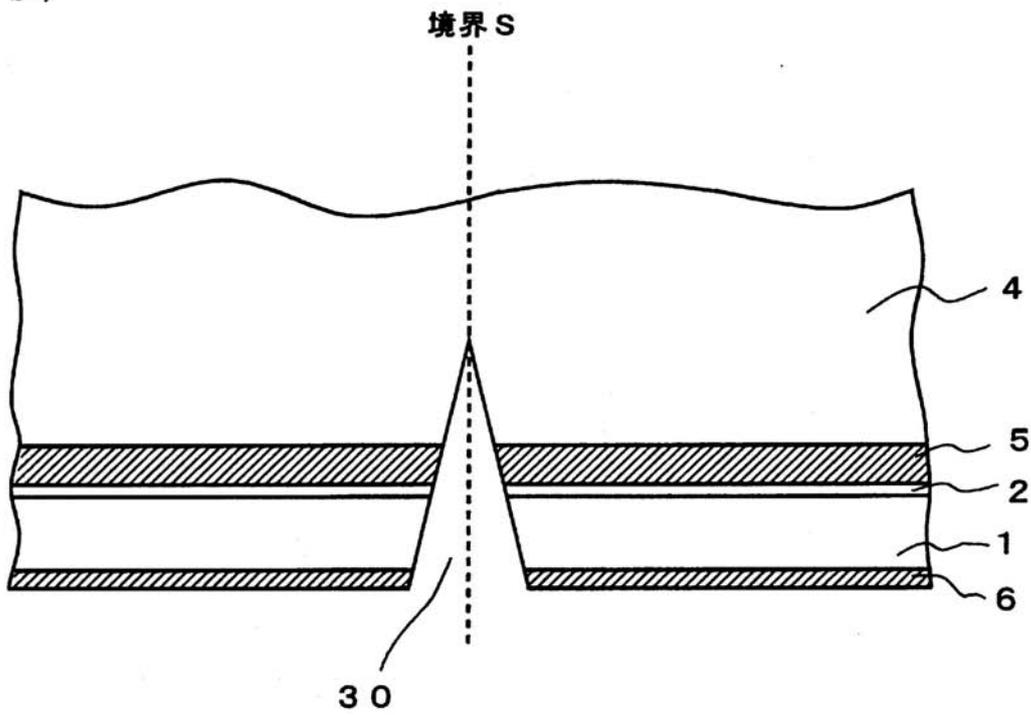


【図9】

(a)

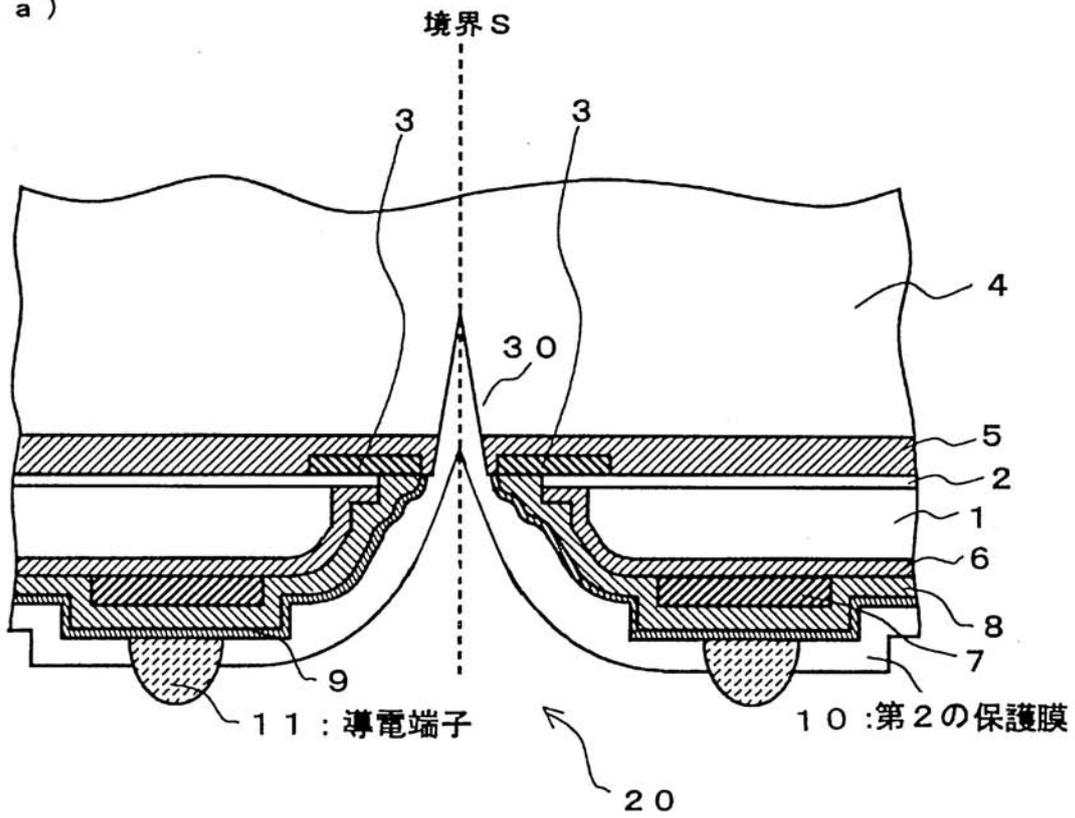


(b)

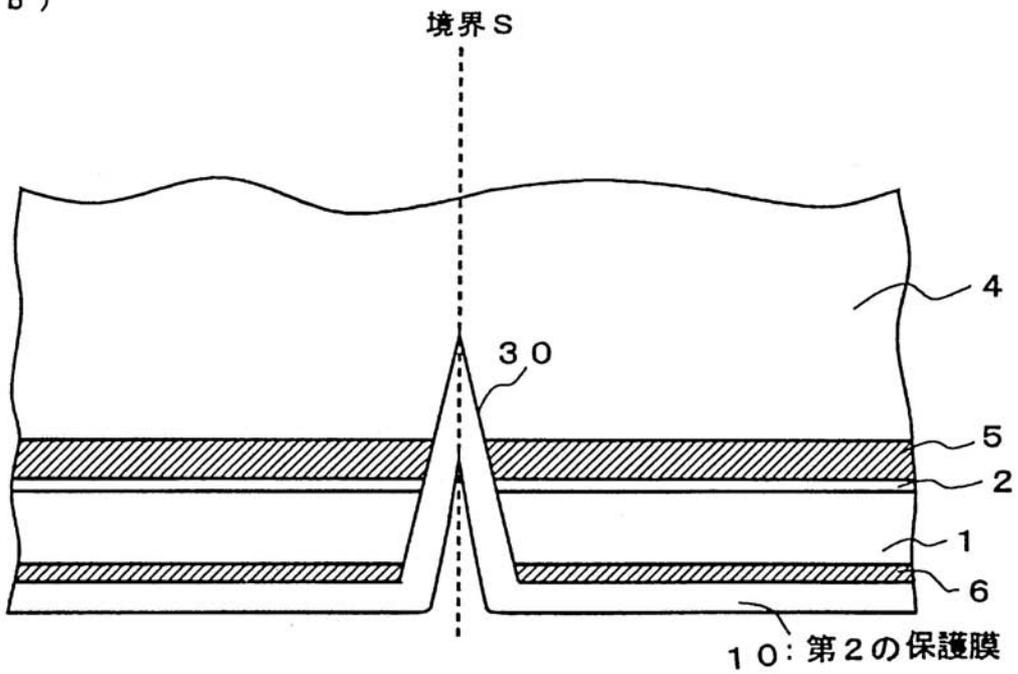


【図10】

(a)

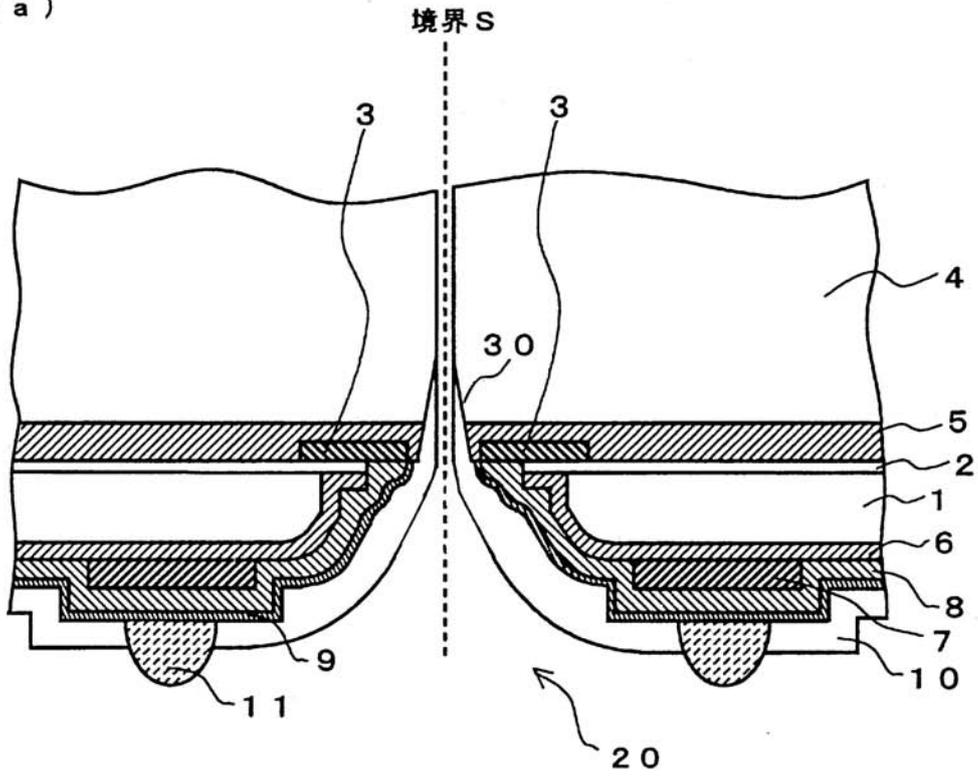


(b)

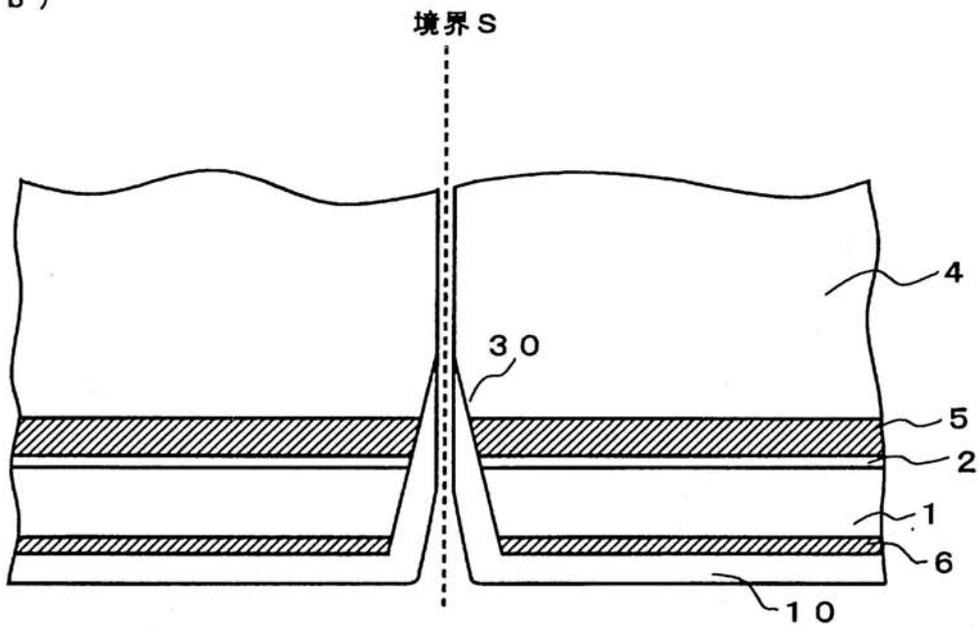


【図11】

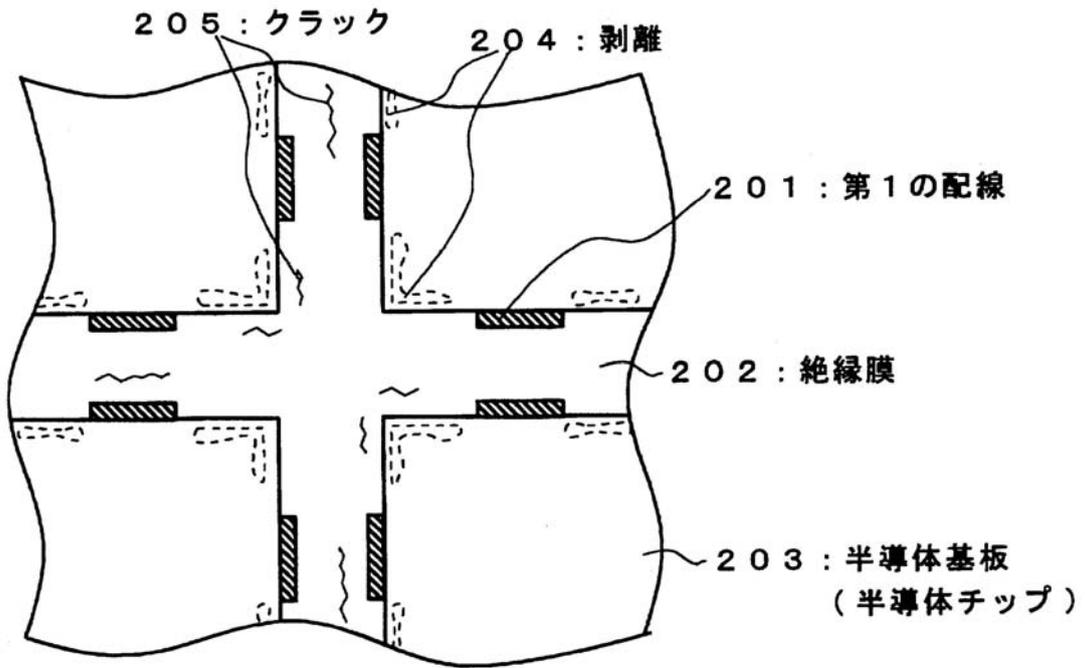
(a)



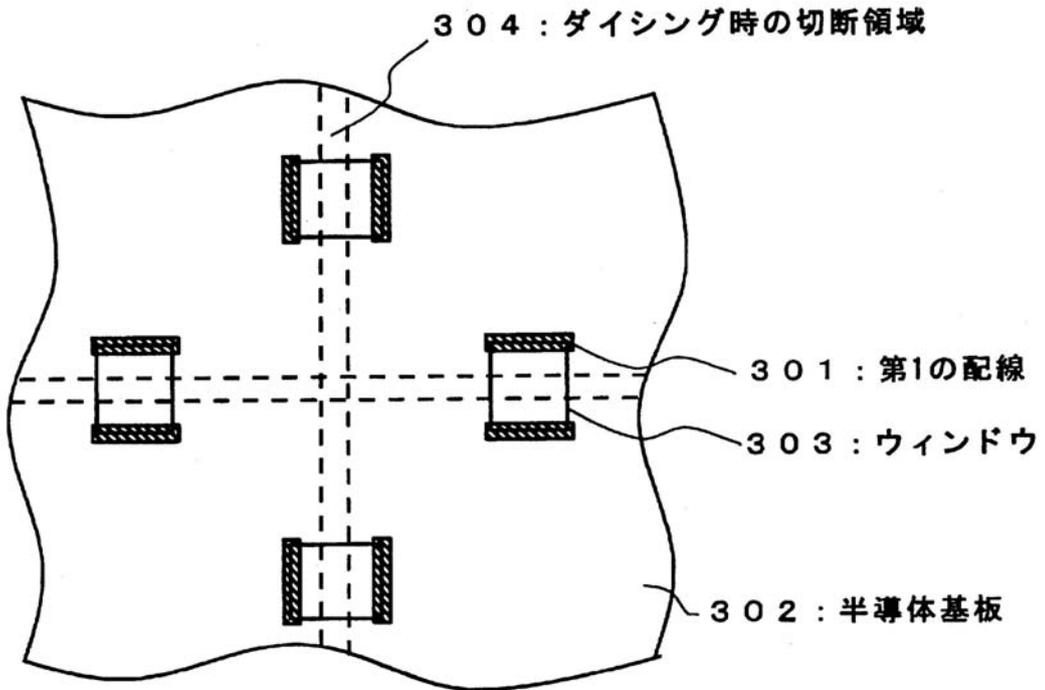
(b)



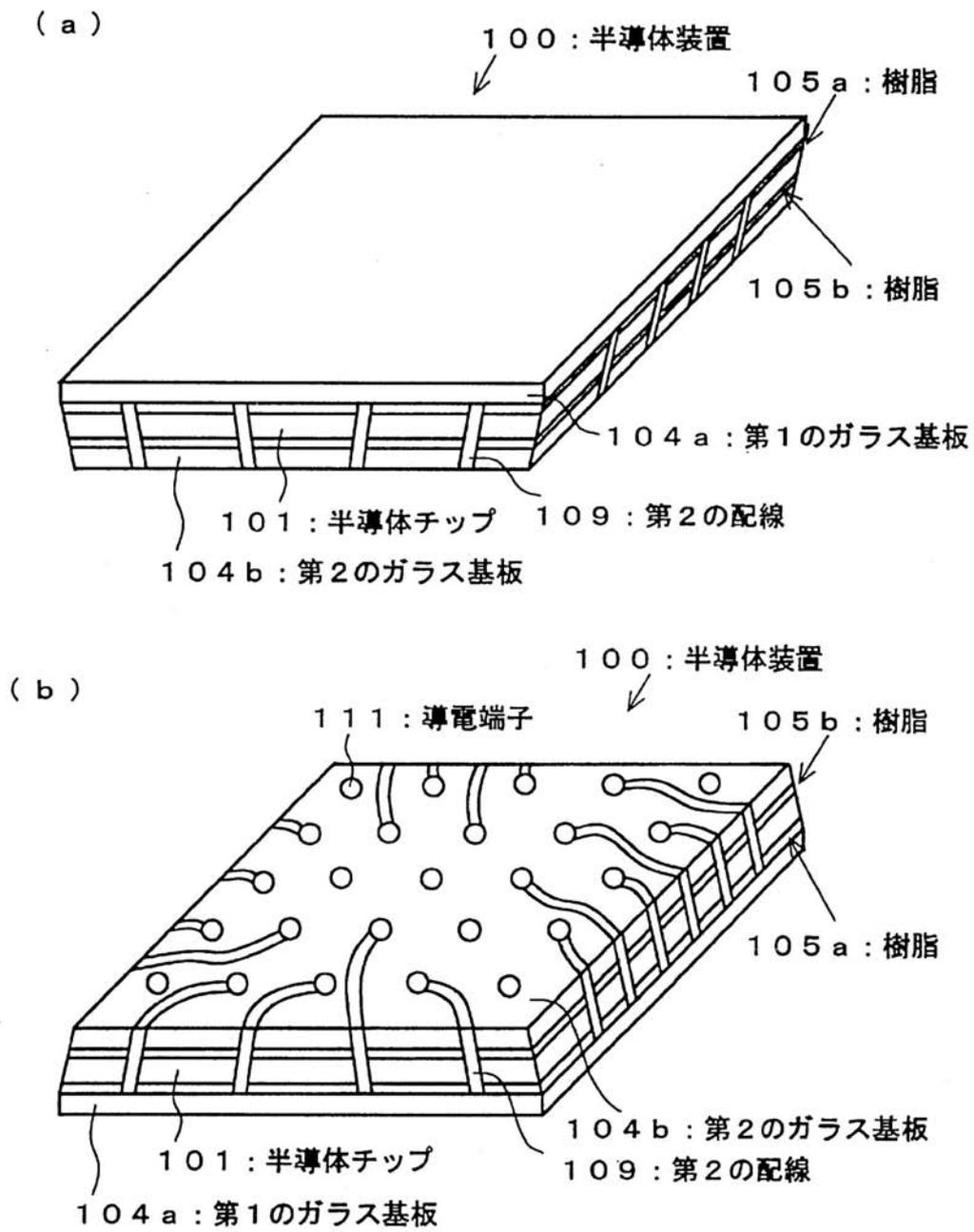
【図12】



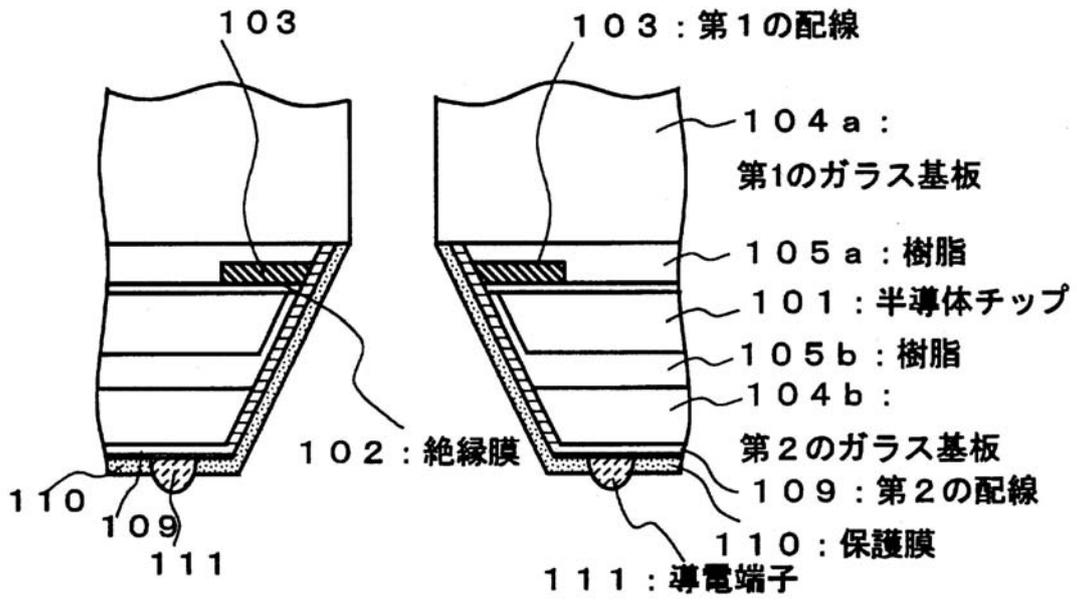
【図13】



【図14】



【図15】



フロントページの続き

- (56)参考文献 特開2004-080006(JP,A)
特開2004-006835(JP,A)
特開2004-088085(JP,A)
特開2004-006807(JP,A)
特開2004-079690(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H01L 21/301