

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-511172

(P2004-511172A)

(43) 公表日 平成16年4月8日(2004.4.8)

(51) Int. Cl.⁷

H04B 1/707
H04B 7/26

F I

H04J 13/00
H04B 7/26

テーマコード (参考)

5K022
5K067

審査請求 未請求 予備審査請求 未請求 (全 60 頁)

(21) 出願番号 特願2002-533496 (P2002-533496)
 (86) (22) 出願日 平成13年9月26日 (2001.9.26)
 (85) 翻訳文提出日 平成14年5月21日 (2002.5.21)
 (86) 国際出願番号 PCT/JP2001/008379
 (87) 国際公開番号 W02002/029997
 (87) 国際公開日 平成14年4月11日 (2002.4.11)
 (31) 優先権主張番号 特願2000-299846 (P2000-299846)
 (32) 優先日 平成12年9月29日 (2000.9.29)
 (33) 優先権主張国 日本国 (JP)
 (81) 指定国 EP (DE, FR, GB), JP, US

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
弁理士 鈴江 武彦
 (74) 代理人 100084618
弁理士 村松 貞男
 (74) 代理人 100092196
弁理士 橋本 良郎
 (74) 代理人 100091351
弁理士 河野 哲
 (74) 代理人 100088683
弁理士 中村 誠

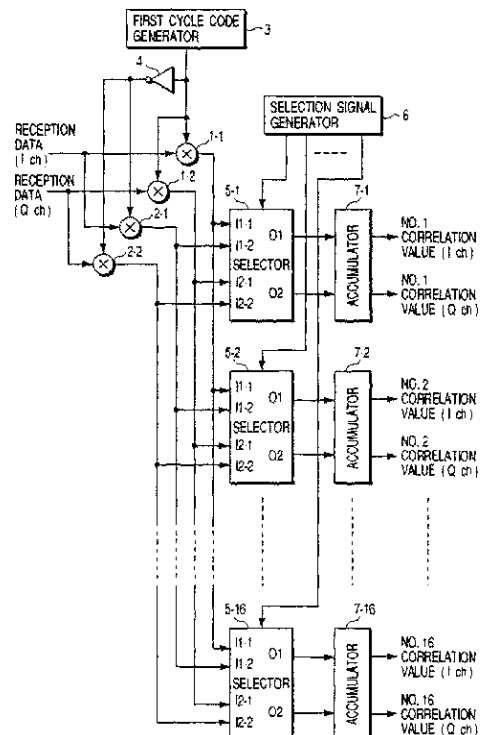
最終頁に続く

(54) 【発明の名称】 コード検出回路およびコード検出方法

(57) 【要約】

受信データに対し、第1周期コード生成部(3)で生成した第1周期コードと、その第1周期コードを極性判定部(4)で反転してなる反転第1周期コードとのそれぞれを乗算器(1,2)で掛け合わせる。そして乗算器(1,2)のそれぞれの出力を、それぞれ16種類のハダマードシーケンスパターンに対応した16個のセレクタ(5)に与える。セレクタ(5)へは、16種類のハダマードシーケンスパターンのそれぞれに対して第2周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変換してなるコードにより排他的論理和を取って定めた16パターンの選択信号をそれぞれ与える。そしてセレクタ(5)は、選択信号に基づいて乗算器(1,2)のそれぞれを選択出力し、累積部(7)で累積させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 コードと第 2 コードとの排他的論理和を取ってなる第 3 コードに唯一含まれる可変パターンが i 種類 (i は 2 以上の自然数) の可変パターンのうちのいずれであるかを検出するために、前記第 3 コードに対する前記 i 種類の可変パターンのそれぞれの相関値を求めるコード検出回路であって、

(1) 前記第 1 コードは、第 1 周期コードと第 2 周期コードとを掛け合わせて構成される。

(2) 前記第 1 周期コードは、 m チップ (m は自然数) 長の第 1 固定パターンを n パターン (n は自然数) 繰り返し配列してなる。

(3) 前記第 1 固定パターンは、それぞれ「1」または「-1」を示すチップを所定の順序で m 個配列してなる。

(4) 前記第 2 周期コードは、前記第 1 周期コードの m 倍のチップ周期を持つ n チップ長の第 2 固定パターンよりなる。

(5) 前記第 2 固定パターンの各チップは、前記第 1 固定パターンの正転 / 反転を示す。

(6) 前記第 2 コードは、前記第 2 周期コードと同じチップ周期を持つ n/p ビット (p は自然数) 長の前記可変パターンを p パターン繰り返し配列してなる。

(7) 前記 i 種類の可変パターンは、「0」または「1」をそれぞれ異なる順序で n/p ビット配列してなる。

なる各条件を前提として、

前記第 1 周期コードを前記第 3 コードに同期させたときに、前記第 1 周期コードが「1」である期間に相当する前記第 3 コードのチップはそのままの極性で、また前記第 1 周期コードが「-1」である期間に相当する前記第 3 コードのチップは極性を反転させてそれぞれ出力する第 1 のコード変換手段と、

前記第 1 周期コードを前記第 3 コードに同期させたときに、前記第 1 周期コードが「1」である期間に相当する前記第 3 コードのチップは極性を反転させて、また前記第 1 周期コードが「-1」である期間に相当する前記第 3 コードのチップはそのままの極性でそれぞれ出力する第 2 のコード変換手段と、

前記 i 種類の可変パターンのそれぞれに対して、前記第 2 周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変換してなるコードにより排他的論理和を取って形成した i 本の選択パターンを前記第 3 コードに同期してそれぞれ並列に出力する選択パターン出力手段と、

この選択パターン出力手段が出力する i 本の選択パターンのそれぞれに対応し、この対応する選択パターンが「0」であるときに前記第 1 のコード変換手段の出力を、また対応する選択パターンが「1」であるときに前記第 2 のコード変換手段の出力をそれぞれ選択して出力する i 個の選択手段と、

この i 個の選択手段のそれぞれに対応して設けられ、この対応する選択手段の出力を累積する i 個の累積手段とを具備したことを特徴とするコード検出回路。

【請求項 2】

前記第 3 コードが、その極性が前記条件に従う複数ビットの 2 の補数で表わされたものであることを前提として、

前記第 1 のコード変換手段は、前記第 1 周期コードが「1」となる期間に「0」を、また前記第 1 周期コードが「-1」となる期間に「1」をそれぞれ発生する第 1 の簡易コード生成手段と、

この第 1 の簡易コード生成手段の出力と前記第 3 コードの各ビットとの排他的論理和を取る第 1 の演算手段とを具備し、

かつ前記第 2 のコード変換手段は、前記第 1 周期コードが「1」となる期間に「1」を、また前記第 1 周期コードが「-1」となる期間に「0」をそれぞれ発生する第 2 の簡易コード生成手段と、

10

20

30

40

50

この論理反転手段の出力と前記第3コードの各ビットとの排他的論理和を取る第2の演算手段とを具備することを特徴とする請求項1に記載のコード検出回路。

【請求項3】

前記第1の簡易コード生成手段および前記第2の簡易コード生成手段は、前記第1周期コードが「1」となる期間に「0」および「1」の一方を、また前記第1周期コードが「-1」となる期間に「0」および「1」の他方をそれぞれ発生する単一のコード生成回路を共用し、

さらにこのコード生成回路を前記第1周期コードが「1」となる期間に「0」を出力するものとするならば前記第2の簡易コード生成手段に、また前記コード生成回路を前記第1周期コードが「1」となる期間に「1」を出力するものとするならば前記第1の簡易コード生成手段にそれぞれ前記コード生成回路の出力の論理を反転させる論理反転手段を備えてなることを特徴とする請求項2に記載のコード検出回路。

10

【請求項4】

第1コードと第2コードとの排他的論理和を取ってなる第3コードに唯一含まれる可変パターンが*i*種類(*i*は2以上の自然数)の可変パターンのうちのいずれであるかを検出するために、前記第3コードに対する前記*i*種類の可変パターンのそれぞれの相関値を求めるコード検出方法であって、

(1) 前記第1コードは、第1周期コードと第2周期コードとを掛け合わせて構成される。

(2) 前記第1周期コードは、*m*チップ(*m*は自然数)長の第1固定パターンを*n*パターン(*n*は自然数)繰り返し配列してなる。

20

(3) 前記第1固定パターンは、それぞれ「1」または「-1」を示すチップを所定の順序で*m*個配列してなる。

(4) 前記第2周期コードは、前記第1周期コードの*m*倍のチップ周期を持つ*n*チップ長の第2固定パターンよりなる。

(5) 前記第2固定パターンの各チップは、前記第1固定パターンの正転/反転を示す。

(6) 前記第2コードは、前記第2周期コードと同じチップ周期を持つ*n/p*ビット(*p*は自然数)長の前記可変パターンを*p*パターン繰り返し配列してなる。

(7) 前記*i*種類の可変パターンは、「0」または「1」をそれぞれ異なる順序で*n/p*ビット配列してなる。

30

なる各条件を前提として、

前記第1周期コードを前記第3コードに同期させたときに、前記第1周期コードが「1」である期間に相当する前記第3コードのチップはそのままの極性で、また前記第1周期コードが「-1」である期間に相当する前記第3コードのチップは極性を反転させてそれぞれ出力する第1のコード変換ステップと、

前記第1周期コードを前記第3コードに同期させたときに、前記第1周期コードが「1」である期間に相当する前記第3コードのチップは極性を反転させて、また前記第1周期コードが「-1」である期間に相当する前記第3コードのチップはそのままの極性でそれぞれ出力する第2のコード変換ステップと、

40

前記*i*種類の可変パターンのそれぞれに対して、前記第2周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変換してなるコードにより排他的論理和を取って形成した*i*本の選択パターンを前記第3コードに同期してそれぞれ並列に出力する選択パターン出力ステップと、

この選択パターン出力ステップで出力される*i*本の選択パターンのそれぞれに応じて、この対応する選択パターンが「0」であるときに前記第1のコード変換ステップでの出力を、また対応する選択パターンが「1」であるときに前記第2のコード変換ステップでの出力をそれぞれ選択して出力する選択ステップと、

この選択ステップでの*i*本の選択出力をそれぞれ累積する累積ステップとを具備したことを特徴とするコード検出方法。

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、W - C D M A方式の移動無線通信システムにおけるセカンドサーチ処理などのために用いられるコード検出回路およびコード検出方法に関する。

【0002】

【従来の技術】

移動無線通信システムの一つであるW - C D M A方式では、セカンダリシンクロナイゼーションコード (Secondary Synchronization Code) に混合されているハダマードシーケンス (Hadamard Sequence) が16種類のコードのうちのいずれであるかを検出する、いわゆるセカンドサーチ処理を行う。 10

【0003】

セカンダリシンクロナイゼーションコードは、第1コードであるゴーレイシーケンス (Golay Sequence) と第2コードであるハダマードシーケンスとの排他的論理和 (EX - OR) を取ったコードである。

【0004】

ゴーレイシーケンスは図5にS14で示すような固定のパターンである。このゴーレイシーケンスは、図5にS12で示すような第1周期コードと図5にS13で示すような第2周期コードとを掛け合わせて構成されている。第1周期コードは、第1固定パターンAを16回繰り返してなる。第1固定パターンAは、図5にS11で示すように「1」または「-1」を示すチップを所定の順序で16チップ配列してなる。かくして第1周期コードは、256ビット長となっている。 20

【0005】

また第2周期コードは、「1」または「-1」を示すチップを所定の順序で配列してなる16チップ長のコードである。つまり第2周期コードのチップ周期は第1固定パターンAのチップ周期の1/16となっている。従って、第1周期コードのほうが第2周期コードよりも速いレートのコードとなっている。そこで、第1周期コードのレートを速いレート、第2周期コードのレートを遅いレートと称する。

【0006】

このようにゴーレイシーケンスは、第1固定パターンAを、ある決まったパターンで正転または反転を繰り返して16回配列してなるコードである。そしてゴーレイシーケンスは、256チップ長であり、第1周期コードと同一チップ周期を持つ。 30

【0007】

一方、ハダマードシーケンスには、図6に示すような16種類のビット列よりなるハダマードシーケンスパターンが存在する。これらのハダマードシーケンスパターンは、いずれも16ビット長である。これらの16種類のハダマードシーケンスパターンには、それぞれ「1」~「16」のハダマードシーケンス番号が付されている。そしてハダマードシーケンスには、これらの16種類のハダマードシーケンスパターンのうちの任意の1つが選択的に使用される。ハダマードシーケンスは、図5にS15で示すように第2周期コードのチップレートと同様なビットレート、すなわち遅いレートを持つ。なお図5のS15における「b0」~「b15」は、1つのハダマードシーケンスパターンをなす各ビットを示す。 40

【0008】

図7は以上のようなセカンダリシンクロナイゼーションコードに含まれているハダマードシーケンスパターンがいずれであるかを検出するためのセカンドサーチ回路の従来の構成を示すブロック図である。

【0009】

この図に示すセカンドサーチ回路は、ゴーレイシーケンス発生部51、乗算器52 (52-1, 52-2)、累積加算部53 (53-1, 53-2)、16段シフトレジスタ54 (54-1, 54-2)、第1ハダマード回路55 (55-1, 55-2) を有して構成 50

されている。

【0010】

まず、ゴレイシーケンス発生部51にて上述のゴレイシーケンスを生成し、これを受信したIchおよびQchのそれぞれのセカンダリシンクロナイゼーションコードに乗算器52-1, 52-2にて乗算させる。

【0011】

ハダマードシーケンスはゴレイシーケンスの16チップ期間に1ビットが相当するので、乗算器52-1, 52-2の出力をゴレイシーケンスの16チップ期間分づつ累積加算部53-1, 53-2にて累積した上で、その結果を16段シフトレジスタ54-1, 54-2に取込むことで、16ビットのハダマードシーケンスパターンを抽出する。

10

【0012】

そしてこのように抽出されたハダマードシーケンスパターンと16種類のハダマードシーケンスパターンとの相関値を第1ハダマード回路55-1, 55-2で求める。第1ハダマード回路55-1, 55-2は、抽出されたハダマードシーケンスパターンと16種類のハダマードシーケンスパターンとの相関値、すなわち16個の相関値をそれぞれ別々に出力する。従ってこの16個の相関値の大小関係から、セカンダリシンクロナイゼーションコードに含まれていたハダマードシーケンスパターンがいずれであるかを判定することが可能である。

【0013】

ところで第1ハダマード回路55は、16種類の各ハダマードシーケンスパターンに合わせて、出来るだけ演算器を共有して演算器をツリー状に構成している。このようにツリー状に演算器を構成しているため、回路規模が非常に大きい。またこのように演算器が多いことで消費電力も非常に大きいという不具合があった。

20

【0014】

【課題を解決するための手段】

本発明の目的は、小さな回路規模および低い消費電力でコード検出のための相関値算出を行うことを可能とすることである。

【0015】

この目的は次のようなコード検出回路によって実現される。

【0016】

第1コードと第2コードとの排他的論理和を取ってなる第3コードに唯一含まれる可変パターンが*i*種類(*i*は2以上の自然数)の可変パターンのうちのいずれであるかを検出するために、前記第3コードに対する前記*i*種類の可変パターンのそれぞれの相関値を求めるコード検出回路であって、

30

(1) 前記第1コードは、第1周期コードと第2周期コードとを掛け合わせて構成される。

【0017】

(2) 前記第1周期コードは、*m*チップ(*m*は自然数)長の第1固定パターンを*n*パターン(*n*は自然数)繰り返し配列してなる。

【0018】

(3) 前記第1固定パターンは、それぞれ「1」または「-1」を示すチップを所定の順序で*m*個配列してなる。

40

【0019】

(4) 前記第2周期コードは、前記第1周期コードの*m*倍のチップ周期を持つ*n*チップ長の第2固定パターンよりなる。

【0020】

(5) 前記第2固定パターンの各チップは、前記第1固定パターンの正転/反転を示す。

【0021】

(6) 前記第2コードは、前記第2周期コードと同じチップ周期を持つ*n/p*ビット(*p*は自然数)の可変パターンを抽出する。

50

p は自然数) 長の前記可変パターンを p パターン繰り返し配列してなる。

【0022】

(7) 前記 i 種類の可変パターンは、「0」または「1」をそれぞれ異なる順序で n / p ビット配列してなる。

【0023】

なる各条件を前提として、

前記第 1 周期コードを前記第 3 コードに同期させたときに、前記第 1 周期コードが「1」である期間に相当する前記第 3 コードのチップはそのままの極性で、また前記第 1 周期コードが「-1」である期間に相当する前記第 3 コードのチップは極性を反転させてそれぞれ出力する第 1 のコード変換手段と、

10

前記第 1 周期コードを前記第 3 コードに同期させたときに、前記第 1 周期コードが「1」である期間に相当する前記第 3 コードのチップは極性を反転させて、また前記第 1 周期コードが「-1」である期間に相当する前記第 3 コードのチップはそのままの極性でそれぞれ出力する第 2 のコード変換手段と、

前記 i 種類の可変パターンのそれぞれに対して、前記第 2 周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変換してなるコードにより排他的論理和を取って形成した i 本の選択パターンを前記第 3 コードに同期してそれぞれ並列に出力する選択パターン出力手段と、

この選択パターン出力手段が出力する i 本の選択パターンのそれぞれに対応し、この対応する選択パターンが「0」であるときに前記第 1 のコード変換手段の出力を、また対応する選択パターンが「1」であるときに前記第 2 のコード変換手段の出力をそれぞれ選択して出力する i 個の選択手段と、

20

この i 個の選択手段のそれぞれに対応して設けられ、この対応する選択手段の出力を累積する i 個の累積手段とを具備したことを特徴とするコード検出回路。

【0024】

また前記目的は次のようなコード検出方法によって実現される。

【0025】

第 1 コードと第 2 コードとの排他的論理和を取ってなる第 3 コードに唯一含まれる可変パターンが i 種類 (i は 2 以上の自然数) の可変パターンのうちのいずれであるかを検出するために、前記第 3 コードに対する前記 i 種類の可変パターンのそれぞれの相関値を求め

30

るコード検出方法であって、

(1) 前記第 1 コードは、第 1 周期コードと第 2 周期コードとを掛け合わせて構成される。

【0026】

(2) 前記第 1 周期コードは、m チップ (m は自然数) 長の第 1 固定パターンを n パターン (n は自然数) 繰り返し配列してなる。

【0027】

(3) 前記第 1 固定パターンは、それぞれ「1」または「-1」を示すチップを所定の順序で m 個配列してなる。

【0028】

(4) 前記第 2 周期コードは、前記第 1 周期コードの m 倍のチップ周期を持つ n チップ長の第 2 固定パターンよりなる。

40

【0029】

(5) 前記第 2 固定パターンの各チップは、前記第 1 固定パターンの正転 / 反転を示す。

【0030】

(6) 前記第 2 コードは、前記第 2 周期コードと同じチップ周期を持つ n / p ビット (p は自然数) 長の前記可変パターンを p パターン繰り返し配列してなる。

【0031】

(7) 前記 i 種類の可変パターンは、「0」または「1」をそれぞれ異なる順序で n /

50

pビット配列してなる。

【0032】

なる各条件を前提として、

前記第1周期コードを前記第3コードに同期させたときに、前記第1周期コードが「1」である期間に相当する前記第3コードのチップはそのままの極性で、また前記第1周期コードが「-1」である期間に相当する前記第3コードのチップは極性を反転させてそれぞれ出力する第1のコード変換ステップと、

前記第1周期コードを前記第3コードに同期させたときに、前記第1周期コードが「1」である期間に相当する前記第3コードのチップは極性を反転させて、また前記第1周期コードが「-1」である期間に相当する前記第3コードのチップはそのままの極性でそれぞれ出力する第2のコード変換ステップと、

前記i種類の可変パターンのそれぞれに対して、前記第2周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変換してなるコードにより排他的論理和を取って形成したi本の選択パターンを前記第3コードに同期してそれぞれ並列に出力する選択パターン出力ステップと、

この選択パターン出力ステップで出力されるi本の選択パターンのそれぞれに応じて、この対応する選択パターンが「0」であるときに前記第1のコード変換ステップでの出力を、また対応する選択パターンが「1」であるときに前記第2のコード変換ステップでの出力をそれぞれ選択して出力する選択ステップと、

この選択ステップでのi本の選択出力をそれぞれ累積する累積ステップとを具備したことを特徴とするコード検出方法。

【0033】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態につき説明する。

【0034】

(第1の実施形態)

図1は本実施形態に係るコード検出回路を適用して構成されたセカンドサーチ回路の構成を示すブロック図である。

【0035】

この図に示すように本実施形態のセカンドサーチ回路は、乗算器1(1-1, 1-2), 2(2-1, 2-2)、第1周期コード生成部3、極性反転部4、セレクトタ5(5-1~5-16)、選択信号生成部6および累積部7(7-1~7-16)を有している。

【0036】

乗算器1, 2にはそれぞれ、受信したIc hおよびQc hのそれぞれの受信データが入力される。すなわち、乗算器1-1, 2-1にIc hの受信データが分岐入力される。また乗算器1-2, 2-2にQc hの受信データが分岐入力される。また乗算器1にはそれぞれ、第1周期コード生成部3で生成される第1周期コードが与えられる。乗算器2にはそれぞれ、極性反転部4で生成される反転第1周期コードが与えられる。そして各乗算器1, 2は、それぞれの2入力を掛け合わせる。かくして、乗算器1は受信データに第1周期コードを掛け合わせる処理を行う。また、乗算器2は受信データに反転第1周期コードを掛け合わせる処理を行う。

【0037】

第1周期コード生成部3は、図5に示した前述の第1周期コードを生成し、受信データ中のセカンダリシンクロナイゼーションコードのタイミングに同期して出力する。

【0038】

極性反転部4は、第1周期コード生成部3で生成された第1周期コードの各チップの極性を反転させて上述の反転第1周期コードを生成し、これを乗算器2に与える。

【0039】

セレクトタ5は、ハダマードシーケンスのパターン数と同数の16個が設けられている。これらのセレクトタ5は、それぞれ2系統の入力端子I1, I2を有している。そして各系統

10

20

30

40

50

の入力端子は、2つの入力端子I 1 - 1, I 1 - 2およびI 2 - 1, I 2 - 2を備えていて、合計で入力端子は4つとなっている。入力端子I 1は、I c hに関するデータを入力するための系統であり、入力端子I 1 - 1に乗算器1 - 1の出力が、また入力端子I 1 - 2に乗算器2 - 1の出力がそれぞれ与えられる。また入力端子I 2は、Q c hに関するデータを入力するための系統であり、入力端子I 2 - 1に乗算器1 - 2の出力が、また入力端子I 2 - 2に乗算器2 - 2の出力がそれぞれ与えられる。そしてセレクタ5は、選択信号生成部6から与えられる選択信号が「0」であるときに入力端子I 1 - 1, I 2 - 1をそれぞれ選択し、また選択信号が「1」であるときに入力端子I 1 - 2, I 2 - 2をそれぞれ選択する。セレクタ5は、入力端子I 1 - 1, I 1 - 2のうちの選択したほうの端子に入力されているデータを出力端子O 1より出力する。またセレクタ5は、入力端子I 2 - 1, I 2 - 2のうちの選択したほうの端子に入力されているデータを出力端子O 2より出力する。

10

【0040】

選択信号生成部6は、図2に示すように定められた16種類の入力データ選択パターンに従った選択信号を並列発生して、各セレクタ5に与える。入力データ選択パターンは16ビットよりなり、これを選択信号生成部6は、セカンダリシンクロナイゼーションコードのタイミングに同期して遅いレートで出力することで各選択信号を生成する。ここで図2に示す入力データ選択パターンは、そのパターンに対応付けて図2で示してあるNo.のハダマードシーケンスパターンのそれぞれに対して、第2周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変換してなるコードにより排他的論理和を取って定めたものである。従ってこれらの入力データ選択パターンはハダマードシーケンスパターンのそれぞれに対応しており、同一のハダマードシーケンスパターンに対応するセレクタ5へと与える選択信号のパターンを示している。なお選択信号生成部6は、このような入力データ選択パターンを毎回演算により発生する構成としても良いし、あるいは図2のパターンを示したデータテーブルをRAMまたはROM等に格納して用意しておく構成としても良い。

20

【0041】

累積部7は、ハダマードシーケンスのパターン数と同数の16個が設けられていて、セレクタ5と対をなしている。そして累積部7には、この対をなすセレクタ5の出力端子O 1, O 2からのそれぞれの出力データがともに与えられている。累積部7は、これら2系統のデータの値を個々に累積する。累積部7は、セレクタ5の出力端子O 1からの出力データ値の累積値をI c hに関する相関値として、またセレクタ5の出力端子O 2からの出力データ値の累積値をQ c hに関する相関値としてそれぞれ出力する。なお、累積部7 - 1 ~ 7 - 16はそれぞれNo. 1 ~ No. 16の各ハダマードシーケンスパターンに対応していて、出力する2つの相関値はいずれもこの対応するハダマードシーケンスパターンに関するものである。

30

【0042】

次に以上のように構成されたセカンドサーチ回路の動作につき説明する。なおここでは、説明の簡略化のために、フェージングおよび伝送路における位相回転などの無線の影響がない理想的な状態を想定する。このため、通常はノイズ成分などの影響を受けないように1チップ当り複数ビットで表わされた受信データが入力されるのであるが、ここでは「1」または「-1」に識別されたデータが入力されることとして説明する。

40

【0043】

さて、セカンダリシンクロナイゼーションコードは、その16チップ毎に着目すると、図5からも明らかなようにパターンAまたはパターン-Aと「0」または「1」とのEX-ORを取ったパターンであるから、 $A \times 1$ 、 $A \times 0$ 、 $-A \times 1$ 、 $-A \times 0$ の4パターンしか存在しない。しかし、 $A \times 1$ および $-A \times 0$ 、あるいは $A \times 0$ および $-A \times 1$ はおのおの同じパターンであるため、実際はAまたは-Aの2つのパターンのみである。

【0044】

そこで、パターンAが16回繰り返される第1周期コードやパターン-Aが16回繰り返

50

される反転第1周期コードを第1周期コード生成部3および極性反転部4により生成して各チャンネルの受信データに対して乗算器1および乗算器2でそれぞれ乗算することで、セカンダリシンクロナイゼーションコードにおける16チップ毎の16回の周期のそれぞれについて、乗算器1および乗算器2の出力のいずれか一方が必ず「a111」となる。

【0045】

具体的には、セカンダリシンクロナイゼーションコードに含まれているハダマードシーケンスコードがNo.1のものであるならば、そのハダマードシーケンスコードは図6に示すように「a110」であるから、セカンダリシンクロナイゼーションコードとしてはゴレイシーケンスがそのまま現れる。すなわちこの場合のセカンダリシンクロナイゼーションコードは、図3にS1で示すようなパターンのコードとなる。

10

【0046】

そして乗算器1および乗算器2の出力は図3にS2およびS3で示す状態となり、1, 2, 3, 5, 6, 9, 11番目の各16チップ期間にて乗算器1の出力が「a111」となり、残りの4, 7, 8, 10, 12~16番目の各16チップ期間にて乗算器2の出力が「a111」となる。

【0047】

ところで、各16チップ期間にて「a111」が乗算器1および乗算器2のいずれの出力に現れるかは、ハダマードシーケンスパターンに対して、第2周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変換してなるコードによりEX-ORをとって得られるパターンにより定まる。

20

【0048】

このため、セクタ5において16種類のハダマードシーケンスパターンのそれぞれに応じたパターンで乗算器1および乗算器2の出力を選択すれば、セカンダリシンクロナイゼーションコードに含まれているハダマードシーケンスパターンのそれぞれに応じたパターンで選択を行ったセクタ5のみセカンダリシンクロナイゼーションコード期間(256チップ期間)の全域に渡り「a111」が出力されることとなる。

【0049】

具体的には、セクタ5-1にはNo.1のハダマードシーケンスパターンに応じた図2に示す入力データ選択パターンに応じて図3にS4で示すように選択信号が与えられる。セクタ5は、選択信号が「0」であるときに乗算器1の出力を、また「1」であるときに乗算器2の出力をそれぞれ選択出力するようになっている。従ってセクタ5-1は、選択信号が「0」である1, 2, 3, 5, 6, 9, 11番目の各16チップ期間にて乗算器1の出力を、また選択信号が「1」である4, 7, 8, 10, 12~16番目の各16チップ期間にて乗算器2の出力をそれぞれ選択出力する。この結果、セカンダリシンクロナイゼーションコードに含まれているハダマードシーケンスパターンがNo.1のパターンであって乗算器1, 2の出力が図3にS2およびS3で示すものであったならば、セクタ5-1の出力は図3にS5で示すように全ての16チップ期間で「a111」となる。

30

【0050】

これに対して例えばセクタ5-2にはNo.2のハダマードシーケンスパターンに応じた図2に示す入力データ選択パターンに応じて図3にS6で示すように選択信号が与えられる。従ってセクタ5-2は、選択信号が「0」である1, 3~5, 8~12, 14, 16番目の各11チップ期間にて乗算器1の出力を、また選択信号が「1」である2, 6, 7, 13, 15番目の各5チップ期間にて乗算器2の出力をそれぞれ選択出力する。この結果、セカンダリシンクロナイゼーションコードに含まれているハダマードシーケンスパターンがNo.1のパターンであって乗算器1, 2の出力が図3にS2およびS3で示すものであったならば、セクタ5-2の出力は図3にS7で示すように「a111」である期間と「a11-1」である期間とが混在したものとなる。

40

【0051】

このようなセクタ5の出力は、それぞれ累積部7で累積される。従って、セカンダリシ

50

ンクロナイゼーションコードに含まれているハダマードシーケンスパターンに対応しており、上述のように全ての16チップ期間で「a111」であるセクタ出力が与えられる累積部7の累積値が、他の累積部7の累積値よりも大きくなり、ハダマードシーケンスパターンの識別のために適正な相関値が得られることとなる。

【0052】

以上のように本実施形態によれば、第1ハダマード回路のような複雑な演算回路を用いることなしに、ごく簡単な処理を行う簡易な回路の組み合わせにより相関値の算出を実現することができる。この結果、小さな回路規模で、かつ低い消費電力で動作することが可能なセカンドサーチ回路が達成される。

【0053】

10

(第2の実施形態)

さて、前記第1実施形態では、本発明の原理を分かり易くするために、「1」または「-1」に識別されたデータが入力されることとして説明しているが、以下に2の補数で表わされた複数ビットの受信データが入力される場合に好適な実施形態につき説明する。

【0054】

図4は本実施形態に係るコード検出回路を適用して構成されたセカンドサーチ回路の構成を示すブロック図である。なお、前記図1と同一部分には同一符号を付し、その詳細な説明は省略する。

【0055】

この図に示すように本実施形態のセカンドサーチ回路は、セクタ5、選択信号生成部6、累積部7、EX-OR回路11(11-1, 11-2), 12(12-1, 12-2)、簡易第1周期コード生成部13および論理反転部14を有している。すなわち本実施形態のセカンドサーチ回路は、前記第1実施形態のセカンドサーチ回路における乗算器1, 2、第1周期コード生成部3および極性反転部4に代えて、EX-OR回路11, 12、簡易第1周期コード生成部13および論理反転部14を備えて構成される。

20

【0056】

EX-OR回路11, 12にはそれぞれ、受信したIc hおよびQc hのそれぞれの受信データが入力される。すなわち、EX-OR回路11-1, 12-1にIc hの受信データが分岐入力される。またEX-OR回路11-2, 12-2にQc hの受信データが分岐入力される。またEX-OR回路11にはそれぞれ、簡易第1周期コード生成部13で生成される簡易第1周期コードが与えられる。EX-OR回路12にはそれぞれ、論理反転部14で生成される反転簡易第1周期コードが与えられる。そして各EX-OR回路11, 12は、それぞれの2入力のEX-ORを取る。かくして、EX-OR回路11は受信データと簡易第1周期コードとのEX-ORをとる処理を行う。また、EX-OR回路12は受信データと反転簡易第1周期コードとのEX-ORを取る処理を行う。ここで、受信データは2の補数で表わされた複数ビットのデータであるので、EX-OR回路11, 12は受信データの各ビットに対して簡易第1周期コードまたは反転簡易第1周期コードとのEX-ORを個々に取る。

30

【0057】

そしてEX-OR回路11-1の出力はセクタ5-1~5-16のそれぞれの入力端子I1-1に与えられる。EX-OR回路11-2の出力はセクタ5-1~5-16のそれぞれの入力端子I2-1に与えられる。EX-OR回路12-1の出力はセクタ5-1~5-16のそれぞれの入力端子I1-2に与えられる。EX-OR回路12-2の出力はセクタ5-1~5-16のそれぞれの入力端子I2-2に与えられる。

40

【0058】

簡易第1周期コード生成部13は、図5に示した前述の第1周期コードにおける各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変更してなる簡易第1周期コードを生成し、受信データ中のセカンダリシンクロナイゼーションコードのタイミングに同期して出力する。

【0059】

50

論理反転部 14 は、簡易第 1 周期コード生成部 13 で生成された簡易第 1 周期コードの各チップの論理を反転させて上述の反転簡易第 1 周期コードを生成し、これを EX-OR 回路 12 に与える。

【0060】

次に以上のように構成されたコード検出回路の動作につき説明する。

【0061】

まず前記第 1 実施形態において、乗算器 1 は受信データに対して第 1 周期コードを掛け合わせる処理を行う。ここで第 1 周期コードは「1」および「-1」よりなるパターンであるから、乗算器 1 が行う処理は、第 1 周期コードが「1」である期間には受信データをそのままの極性で、また第 1 周期コードが「-1」である期間には受信データを極性を反転させてそれぞれ出力する処理である。

10

【0062】

本実施形態においては、EX-OR 回路 11 は受信データと簡易第 1 周期コードとの EX-OR を取る処理を行う。簡易第 1 周期コードは、第 1 周期コードの各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変更してなるコードであるから、簡易第 1 周期コードが「0」であるとき、すなわち第 1 周期コードが「1」である期間には、EX-OR 回路 11 の出力には入力データがそのまま現れる。

【0063】

また簡易第 1 周期コードが「1」であるとき、すなわち第 1 周期コードが「-1」である期間には、EX-OR 回路 11 の出力には入力データの各ビットが反転して現れる。ここで入力データは 2 の補数により表わされているのだから、EX-OR 回路 11 の出力は入力データの極性を反転させたのとほぼ同じ値となる。なお、厳密には絶対値にして 2 進数で「1」だけの誤差が生じるが、これは微小であるため無視して問題ない。

20

【0064】

一方、前記第 1 実施形態において、乗算器 2 は受信データに対して反転第 1 周期コードを掛け合わせる処理を行う。ここで反転第 1 周期コードは第 1 周期コードの各チップの極性を反転してなるパターンであるから、乗算器 2 が行う処理は、第 1 周期コードが「1」である期間には受信データを極性を反転させて、また第 1 周期コードが「-1」である期間には受信データをそのままの極性でそれぞれ出力する処理である。

【0065】

本実施形態においては、EX-OR 回路 12 は受信データと反転簡易第 1 周期コードとの EX-OR を取る処理を行う。このため、反転簡易第 1 周期コードが「0」であるときには、EX-OR 回路 12 の出力には入力データがそのまま現れる。ここで反転簡易第 1 周期コードは簡易第 1 周期コードの各チップの論理を反転してなるコードであるから、反転簡易第 1 周期コードが「0」であるときは簡易第 1 周期コードが「1」であるとき、すなわち第 1 周期コードが「-1」である期間である。

30

【0066】

また反転簡易第 1 周期コードが「1」であるとき、すなわち第 1 周期コードが「1」となる期間には、EX-OR 回路 12 の出力には入力データの各ビットが反転して現れる。ここで入力データは 2 の補数により表わされているのだから、EX-OR 回路 12 の出力は入力データの極性を反転させたのとほぼ同じ値となる。なお、厳密には絶対値にして 2 進数で「1」だけの誤差が生じるが、これは微小であるため無視して問題ない。

40

【0067】

このようにして、EX-OR 回路 11, 12 の出力は、前記第 1 実施形態における乗算器 1, 2 の出力と同様にして変換されたデータとなる。

【0068】

かくして、以後の処理が前記第 1 実施形態の場合と同様にして行われることで、ハダマードシーケンスパターンの識別のために適正な相関値が累積部 7 の出力として得られることとなる。

【0069】

50

このように本実施形態によれば、簡易第1周期コード生成部13は、「0」および「1」からなるコードを生成すればよいのであり、正負の極性を持った第1周期コードを生成する前記第1実施形態の第1周期コード生成部3に比べて簡易な構成で実現することが可能である。これにより、さらなる回路規模の縮小と消費電力の低減を図ることができる。

【0070】

なお、本発明は前記各実施形態に限定されるものではない。例えば前記各実施形態では、セカンダリシンクロナイゼーションコードにおけるハダマードシーケンスパターンに関する相関値を求めるセカンドサーチ回路に本願発明を適用した例を示している。しかし、処理対象とするコードは本発明の条件に合致するものであれば任意であって良く、従って本願発明はセカンドサーチ回路以外としても適用が可能である。

10

【0071】

また前記第2実施形態では、簡易第1周期コード生成部13を簡易第1周期コードの生成と反転簡易第1周期コードの生成とに共用することとしている。しかし、第1周期コードにおける各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変更してなるコードを生成するコード生成部と、第1周期コードにおける各チップを「1」を「1」に、また「-1」を「0」にそれぞれ変更してなるコードを生成するコード生成部とを個別に設けるようにしても良い。

【0072】

また前記第2実施形態では、簡易第1周期コード生成部13にて第1周期コードにおける各チップを「1」を「0」に、また「-1」を「1」にそれぞれ変更してなる簡易第1周期コードを生成し、この簡易第1周期コードの各チップの論理を反転させることで反転簡易第1周期コードを生成している。しかし第1周期コードにおける各チップを「1」を「1」に、また「-1」を「0」にそれぞれ変更してなるコードを生成するコード生成部を設けてその出力をEX-OR回路12に与え、またそのコード生成部の出力の各チップの論理を論理反転部にて反転してなるコードをEX-OR回路11に与えるようにしても良い。

20

【0073】

このほか、本発明の要旨を逸脱しない範囲で種々の変形実施が可能である。

【図面の簡単な説明】

【図1】

本発明の第1実施形態に係るコード検出回路を適用して構成されたセカンドサーチ回路の構成を示すブロック図。

30

【図2】

16種類のハダマードシーケンスパターンのそれぞれに対応して定めた入力データ選択パターンを示す図。

【図3】

図1中の乗算器1, 2およびセレクタ5の動作の様子を示すタイミング図。

【図4】

本発明の第2実施形態に係るコード検出回路を適用して構成されたセカンドサーチ回路の構成を示すブロック図。

40

【図5】

W-CDMA方式におけるセカンダリシンクロナイゼーションコードの構造を説明する図。

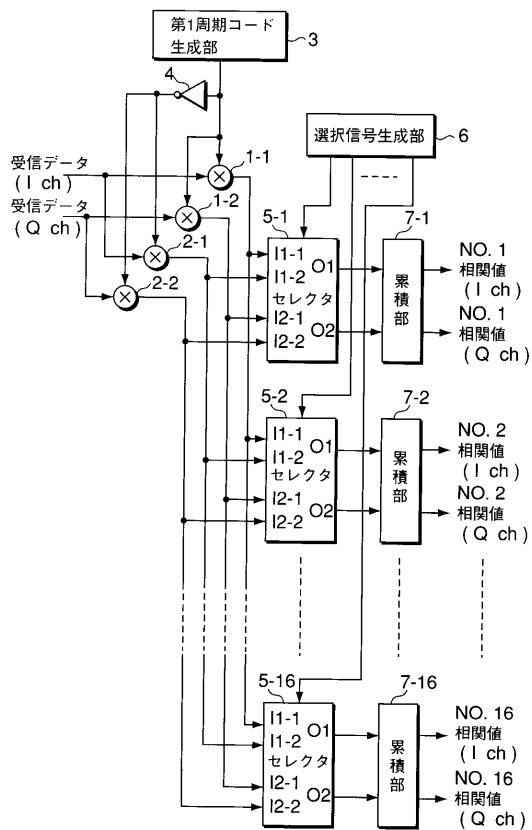
【図6】

ハダマードシーケンスパターンを示す図。

【図7】

セカンドサーチ回路の従来構成を示すブロック図。

【 図 1 】



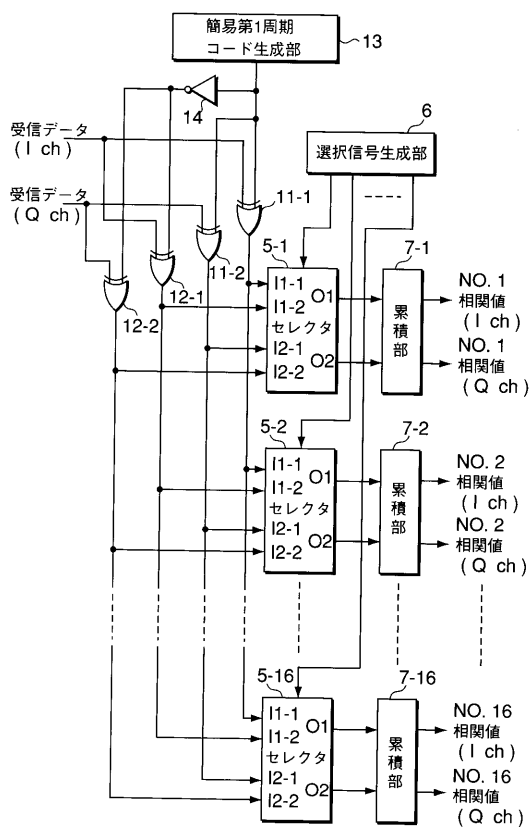
【 図 2 】

ハダマードシーケンス NO.	入力データ選択パターン
1	0 0 0 1 0 0 1 1 1 0 1 0 1 1 1 1 1
2	0 1 0 0 0 1 1 1 0 0 0 0 0 1 0 1 0
3	0 0 1 0 0 0 0 0 0 0 1 1 1 0 1 1 0 0
4	0 1 1 1 0 1 0 1 0 0 1 1 1 1 0 0 1
5	0 0 0 1 1 1 0 0 0 1 0 1 0 0 0 0 0
6	0 1 0 0 1 0 0 1 0 0 0 0 0 0 1 0 1
7	0 0 1 0 1 1 1 1 1 0 1 1 1 0 0 0 1 1
8	0 1 1 1 1 0 1 0 0 0 1 1 0 1 1 1 0
9	0 0 0 1 0 0 1 1 1 1 0 1 0 0 0 0 0
10	0 1 0 0 0 1 1 1 0 1 1 1 1 1 0 1 0 1
11	0 0 1 0 0 0 0 0 1 0 0 1 0 0 1 1 1
12	0 1 1 1 0 1 0 1 1 1 1 0 0 0 1 1 0
13	0 0 0 1 1 1 0 0 1 0 1 0 1 0 1 1 1
14	0 1 0 0 1 0 0 1 1 1 1 1 1 1 0 1 0
15	0 0 1 0 1 1 1 1 1 1 0 0 1 1 1 0 0
16	0 1 1 1 1 0 1 0 1 1 1 0 0 1 0 0 1

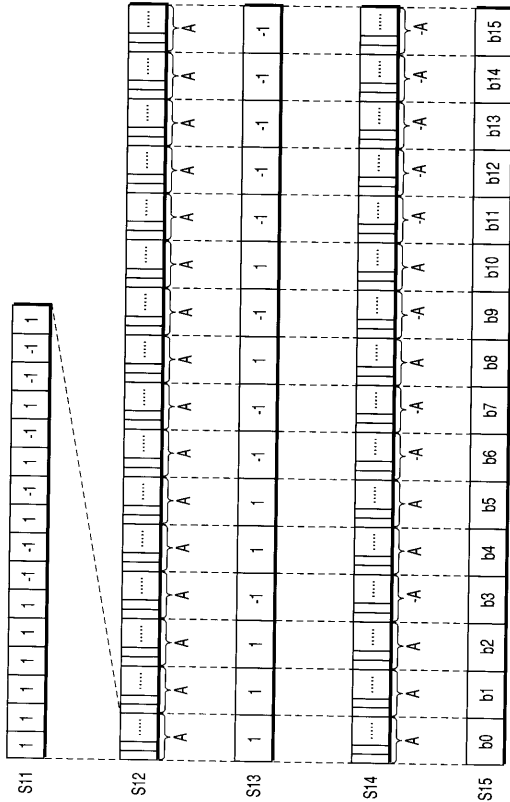
【 図 3 】

	S1	S2	S3	S4	S5	S6	S7
-A	-A	-A	-A	-A	-A	-A	-A
all	1	all	1	all	1	all	1
all	-1	all	-1	all	-1	all	-1
0	0	1	0	1	0	1	0
all	1	all	1	all	1	all	1
0	0	1	0	1	0	1	0
all	-1	all	-1	all	-1	all	-1
0	0	1	0	1	0	1	0
all	1	all	1	all	1	all	1
0	0	1	0	1	0	1	0
all	-1	all	-1	all	-1	all	-1

【 図 4 】



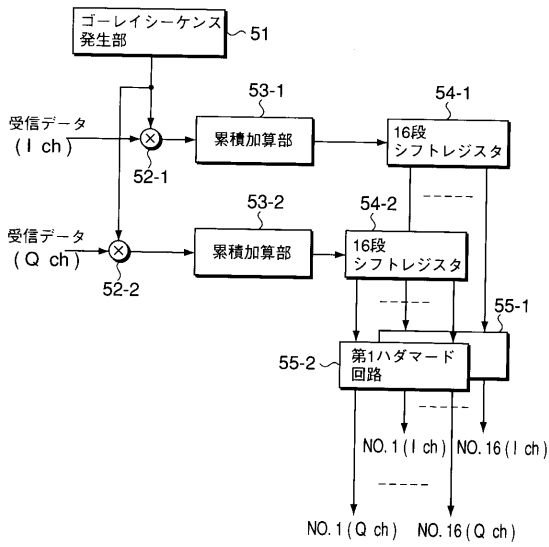
【 図 5 】



【 図 6 】

ハダマードシーケンス NO.	ハダマードシーケンスパターン
1	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
2	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1
3	0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0
4	0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1
5	0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1 0 0
6	0 1 0 1 1 0 1 0 0 1 0 1 1 0 1 0 0 1
7	0 0 1 1 1 1 0 0 0 0 1 1 1 1 0 0 0 0
8	0 1 1 0 1 0 0 1 0 1 1 0 1 0 0 1 0 1
9	0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 0 0
10	0 1 0 1 0 1 0 1 1 0 1 0 1 0 1 0 1 0
11	0 0 1 1 0 0 1 1 1 1 0 0 1 1 0 0 1 1
12	0 1 1 0 0 1 1 0 1 0 0 1 1 0 0 1 1 0
13	0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 0 0
14	0 1 0 1 1 0 1 0 1 0 1 0 1 0 0 1 0 1
15	0 0 1 1 1 1 0 0 1 1 0 0 0 0 1 1 0 0
16	0 1 1 0 1 0 0 1 1 0 0 1 1 0 1 0 1 0

【 図 7 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
11 April 2002 (11.04.2002)

PCT

(10) International Publication Number
WO 02/29997 A2

(51) International Patent Classification: H04B 1/707

[JP/JP]: 11-201, Green-Town-Misumichibangai, 4-1, Misumicho 1-chome, Higashimurayama-shi, Tokyo 189-0023 (JP).

(21) International Application Number: PCT/JP01/08379

(22) International Filing Date:
26 September 2001 (26.09.2001)

(74) Agents: SUZUYE, Tskehiko et al.: c/o SUZUYE & SUZUYE, 7-2, Kasunigaseki 3-chome, Chiyoda-ku, Tokyo 100-0013 (JP).

(25) Filing Language: English

(81) Designated States (national): JP, US.

(26) Publication Language: English

(84) Designated States (regional): European patent (DE, FR, GB).

(30) Priority Data:
2000-299846 29 September 2000 (29.09.2000) JP

Published:
— without international search report and to be republished upon receipt of that report

(71) Applicant (for all designated States except US):
KABUSHIKI KAISHA TOSHIBA [JP/JP]; 1-1, Shibaura 1-chome, Minato-ku, Tokyo 105-8001 (JP).

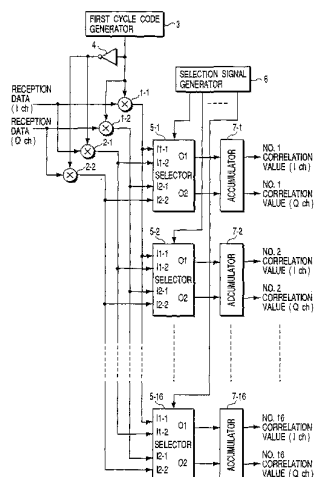
(72) Inventor; and
(75) Inventor/Applicant (for US only): TANNO, Yoshihiro

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: CODE DETECTION CIRCUIT AND CODE DETECTION METHOD



WO 02/29997 A2



(57) Abstract: Each of multipliers (1, 2) is used to respectively multiply reception data by a first cycle code generated in a first cycle code generator (3) and by an inverted first cycle code obtained by inverting the first cycle code in a polarity judging section (4). An output from each of the multipliers (1, 2) is supplied to 16 selectors (5) associated with 16 types of Hadamard Sequence patterns. To the selectors (5) are respectively fed selection signals of 16 patterns determined by figuring out exclusive ORs from a code obtained by converting each chip in a second cycle code from "1" to "0" and "-1" to "1" with respect to each of 16 types of the Hadamard Sequence patterns. The selectors (5) select and output each of the multipliers (1, 2) based on the selection signals so that outputs are accumulated in accumulators (7).

WO 02/29997

PCT/JP01/08379

D E S C R I P T I O N

CODE DETECTION CIRCUIT AND CODE DETECTION METHOD

5 Technical Field

The present invention relates to a code detection circuit and a code detection method for use in second search processing and the like in a W-CDMA type mobile wireless communication system.

10 Background Art

In the W-CDMA type mobile wireless communication systems, there is executed the so-called second search processing for detecting one of 16 codes to which a mixed Hadamard Sequence in a Secondary Synchronization Code corresponds.

15 The Secondary Synchronization Code is a code obtained from an exclusive OR (EX-OR) of a Golay Sequence as a first code and a Hadamard Sequence as a second code.

20 The Golay Sequence is such a fixed pattern as shown by S14 in FIG. 5. This Golay Sequence is constituted by multiplying such a first cycle code as shown by S12 in FIG. 5 by such a second cycle code as shown by S13 in FIG. 5. The first cycle code
25 is obtained by repeating a first fixed pattern A 16 times. The first fixed pattern A is obtained by arranging 16 chips in a predetermined order as shown

by S11 in FIG. 5, each chip of which is indicative of "1" or "-1". The first cycle code has, therefore, a 256-bit length.

Furthermore, the second cycle code is a code of
5 a 16-chip length obtained by arranging 16 chips in a predetermined order, each chip of which is indicative of "1" or "-1". In other words, the chip cycle of the second cycle code is 1/16 of the chip cycle of the first fixed pattern A. The first cycle code has,
10 therefore, a faster rate than that of the second cycle code. Thus, the rate of the first cycle code will be referred to as a fast rate, and that of the second cycle code is referred to as a slow rate.

As described above, the Golay Sequence is a code
15 obtained by repeating the repositioning or inversion rotation of the first fixed pattern A in accordance with a given pattern to arrange the patterns 16 times. The Golay Sequence has a 256-chip length and a chip cycle equal to that of the first cycle code.

20 On the other hand, Hadamard Sequence patterns composed of 16 kinds of bit arrangements as shown in FIG. 6 exist as the Hadamard Sequence. Each of these Hadamard Sequence patterns has a 16-bit length. Hadamard Sequence numbers from "1" to "16" are
25 respectively given to these 16 Hadamard Sequence patterns. An arbitrary one of the 16 Hadamard Sequence patterns is selectively used for the Hadamard Sequence.

WO 02/29997

PCT/JP01/08379

3

The Hadamard Sequence has a bit rate similar to the chip rate of the second cycle code, i.e., the slow rate, as indicated by S15 in FIG. 5. It is to be noted that "b0" to "b15" in S15 of FIG. 5 denote respective bits constituting one Hadamard Sequence.

FIG. 7 is a block diagram showing a conventional structure of a second search circuit for detecting which Hadamard Sequence pattern is included in the above-described Secondary Synchronization Code.

The second search circuit shown in the drawing includes: a Golay Sequence generator 51; multipliers 52 (52-1, 52-2); accumulative adders 53 (53-1, 53-2); 16-stage shift registers 54 (54-1, 54-2); and First Hadamard circuits 55 (55-1, 55-2).

The above-mentioned Golay Sequence is first generated in the Golay Sequence generator 51, and the obtained sequence is multiplied by respective Secondary Synchronization Codes received by I-channel and Q-channel in the multipliers 52-1 and 52-2.

Since one bit of the Hadamard Sequence corresponds to a 16-chip period of the Golay Sequence, outputs from the multipliers 52-1 and 52-2 are accumulated in the accumulation adders 53-1 and 53-2 in accordance with each 16-chip period of the Golay Sequence. Thereafter, the obtained results are fetched into the 16-stage shift registers 54-1 and 54-2, thereby extracting the 16-bit Hadamard Sequence pattern.

Correlation values between the thus extracted Hadamard Sequence pattern and the 16 Hadamard Sequence patterns are obtained by the First Hadamard circuits 55-1 and 55-2. The First Hadamard circuits 55-1 and 55-2 respectively outputs the correlation values between the extracted Hadamard Sequence pattern and the 16 Hadamard Sequence patterns, i.e., 16 correlation values. Therefore, based on the largeness relationship between these 16 correlation values, it is possible to make judgment upon which Hadamard Sequence pattern is included in the Secondary Synchronization Code.

The First Hadamard circuits 55 share arithmetic operation units as much as possible so that the arithmetic operation units has a tree structure, in accordance with each of the 16 Hadamard Sequence patterns. Since the arithmetic operation units are structured in the form of a tree in this manner, a circuit scale is very large. Moreover, a large number of the arithmetic operation units leads to an extremely large amount of electric power consumption.

Disclosure of Invention

Accordingly, it is an object of the present invention to execute correlation value calculation for code detection with a small circuit scale and a small amount of electric power consumption.

This aim is achieved by the following code detection circuit.

According to the present invention, there is provided a code detection circuit for obtaining respective correlation values of i types (i is a positive integer not less than 2) of variable patterns to a third code in order to detect one of the i types of variable patterns corresponding to only one variable pattern included in the third code obtained from exclusive ORs of a first code and a second code, wherein under the following conditions:

- 10 (1) the first code is constituted by multiplying a first cycle code by a second cycle code;
- (2) the first cycle code is obtained by repeatedly arranging n patterns (n is a positive integer) of a first fixed pattern having an m -chip (m is a positive integer) length;
- 15 (3) the first fixed pattern is obtained by arranging m chips, each of which is indicative of "1" or "-1", in a predetermined order;
- (4) the second cycle code is constituted by 20 a second fixed pattern having a chip cycle which is m times larger than that of the first cycle code and having an n -chip length;
- (5) each chip of the second fixed pattern represents normality/inversion of the first fixed 25 pattern;
- (6) the second code is obtained by repeatedly arranging p (p is a positive integer) variable patterns

WO 02/29997

PCT/JP01/08379

6

each of which has the same chip cycle as that of the second cycle code and has an n/p -bit length; and

(7) the i types of variable patterns are obtained by arranging n/p bits of "0" or "1" in each different order,

the code detection circuit comprises:

first code converting means for respectively outputting chips of the third code corresponding to a period in which the first cycle code is "1" without changing the polarity and chips of the third code corresponding to a period in which the first cycle code is "-1" with the polarity being inverted when the first cycle code is synchronized with the third code;

second code converting means for respectively outputting chips of the third code corresponding to a period in which the first cycle code is "1" with the polarity being inverted and chips of the third code corresponding to a period in which the first cycle code is "-1" without changing the polarity when the first cycle code is synchronized with the third code;

selection pattern outputting means for respectively outputting i selection patterns with respect to each of the i types of variable patterns in synchronization with the third code in parallel, the i selected patterns being formed by figuring out exclusive ORs from codes obtained by converting each chip in the second cycle code from "1" to "0" and from

WO 02/29997

PCT/JP01/08379

7

"-1" to "1";

i selecting means which are respectively associated with i selection patterns outputted from the selection pattern outputting means and respectively
5 selects and outputs an output from the first code converting means when an associated selection pattern is "0" and an output from the second code converting means when an associated selection pattern is "1"; and

i accumulating means which are provided so as to
10 be respectively associated with the i selecting means and accumulates an output from an associated selecting means.

The above aim can be realized by the following code detection method.

15 According to the present invention, there is provided a code detection method for obtaining respective correlation values of i types (i is a positive integer not less than 2) of variable patterns to a third code in order to detect one of
20 the i types of variable patterns corresponding to only one variable pattern included in the third code obtained from exclusive ORs of a first code and a second code, wherein under the following conditions:

(1) the first code is constituted by multiplying
25 a first cycle code by a second cycle code;

(2) the first cycle code is obtained by repeatedly arranging n patterns (n is a positive

WO 02/29997

PCT/JP01/08379

8

integer) of a first fixed pattern having an m-chip
(m is a positive integer) length;

(3) the first fixed pattern is obtained by
arranging m chips each of which is indicative of "1"
5 or "-1" in a predetermined order;

(4) the second cycle code is constituted by
a second fixed pattern having a chip cycle which is
m times larger than that the first cycle code and
having an n-chip length;

10 (5) each chip of the second fixed pattern
represents normality/inversion of the first fixed
pattern;

(6) the second code is obtained by repeatedly
arranging p (p is a positive integer) variable patterns
15 each of which has the same chip cycle as that of the
second cycle code and has an n/p-bit length; and

(7) the i types of variable patterns are obtained
by arranging n/p bits of "0" or "1" in each different
order,

20 the code detection method comprises:

a first code converting step for respectively
outputting chips of the third code corresponding to
a period in which the first cycle code is "1" without
changing the polarity and chips of the third code
25 corresponding to a period in which the first cycle code
is "-1" with the polarity being inverted when the first
cycle code is synchronized with the third code;

WO 02/29997

PCT/JP01/08379

9

a second code converting step for respectively outputting chips of the third code corresponding to a period in which the first cycle code is "1" with the polarity being inverted and chips of the third code corresponding to a period in which the first cycle code is "-1" without changing the polarity when the first cycle code is synchronized with the third code;

5 a selection pattern outputting step for respectively outputting i selection patterns with respect to each of the i types of variable patterns in synchronization with the third code in parallel, the i selection patterns being formed by figuring out exclusive ORs from codes obtained by converting each chip in the second cycle code from "1" to "0" and from
10 "-1" to "1";

a selecting step for respectively selecting and outputting an output from the first code converting step when an associated selection pattern is "0" and an output from the second code converting step when
15 an associated selection pattern is "1" in accordance with each of i selection patterns outputted at the selection pattern outputting step; and

an accumulating step for respectively accumulating i selected outputs at the selecting step.

25 Brief Description of Drawings

FIG. 1 is a block diagram showing a structure of a second search circuit constituted by applying a code

WO 02/29997

PCT/JP01/08379

10

detection circuit according to a first embodiment of the present invention;

FIG. 2 is a view showing an input data selection pattern determined in accordance with each of 16 types of Hadamard Sequence patterns;

FIG. 3 is a timing chart showing the state of operations of multipliers 1 and multipliers 2 and selectors 5 depicted in FIG. 1;

FIG. 4 is a block diagram showing a structure of a second search circuit constituted by applying a code detection circuit according to a second embodiment of the present invention;

FIG. 5 is a view for illustrating a conformation of a Secondary Synchronization Code in the W-CDMA system;

FIG. 6 is a view showing a Hadamard Sequence pattern; and

FIG. 7 is a block diagram showing a conventional structure of a second search circuit.

Best Mode for Carrying Out of the Invention

Preferred embodiments according to the present invention will now be described hereinafter with reference to the accompanying drawings.

(First Embodiment)

FIG. 1 is a block diagram showing a structure of a second search circuit constituted by applying a code detection circuit according to this embodiment.

As shown in this drawing, the second search circuit according to this embodiment includes: multipliers 1-1 and 1-2; multipliers 2-1 and 2-2; a first cycle code generator 3; a polarity inverter 4; selectors 5-1 to 5-16; a selection signal generator 6; and accumulators 7-1 to 7-16.

Since the multipliers 1-1 and 1-2 are similar in function, they will be referred to simply as "multipliers 1" unless the difference between them is important. By the same token, the multipliers 2-1 and 2-2 will be referred to as "multipliers 2", the selectors 5-1 to 5-16 will be referred to as "selectors 5", and the accumulators 7-1 to 7-16 will be referred to as "accumulators 7".

To the multipliers 1 and multipliers 2 receive I-channel reception data and Q-channel reception data respectively. That is, the I-channel reception data is inputted to the multipliers 1-1 and 2-1. Further, the Q-channel reception data is inputted to the multipliers 1-2 and 2-2. A first cycle code generated by the first cycle code generator 3 is supplied to each of the multipliers 1. An inverted first cycle code generated by the polarity inverter 4 is given to each of the multipliers 2. The respective multipliers 1 and multipliers 2 multiply their two inputs. Thus, the multipliers 1 execute processing for multiplying the reception data by the first cycle code. Furthermore,

the multipliers 2 execute processing for multiplying the reception data by the inverted first cycle code.

The first cycle code generator 3 generates the above-described first cycle code shown in FIG. 5 and
5 outputs the obtained code in synchronization with a timing of a Secondary Synchronization Code in the reception data.

The polarity inverter 4 inverts the polarity of each chip in the first cycle code generated
10 by the first cycle code generator 3 to produce the above-described inverted first cycle code and supplies the obtained code to the multipliers 2.

16 selectors 5 are provided, whose number is equal to a number of Hadamard Sequence patterns. Each of
15 these selectors 5 has input terminals I1, I2 of two systems. The input terminal of each system is provided with two input terminals I1-1, I1-2 and I2-1, I2-2. A sum total of the input terminals is, therefore, 4. The input terminals I1 are a system for inputting data
20 concerning I-channel. An output from the multiplier 1-1 is supplied to the input terminal I1-1, while an output from the multiplier 2-1 is fed to the input terminal I1-2. The input terminals I2 are a system for inputting data concerning Q-channel. An output from
25 the multiplier 1-2 is supplied to the input terminal I2-1 and an output from the multiplier 2-2 is fed to the input terminal I2-2. The selector 5 selects the

WO 02/29997

PCT/JP01/08379

13

input terminals I1-1 and I2-1 when a selection signal supplied from the selection signal generator 6 is indicative of "0" and selects the input terminals I1-2 and I2-2 when a selection signal is indicative of "1",
5 respectively. The selector 5 outputs from an output terminal O1 data inputted to one selected terminal of the input terminals I1-1 and I1-2. Further, the selector 5 outputs from an output terminal O2 data inputted to one selected terminal of the input
10 terminals I2-1 and I2-2.

The selection signal generator 6 generates in parallel selection signals according to 16 types of input data selection patterns determined as shown in FIG. 2 and supplies these signals to each selector 5.
15 The input data selection pattern consists of 16 bits. The selection signal generator 6 outputs the input data selection pattern in synchronization with a timing of a Secondary Synchronization Code at a slow rate in order to generate each selection signal. Here, each input
20 data selection pattern shown in FIG. 2 is determined with respect to each Hadamard Sequence pattern with "No." shown in FIG. 2 associated with that input data selection pattern by figuring out exclusive ORs from a code obtained by respectively converting each chip in
25 the second cycle code from "1" to "0" and "-1" to "1". Each of these input data selection patterns is, therefore, associated with each Hadamard Sequence

pattern and represents a pattern of the selection
signal supplied to the selector associated with the
same Hadamard Sequence pattern. It is to be noted that
the selection signal generator 6 may be constituted so
5 as to generate such an input data selection pattern
every time the arithmetic calculation is executed, or
a data table showing the patterns in FIG. 2 may be
prepared and stored in, e.g., a RAM or a ROM.

16 accumulators 7 are provided, whose number is
10 equal to a number of the Hadamard Sequence patterns.
The accumulators 7 and the selectors 5 form pairs.
To each accumulator 7 are supplied to respective
output data from the output terminals O1 and O2 of the
selector 5 which forms a pair with this accumulator 7.
15 The accumulator 7 respectively accumulates values of
data from these two systems. The accumulator 7
respectively outputs as a correlation value concerning
I-channel an accumulation value of output data values
from the output terminal O1 of the selector 5 and
20 outputs as a correlation value concerning Q-channel
an accumulation value of output data values from the
output terminal O2 of the selector 5. It is to be
noted that the accumulators 7-1 to 7-16 are associated
with the respective Hadamard Sequence patterns of No. 1
25 to No. 16, and the two correlation values to be
outputted concern the associated Hadamard Sequence
patterns.

Description will now be given as to the operation of the second search circuit having the above-described arrangement. For the sake of convenience, there is assumed an ideal state in which there is no influence of radio transmission due to, e.g., fading and phase rotation in a transmission path. Although the reception data represented by multiple bits per one chip is thus typically inputted so as not to be affected by noise components, description will be given herein on the assumption that the data identified as "1" or "-1" is inputted.

Paying notice to every 16 chips, the Secondary Synchronization Code is obtained from EX-ORs of the pattern A or the pattern -A and "0" or "1" as apparent from FIG. 5, and there are hence only four patterns, i.e., $A \times 1$, $A \times 0$, $-A \times 1$ and $-A \times 0$. However, since $A \times 1$ and $-A \times 0$, or $A \times 0$ and $-A \times 1$ are the same pattern, there are actually only two patterns, i.e., A or -A.

Therefore, the first cycle code in which the pattern A is repeated 16 times or the inverted first cycle code in which the pattern -A is repeated 16 times is generated by the first cycle code generator 3 and the polarity inverter 4. These codes are then multiplied by the reception data of the respective channels in the multipliers 1 and the multipliers 2. One of outputs from the multipliers 1 and the

multipliers 2, therefore, becomes necessarily "all 1" with respect to each of 16 cycles for every 16 chips in the Secondary Synchronization Code.

Specifically, if the Hadamard Sequence code included in the Secondary Synchronization Code becomes the No. 1 code, that Hadamard Sequence code is "all 0" as shown in FIG. 6. Therefore, as the Secondary Synchronization Code, a Golay Sequence appears as it stands. That is, the Secondary Synchronization Code in this case becomes a code having a pattern such as indicated by S1 in FIG. 3.

Outputs from the multipliers 1 and the multipliers 2 enter the states indicated by S2 and S3 in FIG. 3, and the output from the multipliers 1 becomes "all 1" in each of the first, second, third, fifth, sixth, ninth and 11th 16-chip periods. Meanwhile, the output from the multipliers 2 becomes "all 1" in each of the remaining fourth, seventh, eighth, 10th, and 12th to 16th 16-chip periods.

Either of outputs from the multipliers 1 and the multipliers 2 in which "all 1" appears in each 16-chip period is determined by a pattern obtained by figuring out EX-ORs from a code obtained by converting each chip in the second cycle code from "1" to "0" and "-1" to "1" with respect to the Hadamard Sequence pattern.

Accordingly, if the output from the multipliers 1 or the multipliers 2 is selected with a pattern

WO 02/29997

PCT/JP01/08379

17

associated with each of 16 types of the Hadamard Sequence patterns in the selector 5, "all 1" is outputted in the entire Secondary Synchronization Code period (256-chip period) only to the selector 5 which has made selection with a pattern associated with each Hadamard Sequence pattern included in the Secondary Synchronization Code.

Specifically, to the selector 5-1 is supplied such a selection signal as indicated by S4 in FIG. 3 in accordance with the input data selection pattern shown in FIG. 2 associated with the No. 1 Hadamard Sequence pattern. The selector 5 is designed to select and supply an output from the multipliers 1 when the selection signal is indicative of "0" and an output from the multipliers 2 when the same is indicative of "1". The selector 5-1, therefore, selects and supplies an output from the multipliers 1 in each of the first, second, third, fifth, sixth, ninth and 11th 16-chip periods in which the selection signal is indicative of "0" and an output from the multipliers 2 in each of the fourth, seventh, eighth, 10th and 12th to 16th 16-chip periods in which the selection signal is indicative of "1". As a result, if the Hadamard Sequence pattern included in the Secondary Synchronization Code is the No. 1 pattern and the outputs from the multipliers 1 and multipliers 2 are as indicated by S2 and S3 in FIG. 3, the output from

the selector 5-1 becomes "all 1" in all the 16-chip periods as indicated by S5 in FIG. 3.

On the other hand, a selection signal such as indicated by S6 in FIG. 3 is supplied to the selector 5-2 in accordance with the input data selection pattern shown in FIG. 2 in compliance with the No. 2 Hadamard Sequence pattern, for example. The selector 5-2, therefore, selects and supplies outputs of the multipliers 1 in each of the first, third to fifth, eighth to 12th, 14th and 16th 11-chip periods in which the selection signal is indicative of "0". Further, the selector 5-2 selects and supplies outputs of the multipliers 2 in each of the second, sixth, seventh, 13th and 15th 5-chip periods in which the selection signal is indicative of "1". As a result, if the Hadamard Sequence pattern included in the Secondary Synchronization Code is the No. 1 pattern and the outputs from the multipliers 1 and multipliers 2 are as indicated by S2 and S3 in FIG. 3, the selector 5-2 supplies the output in which the "all 1" period and the "all -1" period are mixed as indicated by S7 in FIG. 3.

Such outputs from the selectors 5 are accumulated in the respective accumulators 7. Therefore, an accumulation value of an accumulator 7 which receives the selector output which is associated with the Hadamard Sequence pattern included in the Secondary Synchronization Code and is "all 1" in all the 16-chip

periods as described above becomes larger than an accumulation value of another accumulator 7. This enables acquisition of an appropriate correlation value for identifying the Hadamard Sequence pattern.

5 As mentioned above, according to this embodiment, calculation of the correlation value can be realized by a combination of circuits which execute simple processing without using a complicated arithmetic operation circuit such as a First Hadamard circuit.
10 There can be consequently achieved a second search circuit which can operate with the small circuit scale and the lower power consumption.

(Second Embodiment)

15 Although the above has described the first embodiment in which data identified as "1" or "-1" is inputted for easy understanding of the principle of the present invention, description will now be given as to an embodiment preferable to the case where reception data consisting of multiple bits represented by
20 complements of 2 is inputted hereinafter.

FIG. 4 is a block diagram showing a structure of a second search circuit designed on the basis of a code detection circuit according to this embodiment.

25 The components identical to those shown in FIG. 1 are designated at the same reference numerals and will not described in detail.

As shown in this drawing, the second search

circuit of this embodiment includes: selectors 5;
a selection signal generator 6; accumulators 7;
EX-OR circuits 11-1 and 11-2; EX-OR circuits 12-1
and 12-2; a simplified first cycle code generator 13;
5 and a logic inverter 14. That is, the EX-OR circuits
11-1 and 11-2, the EX-OR circuits 12-1 and 12-2, the
simplified first cycle code generator 13 and the logic
inverter 14 are used in place of the multipliers 1
and multipliers 2, the first cycle code generator 3
10 and the polarity inverter 4 that are incorporated in
the first embodiment.

Since the EX-OR circuits 11-1 and 11-2 are similar
in function, they will be referred to simply as "EX-OR
circuits 11" unless the difference between them in
15 important. By the same token, the EX-OR circuits 12-1
and 12-2 will be referred to as "EX-OR circuits 12".

I-channel reception data and Q-channel reception
data is inputted to the EX-OR circuits 11 and EX-OR
circuits 12. That is, the I-channel reception data
20 is inputted to the EX-OR circuits 11-1 and 12-1.
Further, the Q-channel reception data is inputted to
the EX-OR circuits 11-2 and 12-2. A simplified first
cycle code generated by the simplified first cycle
code generator 13 is supplied to each of the EX-OR
25 circuits 11. Each EX-OR circuit 12 receives an
inverted simplified first cycle code generated by the
logic inverter 14. Each of the EX-OR circuits 11 and

EX-OR circuits 12 calculates EX-OR of the two inputs.
The EX-OR circuits 11 thus execute processing for
obtaining the EX-OR of the reception data and the
simplified first cycle code. In addition, the EX-OR
5 circuits 12 carry out the processing for obtaining the
EX-OR of the reception data and the inverted simplified
first cycle code. Here, since the reception data
consists of a plurality of bits represented by
complements of 2, the EX-OR circuits 11 and EX-OR
10 circuits 12 individually obtain the EX-ORs of
the simplified first cycle code or the inverted
simplified first cycle code with respect to each bit
of the reception data.

An output from the EX-OR circuit 11-1 is supplied
15 to an input terminal I1-1 of each of the selectors 5-1
to 5-16. An output from the EX-OR circuit 11-2 is fed
to an input terminal I2-1 of each of the selectors 5-1
to 5-16. An output from the EX-OR circuit 12-1 is
supplied to an input terminal I1-2 of each of the
20 selectors 5-1 to 5-16. An output from the EX-OR
circuit 12-2 is fed to an input terminal I2-2 of each
of the selectors 5-1 to 5-16.

The simplified first cycle code generator 13
generates the simplified first cycle code obtained by
25 changing each chip in the above-described first cycle
code shown in FIG. 5 from "1" to "0" and "-1" to "1".
The simplified first cycle code generator 13 then

WO 02/29997

PCT/JP01/08379

22

outputs the thus produced code in synchronization with a timing of the Secondary Synchronization Code in the reception data.

5 The logic inverter 14 inverts the logic of each chip in the simplified first cycle code generated by the simplified first cycle code generator 13 to produce the above-described inverted simplified first cycle code. The logic inverter 14 then supplies the obtained code to the EX-OR circuits 12.

10 Description will now be given as to the operation of the code detection circuit having the above structure.

In the first embodiment, the multipliers 1 first multiply the reception data by the first cycle code. Here, since the first cycle code is a pattern consisting of "1" and "-1", the multipliers 1 output the reception data without changing the polarity in a period in which the first cycle code is indicative of "1" and output the reception data with the inverted polarity in a period in which the first cycle code is indicative of "-1".

20 In this embodiment, the EX-OR circuits 11 obtains the EX-OR of the reception data and the simplified first cycle code. The simplified first cycle code is a code obtained by changing each chip in the first cycle code from "1" to "0" and "-1" to "1". Therefore, when the simplified first cycle code is "0", i.e., in

a period during which the first cycle code is "1", the input data is outputted from the EX-OR circuits 11 without any change.

Further, when the simplified first cycle code is "1", i.e., in a period during which the first cycle code is "-1", the input data is outputted from the EX-OR circuits 11 with each bit of the input data being inverted. Here, since the input data is represented by complements of 2, the output of the EX-OR circuits 11 is substantially equal to a value obtained by inverting the polarity of the input data. It is to be noted that an error of only "1" in the binary digit is produced with respect to an absolute value in a narrow sense, but this error is very small. This can be hence ignored.

On the other hand, in the first embodiment, the multipliers 2 multiply the reception data by the inverted first cycle code. Here, the inverted first cycle code is a pattern obtained by inverting the polarity of each chip in the first cycle code. The multipliers 2, therefore, output the reception data with the inverted polarity in a period during which the first cycle code is "1" and output the reception data without changing the polarity in a period during which the first cycle code is "-1".

In this embodiment, the EX-OR circuits 12 obtain the EX-OR of the reception data and the inverted

simplified first cycle code. Accordingly, when the inverted simplified first cycle code is "0", the input data is outputted from the EX-OR circuits 12 without any change. Here, the inverted simplified first cycle code is a code obtained by inverting the logic of each chip in the first cycle code. Thus, the period in which the inverted first cycle code is "0" is the period in which the simplified first cycle code is "1", i.e., the first cycle code is "-1".

When the inverted simplified first cycle code is "1", i.e., in a period during which the first cycle code is "1", the input data is outputted from the EX-OR circuits 12 with each bit of the input data being inverted. Here, since the input data is represented by complements of 2, the output of the EX-OR circuits 12 is substantially equal to a value obtained by inverting the polarity of the input data. It is to be noted that an error of only "1" in the binary digit is generated with respect to an absolute value in a narrow sense, but this error is very small. This can be thus ignored.

In this manner, the outputs from the EX-OR circuits 11 and EX-OR circuits 12 become data similarly converted as the outputs from the multipliers 1 and multipliers 2 in the first embodiment.

As described above, executing the following processing similarly as in the first embodiment can

WO 02/29997

PCT/JP01/08379

25

obtain appropriate correlation values as outputs of the accumulators 7 for identifying the Hadamard Sequence pattern.

5 According to this embodiment, since it is enough for the simplified first cycle code generator 13 to produce a code consisting of "0" and "1". The simplified first cycle code generator 13 can be realized with the simpler structure than that of the first cycle code generator 3 in the first embodiment 10 which produces the first cycle code having the positive and negative polarities. As a result, it is possible to reduce the circuit scale and an amount of the power consumption.

15 It is to be noted that the present invention is not restricted to the foregoing embodiments. For example, in each of these embodiments, the above has described the example where the present invention is applied to the second search circuit for obtaining the correlation value concerning the Hadamard Sequence 20 pattern in the Secondary Synchronization Code. However, the code to be processed may be arbitrary if it meets the conditions of the present invention. The present invention can be, therefore, also applied to any circuit other than the second search circuit.

25 In the second embodiment, the simplified first cycle generator 13 is used for both generation of the simplified first cycle code and that of the inverted

simplified first cycle code. However, it is possible to separately provide the code generator which respectively changes each chip in the first cycle code from "1" to "0" and "-1" to "1" to generate a code and
5 another code generator which respectively changes each chip in the first cycle code from "1" to "1" and "-1" to "0" to produce a code.

In the second embodiment, the simplified first cycle code generator 13 respectively changes each chip
10 in the first cycle code from "1" to "0" and "-1" to "1" to generate a simplified first cycle code, and the logic of each chip in the simplified first cycle code is inverted to produce an inverted simplified first cycle code. However, it is possible to provide a code
15 generator which respectively changes each chip in the first cycle code from "1" to "1" and "-1" to "0" to generate a code so that an output from the code generator can be supplied to the EX-OR circuits 12. Further, the logic inverter may invert the logic
20 of each chip in the output from the code generator to produce a code which is supplied to the EX-OR circuits 11.

Besides, various modifications are possible within the true scope of the present invention.

C L A I M S

1. A code detection circuit for obtaining
respective correlation values of i types (i is
a positive integer not less than 2) of variable
5 patterns to a third code in order to detect one of
said i types of variable patterns corresponding to
only one variable pattern included in said third code
obtained from exclusive ORs of a first code and
a second code, wherein under the following conditions:
- 10 (1) said first code is constituted by multiplying
a first cycle code by a second cycle code;
- (2) said first cycle code is obtained by
repeatedly arranging n patterns (n is a positive
integer) of a first fixed pattern having an m -chip
15 (m is a positive integer) length;
- (3) said first fixed pattern is obtained
by arranging m chips, each of which is indicative
of "1" or "-1", in a predetermined order;
- (4) said second cycle code is constituted by
20 a second fixed pattern having a chip cycle which is
 m times larger than that of said first cycle code and
having an n -chip length;
- (5) each chip of said second fixed pattern
represents normality/inversion of said first fixed
25 pattern;
- (6) said second code is obtained by repeatedly
arranging p (p is a positive integer) variable patterns

WO 02/29997

PCT/JP01/08379

28

each of which has the same chip cycle as that of said second cycle code and has an n/p-bit length; and

(7) said i types of variable patterns are obtained by arranging n/p bits of "0" or "1" in each different order,

said code detection circuit comprises:

first code converting means for respectively outputting chips of said third code corresponding to a period in which said first cycle code is "1" without changing the polarity and chips of said third code corresponding to a period in which said first cycle code is "-1" with the polarity being inverted when said first cycle code is synchronized with said third code;

second code converting means for respectively outputting chips of said third code corresponding to a period in which said first cycle code is "1" with the polarity being inverted and chips of said third code corresponding to a period in which said first cycle code is "-1" without changing the polarity when said first cycle code is synchronized with said third code;

selection pattern outputting means for respectively outputting i selection patterns with respect to each of said i types of variable patterns in synchronization with said third code in parallel, said i selection patterns being formed by figuring out exclusive ORs from codes obtained by converting each

WO 02/29997

PCT/JP01/08379

29

chip in said second cycle code from "1" to "0" and from
"-1" to "1";

i selecting means which are respectively
associated with i selection patterns outputted from
5 said selection pattern outputting means and
respectively selects and outputs an output from said
first code converting means when an associated
selection pattern is "0" and an output from said second
code converting means when an associated selection
10 pattern is "1"; and

i accumulating means which are provided so as to
be respectively associated with said i selecting means
and accumulates an output from an associated selecting
means.

15 2. The code detection circuit according to
claim 1, wherein on the premise that said third code
has its polarity represented by complements of 2
consisting of a plurality of bits which meet said
conditions,

20 said first code converting means includes:

first simplified code generating means for
respectively generating "0" in a period during which
said first cycle code is "1" and "1" in a period during
which said first cycle code is "-1"; and

25 first calculating means for obtaining an exclusive
OR of an output from said first simplified code
generating means and each bit of said third code,

WO 02/29997

PCT/JP01/08379

30

and said second code converting means includes:
second simplified code generating means for
respectively generating "1" in a period during which
said first cycle code is "1" and "0" in a period during
5 which said first cycle code is "-1"; and

second calculating means for obtaining an
exclusive OR of an output from said second simplified
code generating means and each bit in said third code.

3. The code detection circuit according to
10 claim 2, wherein said first simplified code generating
means and said second simplified code generating means
share a single code generation circuit which generates
one of "0" and "1" in a period during which said first
cycle code is "1" and the other of "0" and "1" in a
15 period during which said first cycle code is "-1", and

wherein said second simplified code generating
means comprises logic inverting means for inverting the
logic of an output from said code generation circuit if
said code generation circuit outputs "0" in a period
20 during which said first cycle code is "1", and said
first simplified code generating means comprises said
logic inverting means if said code generation circuit
outputs "1" in a period during which said first cycle
code is "1".

25 4. A code detection method for obtaining
respective correlation values of i types (i is a
positive integer not less than 2) of variable patterns

to a third code in order to detect one of said i types of variable patterns corresponding to only one variable pattern included in said third code obtained from exclusive ORs of a first code and a second code,

5 wherein under the following conditions:

(1) said first code is constituted by multiplying a first cycle code by a second cycle code;

(2) said first cycle code is obtained by repeatedly arranging n patterns (n is a positive integer) of a first fixed pattern having an m -chip (10 m is a positive integer) length;

(3) said first fixed pattern is obtained by arranging m chips, each of which is indicative of "1" or "-1", in a predetermined order;

(4) said second cycle code is constituted by a second fixed pattern having a chip cycle which is m times larger than that of the first cycle code and having an n -chip length;

(5) each chip of said second fixed pattern represents normality/inversion of said first fixed pattern;

(6) said second code is obtained by repeatedly arranging p (p is a positive integer) variable patterns each of which has the same chip cycle as that of the second cycle code and has an n/p -bit length; and

(7) said i types of variable patterns are obtained by arranging n/p bits of "0" or "1" in each

different order,

said code detection method comprises:

5 a first code converting step for respectively
outputting chips of said third code corresponding to
a period in which said first cycle code is "1" without
changing the polarity and chips of said third code
corresponding to a period in which said first cycle
code is "-1" with the polarity being inverted when said
first cycle code is synchronized with said third code;

10 a second code converting step for respectively
outputting chips of said third code corresponding to
a period in which said first cycle code is "1" with
the polarity being inverted and chips of said third
code corresponding to a period in which said first
15 cycle code is "-1" without changing the polarity when
said first cycle code is synchronized with said third
code;

a selection pattern outputting step for
20 respectively outputting *i* selection patterns with
respect to each of said *i* types of variable patterns in
synchronization with said third code in parallel, said
i selected patterns being formed by figuring out
exclusive ORs from codes obtained by converting each
chip in said second cycle code from "1" to "0" and from
25 "-1" to "1";

a selecting step for respectively selecting and
outputting an output from said first code converting

WO 02/29997

PCT/JP01/08379

33

step when an associated selected pattern is "0" and
an output from said second code converting step when
an associated selected pattern is "1" in accordance
with each of i selection patterns outputted at said
5 selection pattern outputting step; and
an accumulating step for respectively accumulating
 i selection outputs at said selecting step.

WO 02/29997

PCT/JP01/08379

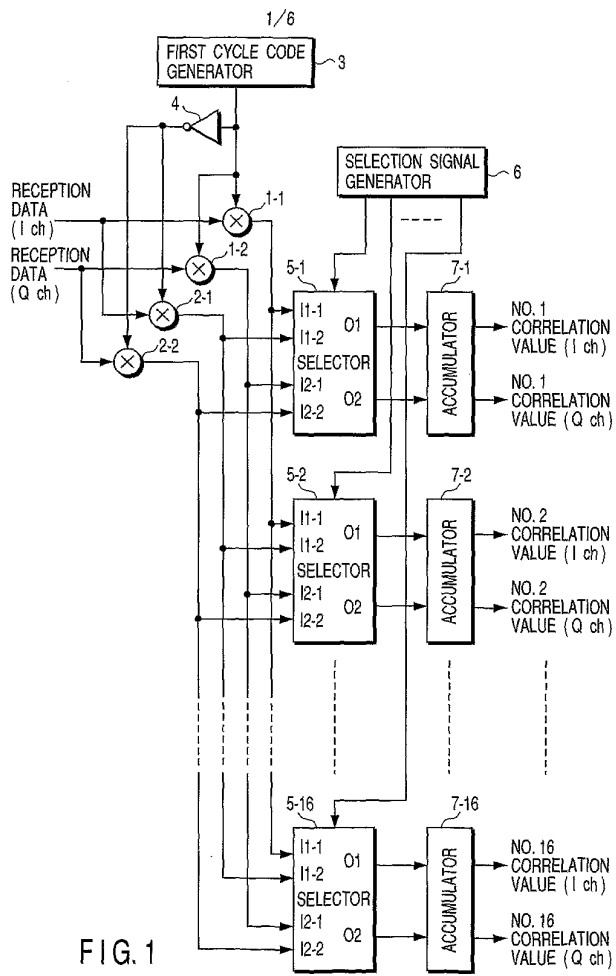


FIG. 1

2/6

HADAMARD SEQUENCE NO.	INPUT DATA SELECTION PATTERN
1	0 0 0 1 0 0 1 1 0 1 0 1 1 1 1 1
2	0 1 0 0 0 1 1 0 0 0 0 0 1 0 1 0
3	0 0 1 0 0 0 0 0 0 1 1 0 1 1 0 0
4	0 1 1 1 0 1 0 1 0 0 1 1 1 0 0 1
5	0 0 0 1 1 1 0 0 0 1 0 1 0 0 0 0
6	0 1 0 0 1 0 0 1 0 0 0 0 0 1 0 1
7	0 0 1 0 1 1 1 1 0 1 1 0 0 0 1 1
8	0 1 1 1 1 0 1 0 0 0 1 1 0 1 1 0
9	0 0 0 1 0 0 1 1 1 0 1 0 0 0 0 0
10	0 1 0 0 0 1 1 0 1 1 1 1 0 1 0 1
11	0 0 1 0 0 0 0 0 1 0 0 1 0 0 1 1
12	0 1 1 1 0 1 0 1 1 1 0 0 0 1 1 0
13	0 0 0 1 1 1 0 0 1 0 1 0 1 1 1 1
14	0 1 0 0 1 0 0 1 1 1 1 1 1 0 1 0
15	0 0 1 0 1 1 1 1 1 0 0 1 1 1 0 0
16	0 1 1 1 1 0 1 0 1 1 1 0 0 1 0 0 1

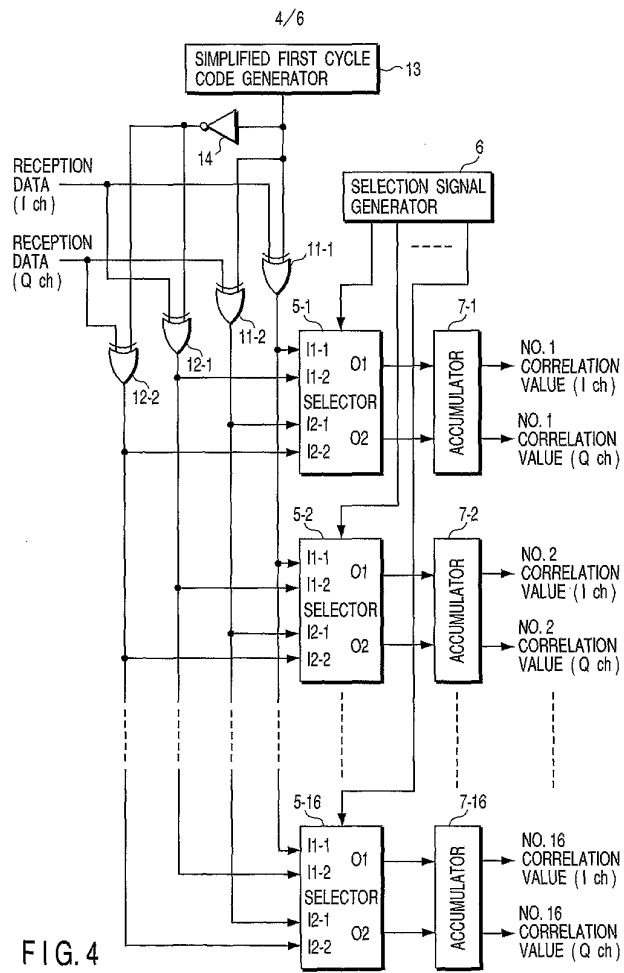
FIG. 2

HADAMARD SEQUENCE NO.	HADAMARD SEQUENCE PATTERN
1	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
2	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1
3	0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1
4	0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0
5	0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1
6	0 1 0 1 1 0 1 0 0 1 0 1 1 0 1 0
7	0 0 1 1 1 0 0 0 0 1 1 1 1 0 0
8	0 1 1 0 1 0 0 1 0 1 1 0 1 0 0 1
9	0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1
10	0 1 0 1 0 1 0 1 1 0 1 0 1 0 1 0
11	0 0 1 1 0 0 1 1 1 1 0 0 1 1 0 0
12	0 1 1 0 0 1 1 0 1 0 0 1 1 0 0 1
13	0 0 0 0 1 1 1 1 1 1 1 1 1 0 0 0
14	0 1 0 1 1 0 1 0 1 0 1 0 0 1 0 1
15	0 0 1 1 1 1 0 0 1 1 0 0 0 0 1 1
16	0 1 1 0 1 0 0 1 1 0 0 1 0 1 1 0

FIG. 6

S1	A	A	A	-A	A	A	-A	-A	A	-A	-A	-A	-A	-A	-A	-A
S2	all	1	all	1	all	-1	all	1	all	-1	all	1	all	-1	all	-1
S3	all	-1	all	-1	all	1	all	-1	all	1	all	-1	all	1	all	-1
S4	0	0	0	1	0	0	1	1	0	1	0	1	1	1	1	1
S5	all	1	all	1	all	1	all	1	all	1	all	1	all	1	all	1
S6	0	1	0	0	0	1	1	0	0	0	0	0	1	0	1	0
S7	all	1	all	-1	all	1	all	-1	all	1	all	-1	all	1	all	-1

FIG.3



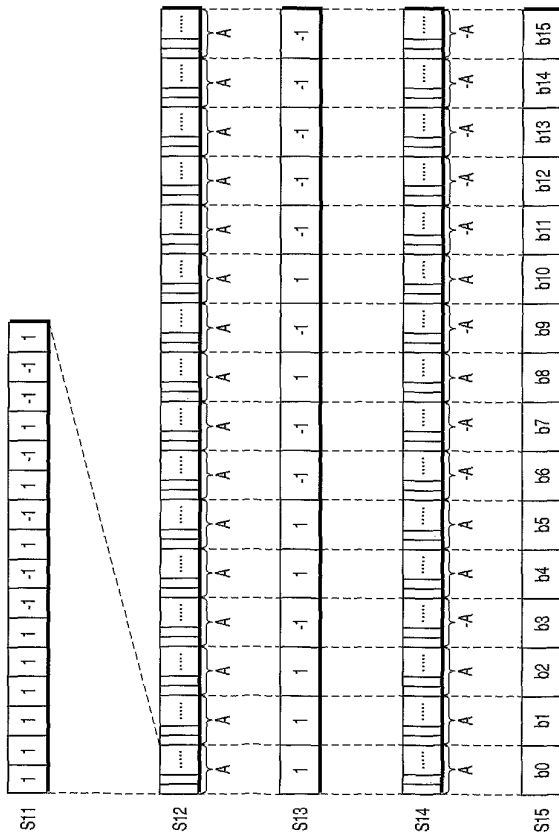


FIG.5

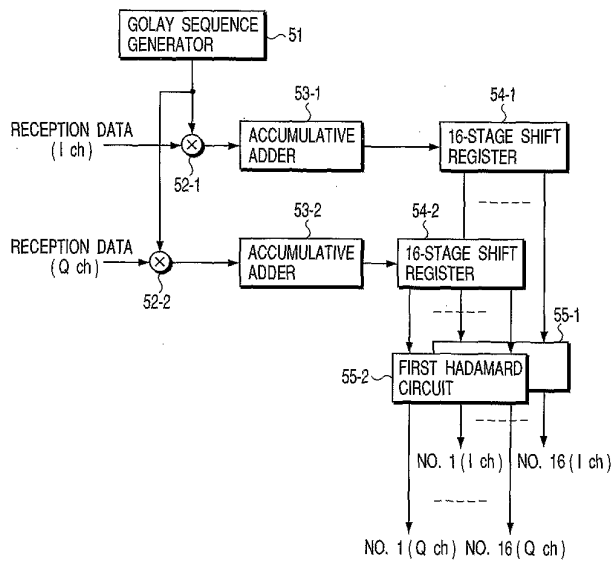


FIG. 7 PRIOR ART

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
11 April 2002 (11.04.2002)

PCT

(10) International Publication Number
WO 02/29997 A3

- (51) International Patent Classification: H04B 1/707 [JP/JP]; 11-201, Green-Town-Misumiichibangai, 4-1, Misumicho 1-chome, Higashimurayama-shi, Tokyo 189-0023 (JP).
- (21) International Application Number: PCT/JP01/08379
- (22) International Filing Date: 26 September 2001 (26.09.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 2000-299846 29 September 2000 (29.09.2000) JP
- (71) Applicant (for all designated States except US): KABUSHIKI KAISHA TOSHIBA (JP/JP); 1-1, Shibaura 1-chome, Minato-ku, Tokyo 105-8001 (JP).
- (72) Inventor; and
- (75) Inventor/Applicant (for US only): TANNO, Yoshihiro
- (74) Agents: SUZUYE, Takehiko et al.; c/o SUZUYE & SUZUYE, 7-2, Kasumigaseki 3-chome, Chiyoda-ku, Tokyo 100-0013 (JP).
- (81) Designated States (national): JP, US.
- (84) Designated States (regional): European patent (DE, FR, GB).

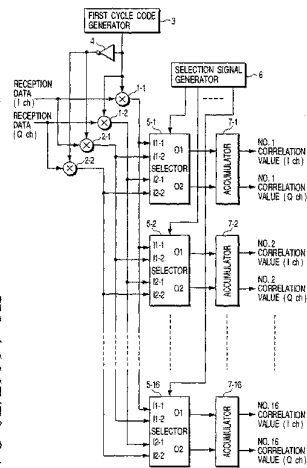
Published:
 — with international search report
 — before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

[Continued on next page]

(54) Title: CODE DETECTION CIRCUIT AND CODE DETECTION METHOD



WO 02/29997 A3



(57) Abstract: Each of multipliers (1, 2) is used to respectively multiply reception data by a first cycle code generated in a first cycle code generator (3) and by an inverted first cycle code obtained by inverting the first cycle code in a polarity judging section (4). An output from each of the multipliers (1, 2) is supplied to 16 selectors (5) associated with 16 types of Hadamard Sequence patterns. To the selectors (5) are respectively fed selection signals of 16 patterns determined by figuring out exclusive ORs from a code obtained by converting each chip in a second cycle code from "1" to "0" and "-1" to "1" with respect to each of 16 types of the Hadamard Sequence patterns. The selectors (5) select and output each of the multipliers (1, 2) based on the selection signals so that outputs are accumulated in accumulators (7).

WO 02/29997 A3



(88) **Date of publication of the international search report:** 20 June 2002
For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PC1/JP 01/08379
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04B1/707		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 00 67404 A (RAAF BERNHARD ;MICHEL JUERGEN (DE); SIEMENS AG (DE)) 9 November 2000 (2000-11-09) abstract page 2, line 21 -page 4, line 30 page 18, line 1 -page 23, line 34; figures 3-8 page 25, line 31 -page 27, line 30; claims 1-10; figure 11 ---	1,4
A	US 5 436 941 A (BULLOCK SCOTT R ET AL) 25 July 1995 (1995-07-25) column 1, line 29 -column 2, line 35; claims 1-20; figure 2 --- -/--	1,4
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 8 April 2002	Date of mailing of the international search report 17/04/2002	
Name and mailing address of the ISA European Patent Office, P. B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Nilsson, M	

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/JP 01/08379

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 97 03503 A (STANFORD TELECOMM INC) 30 January 1997 (1997-01-30) page 4, line 8 -page 6, line 11 page 9, line 1 -page 10, line 13; claims 1,2; figures 2-4 -----	1,4

1

Form PCT/ISA/210 (continuation of second sheet) (July 1997)

INTERNATIONAL SEARCH REPORT
 information on patent family members

 International Application No.
 PC1/JP 01/08379

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 0067404	A	09-11-2000	DE 19919545 A1 02-11-2000
			AU 3804300 A 17-11-2000
			BR 0010601 A 05-02-2002
			WO 0067404 A1 09-11-2000
			WO 0067405 A1 09-11-2000
			EP 1173943 A1 23-01-2002
			EP 1173944 A1 23-01-2002
US 5436941	A	25-07-1995	CA 2174647 A1 11-05-1995
			EP 0727111 A1 21-08-1996
			IL 111470 A 14-08-1997
			JP 9504670 T 06-05-1997
			WO 9512924 A1 11-05-1995
			US 5604767 A 18-02-1997
			WO 9703503
AU 711458 B2 14-10-1999			
AU 3092495 A 10-02-1997			
EP 0838105 A1 29-04-1998			
JP 11511914 T 12-10-1999			

フロントページの続き

(72)発明者 丹野 芳浩

日本国東京都東村山市美住町1丁目4-1 グリーンタウン美住一番街11-201

Fターム(参考) 5K022 EE02 EE32 EE36

5K067 AA42 BB04 CC10 KK13